

(21)申請案號：101139487

(22)申請日：中華民國 101 (2012) 年 10 月 25 日

(51)Int. Cl. : **H03L7/08 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：陳巍仁 CHEN, WEIZEN (TW)；王艷婷 WANG, YANTING (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 24 頁

(54)名稱

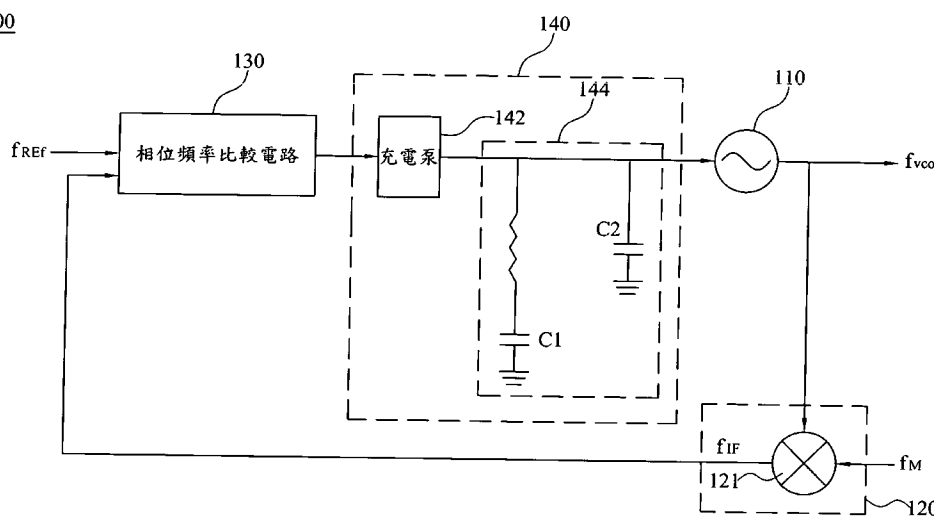
鎖相迴路

PHASE-LOCKED LOOP

(57)摘要

一種鎖相迴路在此揭露，此鎖相迴路包括電壓控制振盪電路、降頻電路、相位頻率比較電路以及調整電路。電壓控制振盪電路用以產生輸出時脈訊號，降頻電路用以接收輸出時脈訊號與輔助時脈訊號，並混波輸出時脈訊號與輔助時脈訊號，而藉以產生回授時脈訊號，相位頻率比較電路用以接收回授時脈訊號與參考時脈訊號，比較回授時脈訊號與參考時脈訊號的頻率及相位，並據以產生調整訊號，調整電路用以接收調整訊號，並根據調整訊號以調整電壓控制振盪電路所產生的輸出時脈訊號的頻率。

100



100：鎖相迴路

110：電壓控制振盪電路

120：降頻電路

121：混波器

130：相位頻率比較電路

140：調整電路

142：充電泵

144：迴路濾波器

C1：調整電容

C2：電容

f_{IF} ：訊號

f_M ：訊號

f_{REF} ：訊號

f_{VCO} ：訊號

第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101139487

※申請日：101.10.25 ※IPC 分類：H03L 7/08 (2006.1)

一、發明名稱：(中文/英文)

鎖相迴路

Phase-Locked Loop

二、中文發明摘要：

一種鎖相迴路在此揭露，此鎖相迴路包括電壓控制振盪電路、降頻電路、相位頻率比較電路以及調整電路。電壓控制振盪電路用以產生輸出時脈訊號，降頻電路用以接收輸出時脈訊號與輔助時脈訊號，並混波輸出時脈訊號與輔助時脈訊號，而藉以產生回授時脈訊號，相位頻率比較電路用以接收回授時脈訊號與參考時脈訊號，比較回授時脈訊號與參考時脈訊號的頻率及相位，並據以產生調整訊號，調整電路用以接收調整訊號，並根據調整訊號以調整電壓控制振盪電路所產生的輸出時脈訊號的頻率。

三、英文發明摘要：

A phase-locked loop is disclosed herein. The phase-locked loop includes a voltage-controlled oscillator circuit, a frequency down conversion circuit, a phase-frequency detector, and an adjusting circuit. The

voltage-controlled oscillator circuit is configured to generate an output clock signal. The down conversion circuit is configured to receive the output clock signal and an auxiliary clock signal, and mix the output clock signal and the auxiliary clock signal to generate a feedback clock signal. The phase-frequency detector is configured to receive the feedback clock signal and a reference clock signal, compare the frequencies and the phases of the feedback clock signal and a reference clock signal to generate an adjusting signal. The adjusting circuit is configured to receive the adjusting signal, and adjust the frequency of the output clock signal generated by the voltage-controlled oscillator circuit according to the adjusting signal.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：鎖相迴路

110：電壓控制振盪電路

120：降頻電路

121：混波器

130：相位頻率比較電路

140：調整電路

142：充電泵

144：迴路濾波器

C1：調整電容

C2：電容

f_{VCO} ：訊號

f_M ：訊號

f_{IF} ：訊號

f_{REF} ：訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種訊號處理電路，特別是有關於一種鎖相迴路。

【先前技術】

隨著技術的演進，高頻電路已逐漸被發展並應用於各式領域，如通訊、生醫影像或光譜學等。

鎖相迴路係為訊號處理系統中用以鎖定一參考時脈訊號的常見電路，大致上包括相位比較器、壓控振盪器以及一條回授線路用以將壓控振盪器的輸出時脈訊號回授至相位比較器。在高頻的訊號處理系統中，由於壓控振盪器的輸出時脈訊號的頻率高於相位比較器與傳統除頻器的操作範圍，故高頻鎖相迴路普遍使用注入鎖定式除頻器(injection-locked frequency divider, ILFD)作為預先除頻器(prescaler)，以在回授線路上對壓控振盪器的輸出時脈訊號降頻。然而預先除頻器可能產生中心頻率失焦的問題，其不但會造成除頻錯誤也使鎖相迴路無法鎖定頻率，進而導致訊號處理系統的失效或不穩定。

【發明內容】

為了解決上述問題，本揭露內容為一種鎖相迴路，其使用混波器取代預先除頻器以對壓控振盪器的輸出時脈訊號除頻。

根據本揭露內容的一實施例，鎖相迴路包括電壓控制振盪電路、降頻電路、相位頻率比較電路以及調整電路。電壓控制振盪電路用以產生輸出時脈訊號，降頻電路用以接收輸出時脈訊號與輔助時脈訊號，並混波輸出時脈訊號與輔助時脈訊號，而藉以產生回授時脈訊號，相位頻率比較電路用以接收回授時脈訊號與參考時脈訊號，比較回授時脈訊號與參考時脈訊號的頻率及相位，並據以產生調整訊號，調整電路用以接收調整訊號，並根據調整訊號以調整電壓控制振盪電路所產生的輸出時脈訊號的頻率。

根據本揭露內容的一實施例，降頻電路包括混波器，混波器用以混波輸出時脈訊號與輔助時脈訊號，並藉此產生回授時脈訊號。

根據本揭露內容的一實施例，降頻電路更包括後端除頻器，後端除頻器電性連接混波器與處理電路，用以對回授時脈訊號除頻。

根據本揭露內容的一實施例，降頻電路更包括預先除頻器，預先除頻器電性連接電壓控制振盪電路與混波器，用以對輸出時脈訊號除頻。

根據本揭露內容的一實施例，回授時脈訊號的頻率等於輸出時脈訊號與輔助時脈訊號的頻率差。

根據本揭露內容的一實施例，在初始化時，該輸出時脈訊號的頻率大於該輔助時脈訊號的頻率。

根據本揭露內容的一實施例，降頻電路更包括接收訊號強度偵測器以及控制器。接收訊號強度偵測器用以偵測回授時脈訊號的強度，而控制器電性連接接收訊號強度偵

測器，當回授時脈訊號的強度小於預設門檻時，控制器透過調整電路以調降輸出時脈訊號的頻率。

根據本揭露內容的一實施例，其中調整電路包括充電泵以及調整電容。充電泵電性連接相位頻率比較電路，用以接收調整訊號，並根據調整訊號產生調整電流。調整電容電性連接充電泵，其中調整電流用以調整調整電容的電壓，且輸出時脈訊號的頻率隨調整電容的電壓而改變。其中當回授時脈訊號的強度小於預設門檻時，控制器使充電泵失能，並取代充電泵以調整調整電容的電壓，以調降輸出時脈訊號的頻率。

根據本揭露內容的一實施例，控制器包括控制單元以及電阻梯。控制單元電性連接接收訊號強度偵測器，電阻梯電性連接調整電容與控制單元，而當回授時脈訊號的強度小於預設門檻時，控制單元控制電阻梯以調整調整電容的電壓。

根據本揭露內容的一實施例，降頻電路更包括放大器，用以對應於回授時脈訊號的頻率以放大回授時脈訊號的振幅。

綜上所述，本揭露內容的實施例提供一種鎖相迴路，其利用混波器取代傳統的預先除頻器以達成降頻的功效。不但可免除傳統鎖相迴路對頻器速度的要求及節省高速除頻器的功耗，也可以避免使用注入鎖定式除頻器所產生的中心頻率失焦的問題，而使鎖相迴路的系統得以穩定運作。再者，在本揭露內容中一實施例的鎖相迴路更可包括接收訊號強度偵測器，以偵測回授時脈訊號的強度，並據

以輔助調整輸出時脈訊號的頻率，如此可增加鎖相迴路的鎖定速度及範圍。

【實施方式】

以下將以圖式及詳細敘述清楚說明本揭示內容之精神，任何所屬技術領域中具有通常知識者在瞭解本揭示內容之較佳實施例後，當可由本揭示內容所教示之技術，加以改變及修飾，其並不脫離本揭示內容之精神與範圍。

第 1 圖為根據本揭露內容一實施例所繪示的鎖相迴路 100 之方塊圖。在本實施例中，鎖相迴路 100 包括電壓控制振盪電路 110、降頻電路 120、相位頻率比較電路 130 以及調整電路 140。在結構上，相位頻率比較電路 130 電性連接調整電路 140，調整電路 140 電性連接電壓控制振盪電路 110。降頻電路 120 電性連接電壓控制振盪電路 110 的輸出端與相位頻率比較電路 130 的輸入端，以形成回饋路徑。

在操作上，電壓控制振盪電路 110 用以產生輸出時脈訊號 f_{VCO} ，降頻電路 120 用以接收輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M ，並混波輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 以產生回授時脈訊號 f_{IF} 。相位頻率比較電路 130 用以接收回授時脈訊號 f_{IF} 與頻率為的參考時脈訊號 f_{REF} ，比較回授時脈訊號 f_{IF} 與參考時脈訊號 f_{REF} 的頻率及相位，並據以產生調整訊號。調整電路 140 用以接收調整訊號，並根據調整訊號以調整電壓控制振盪電路 110 所產生的輸出時脈訊號 f_{VCO} 的頻率。

具體而言，當降頻電路 120 在混波輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 時，其可利用濾波器選擇其所輸出的回授時脈訊號 f_{IF} (例如可選擇為基頻項(fundamental)或平方項(secondary)的諧波)，而為便於敘述，以下僅舉基頻項諧波為例，亦即回授時脈訊號 f_{IF} 的頻率可為輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差，然而實際上的操作可不以此為限。相位頻率比較電路 130 比較回授時脈訊號 f_{IF} 與參考時脈訊號 f_{REF} 的相位，當回授時脈訊號 f_{IF} 的相位領先於參考時脈訊號 f_{REF} 的相位時，相位頻率比較電路 130 透過調整電路 140 降低電壓控制振盪電路 110 所產生的輸出時脈訊號 f_{VCO} 的頻率，反之，當回授時脈訊號 f_{IF} 的相位落後於參考時脈訊號 f_{REF} 的相位時，相位頻率比較電路 130 透過調整電路 140 提昇電壓控制振盪電路 110 所產生的輸出時脈訊號 f_{VCO} 的頻率。藉由如此的操作，當輸出時脈訊號 f_{VCO} 的頻率鎖定时，回授時脈訊號 f_{IF} 與參考時脈訊號 f_{REF} 的頻率相等，亦即，輸出時脈訊號 f_{VCO} 的頻率可等於參考時脈訊號 f_{REF} 與輔助時脈訊號 f_M 的頻率和。因此藉由調整輔助時脈訊號 f_M 的頻率，可調整輸出時脈訊號 f_{VCO} 的頻率。舉例而言，當參考時脈訊號 f_M 的頻率為 M 倍參考時脈訊號 f_{REF} 的頻率時，則輸出時脈訊號 f_{VCO} 的頻率可為 $M+1$ 倍參考時脈訊號 f_{REF} 的頻率。

透過上述降頻電路 120 以混波方式進行降頻，可避免在高頻電路中使用注入鎖定式除頻器(injection locked frequency divider)所產生的中心頻率失焦的問題，亦可避免先前技術中使用除頻器進行降頻時對除頻器速度的要求，

並節省使用高頻除頻器(如注入鎖定式除頻器)所需的功耗。

在本揭露內容一實施例中，降頻電路 120 可包括混波器 121，混波器 121 可包括一帶通濾波器(未繪示)，故當輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 輸入時，混波器 121 可對輸出時脈訊號 f_{VCO} 進行降頻，並產生回授時脈訊號 f_{IF} 。而利用帶通濾波器，可使混波器 121 所輸出的回授時脈訊號 f_{IF} 的頻率為輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差。由於混波器為非迴路式(non-feedback)架構，可進行高速操作，故應用混波器進行混波及降頻有助提力鎖相迴路 100 的操作速度。另外，為使鎖相迴路 100 有效運作，在鎖相迴路 100 初始化時，可預設輸出時脈訊號 f_{VCO} 的頻率大於輔助時脈訊號 f_M 的頻率。

在本揭露內容一實施例中，調整電路 140 可包括充電泵 142 以及迴路濾波器 144。充電泵 142 電性連接相位頻率比較電路 130 用以接收相位頻率比較電路 130 產生的調整訊號，根據調整訊號產生調整電流。迴路濾波器 144 電性連接充電泵 142 與電壓控制振盪電路 110，用以根據調整電流以調整提供給電壓控制振盪電路 110 的電壓。具體而言，迴路濾波器 144 可包括調整電容 $C1$ ，充電泵 142 可對應於調整訊號產生的調整電流以對調整電容 $C1$ 充電或放電。例如，當調整訊號為昇壓，則調整電流對調整電容 $C1$ 充電，當調整訊號為降壓，則調整電流對調整電容 $C1$ 放電。另外，迴路濾波器 144 可更包括另一電容 $C2$ ，用以濾除雜訊。

第 2 圖為根據本揭露內容另一實施例所繪示的鎖相迴路 100 的方塊圖。本實施例與第 1 圖之實施例的功能大致相仿，故重覆之處在此不贅述。

在本實施例中，降頻電路 120 可更包括放大器 122、接收訊號強度偵測器 123(received signal strength indicator, RSSI)以及控制器 124。放大器 122 電性連接混波器 121，用以放大回授時脈訊號 f_{IF} 的強度。接收訊號強度偵測器 123 電性連接放大器 122，用以偵測放大後回授時脈訊號 f_{IF} 的強度。控制器 124 電性連接接收訊號強度偵測器 123，用以根據回授時脈訊號 f_{IF} 的強度選擇性地調降輸出時脈訊號的頻率。

第 3、4 圖為根據第 2 圖中的鎖相迴路 100 所繪示的放大回授時脈訊號 f_{IF} 之示意圖。

如前所述，回授時脈訊號 f_{IF} 的頻率可為輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差，當輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差越大時，回授時脈訊號 f_{IF} 的頻率越大。參照第 3 圖，當輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差過大，使得回授時脈訊號 f_{IF} 的頻率超過放大器 122 的臨界頻率 f_{amp} 時，則回授時脈訊號 f_{IF} 無法有效被放大器 122 所放大。而當放大後的回授時脈訊號 f_{IF} 的強度小於一預設門檻(如 P_{th})時，則控制器 124 可透過調整電路 140 以調降輸出時脈訊號 f_{VCO} 的頻率。舉例而言，在一實施例中，控制器 124 可使調整電路 140 的充電泵 142 失能，並取代充電泵 142 以調整調整電容 $C1$ 的電壓，以調降該輸出時脈訊號 f_{VCO} 的頻率。參照第 4 圖，當前述的調降

操作使輸出時脈訊號的頻率降低，此時輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差縮小，則回授時脈訊號 f_{IF} 的頻率亦隨之降低。當回授時脈訊號 f_{IF} 的頻率降低時，回授時脈訊號 f_{IF} 可被放大器 122 有效放大，又當放大後的回授時脈訊號 f_{IF} 的強度大於等於預設門檻 P_{th} 時，則控制器 124 停止透過調整電路 140 調降輸出時脈訊號 f_{VCO} 的頻率。舉例而言，控制器 124 可停止調整調整電容 $C1$ 的電壓，並使充電泵 142 重新恢復功能。

藉由應用上述接收訊號強度偵測器 123 及控制器 124，鎖相迴路 100 可在輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率差距較大時，利用控制器 124 快速調降輸出時脈訊號 f_{VCO} 的頻率，而在輸出時脈訊號 f_{VCO} 與輔助時脈訊號 f_M 的頻率接近時，切換回使用相位頻率比較電路 130 調整輸出時脈訊號 f_{VCO} 。如此一來，則鎖相迴路 100 的鎖定速度可被提昇。

另外，當須注意的是，上述的放大器 122 亦可視情況而置換為其它具頻寬限制(即是，操作頻率過高會導致訊號衰減)的元件，例如緩衝器、濾波器等，而上述的控制器 124 可以邏輯電路、類比電路或部分邏輯部分類比電路實現。

在本揭露內容一實施例中，為實現前述控制器 124 的功能，控制器 124 可包括控制單元 125 與電阻梯 126。控制單元 125 電性連接接收訊號強度偵測器 123、充電泵 142 與電阻梯 126，而電阻梯 126 電性連接調整電路 140 中的調整電容 $C1$ 。控制單元 125 用以接收接收訊號強度偵測器 123 所偵測的回授時脈訊號 f_{IF} 的強度，並判斷其強度是否

小於預設門檻 P_{th} 。當回授時脈訊號 f_{IF} 的強度小於預設門檻 P_{th} 時，控制單元 125 可使充電泵 142 失效並控制電阻梯 126 以執行一頻率掃描 (frequency sweeping) 而取代充電泵 142 調整調整電容 $C1$ 的電壓。例如，控制單元 125 可傳送一失效訊號而使充電泵 142 失效，且控制單元 125 可控制電阻梯 126，使電阻梯 126 逐步減低電阻梯 126 的輸出電壓，而使調整電容 $C1$ 的電壓下降，並使電壓控制振盪電路 110 所產生的輸出時脈訊號 f_{VCO} 的頻率同時下降。而當回授時脈訊號 f_{IF} 的強度大於等於預設門檻 P_{th} 時，控制單元 125 停止控制電阻梯 126 並使充電泵 142 重新生效。值得注意的是，上述控制單元 125 與電阻梯 126 僅為實現控制器 124 的範例，在其它實施例中，控制器 124 亦可以其它方式實現。舉例而言，控制器 124 可儲存一查照表，當回授時脈訊號 f_{IF} 的強度小於預設門檻 P_{th} 時，控制器 124 根據回授時脈訊號 f_{IF} 的強度於查照表中查詢對應的輸出電壓，以調整調整電容 $C1$ 的電壓及輸出時脈訊號 f_{VCO} 的頻率。另外，熟習本領域者當可了解，控制單元 125 可以邏輯電路、類比電路或部分邏輯部分類比電路實現。

在本揭露內容的一些實施例中，降頻電路 120 可更包括預先除頻器 127 及/或後端除頻器 128。預先除頻器 127 可電性連接於電壓控制振盪電路 110 與混波器 121 之間，用以除頻輸出時脈訊號 f_{VCO} ，並將除頻後的輸出時脈訊號 f_{VCO} 提供至混波器 121 中進行混波。後端除頻器 128 可電性連接於放大器 122 與相位頻率比較電路 130 之間，用以除頻放大後的回授時脈訊號 f_{IF} ，並將除頻後的回授時脈訊

號 f_{IF} 提供至相位頻率比較電路 130 中與參考時脈訊號 f_{REF} 進行比較。

舉例而言，若預先除頻器 127 的除頻倍數為 K ，後端除頻器 128 的除頻倍數為 N ，則當輸出時脈訊號 f_{VCO} 的頻率鎖定时，輸出時脈訊號 f_{VCO} 的頻率可為 $K \times (\text{輔助時脈訊號 } f_M \text{ 的頻率} + N \times \text{參考時脈訊號 } f_{REF} \text{ 的頻率})$ 。是以，藉由調整預先除頻器 127 的除頻倍數、後端除頻器 128 的除頻倍數以及輔助時脈訊號 f_M 的頻率，即可調整輸出時脈訊號 f_{VCO} 的頻率。

然而值得注意的是，在此些實施例中預先除頻器 127 及後端除頻器 128 皆可視實際需求而選擇性地省略，本揭露內容不以上述實施例為限。

第 5 圖為根據本揭露內容一實施例的鎖相迴路 100 之動態響應行為(dynamic response)所繪示的示意圖。如第 5 圖所示，鎖相迴路 100 可在 T1 期間內重置，並在 T2 期間內利用接收訊號強度偵測器 123 及控制器 124 以快速地調降輸出時脈訊號 f_{VCO} 的頻率。在 T3 期間內，由於輸出時脈訊號 f_{VCO} 的頻率與輔助時脈訊號 f_M 的頻率接近，鎖相迴路 100 切換為使用相位頻率比較電路 130 調整輸出時脈訊號 f_{VCO} 。在 T4 期間中，輸出時脈訊號 f_{VCO} 的頻率已然鎖定。如圖所示，在頻率改變量為 1.2GHz 的情形下，鎖定時間僅需 3.3 μ s。

雖然本揭露內容已以實施例揭露如上，然其並非用以限定本揭露內容，任何熟習此技藝者，在不脫離本揭露內容之精神和範圍內，當可作各種之更動與潤飾，因此本揭

露內容之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本揭露內容之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖為根據本揭露內容一實施例所繪示的鎖相迴路之方塊圖；

第 2 圖為根據本揭露內容另一實施例所繪示的鎖相迴路的方塊圖；

第 3、4 圖為根據第 2 圖中的鎖相迴路所繪示的放大回授時脈訊號之示意圖；

第 5 圖為根據本揭露內容一實施例的鎖相迴路之動態響應行為所繪示的示意圖。

【主要元件符號說明】

100：鎖相迴路	110：電壓控制振盪電路
120：降頻電路	121：混波器
122：放大器	123：訊號強度偵測器
124：控制器	125：控制單元
126：電阻梯	127：預先除頻器
128：後端除頻器	130：相位頻率比較電路
140：調整電路	142：充電泵
144：迴路濾波器	C1：調整電容

C_2 ：電容

f_{IF} ：訊號

f_{REF} ：訊號

P_{th} ：預設門檻

f_{VCO} ：訊號

f_M ：訊號

$T_1 - T_4$ ：期間

七、申請專利範圍：

1. 一種鎖相迴路，包括：

一電壓控制振盪電路，用以產生一輸出時脈訊號；

一降頻電路，電性連接該電壓控制振盪電路，用以接收該輸出時脈訊號與一輔助時脈訊號，並混波該輸出時脈訊號與該輔助時脈訊號，而藉以產生一回授時脈訊號；

一相位頻率比較電路，電性連接該降頻電路，用以接收該回授時脈訊號與一參考時脈訊號，比較該回授時脈訊號與該參考時脈訊號的頻率及相位，並據以產生一調整訊號；以及

一調整電路，電性連接該相位頻率比較電路與該電壓控制振盪電路，用以接收該調整訊號，並根據該調整訊號調整該電壓控制振盪電路所產生的該輸出時脈訊號的頻率。

2. 如請求項 1 所述的鎖相迴路，其中該降頻電路包括一混波器，該混波器用以混波該輸出時脈訊號與該輔助時脈訊號，並藉此產生該回授時脈訊號。

3. 如請求項 2 所述的鎖相迴路，其中該降頻電路更包括一後端除頻器，該後端除頻器電性連接該混波器與該處理電路，用以對該回授時脈訊號除頻。

4. 如請求項 2 所述的鎖相迴路，其中該降頻電路更包

括一預先除頻器，該預先除頻器電性連接電壓控制振盪電路與該混波器，用以對該輸出時脈訊號除頻。

5. 如請求項 1 所述的鎖相迴路，其中該回授時脈訊號的頻率等於該輸出時脈訊號與該輔助時脈訊號的頻率差。

6. 如請求項 1 所述的鎖相迴路，其中在初始化時，該輸出時脈訊號的頻率大於該輔助時脈訊號的頻率。

7. 如請求項 1 所述的鎖相迴路，其中該降頻電路更包括：

一接收訊號強度偵測器，用以偵測該回授時脈訊號的強度；以及

一控制器，電性連接該接收訊號強度偵測器，當該回授時脈訊號的強度小於一預設門檻時，該控制器透過該調整電路以調降該輸出時脈訊號的頻率。

8. 如請求項 7 所述的鎖相迴路，其中該調整電路包括：

一充電泵，電性連接該相位頻率比較電路，用以接收該調整訊號，並根據該調整訊號產生一調整電流；以及

一調整電容，電性連接該充電泵，其中該調整電流用以調整該調整電容的電壓，且該輸出時脈訊號的頻率隨該調整電容的電壓而改變，

其中當該回授時脈訊號的強度小於該預設門檻時，該

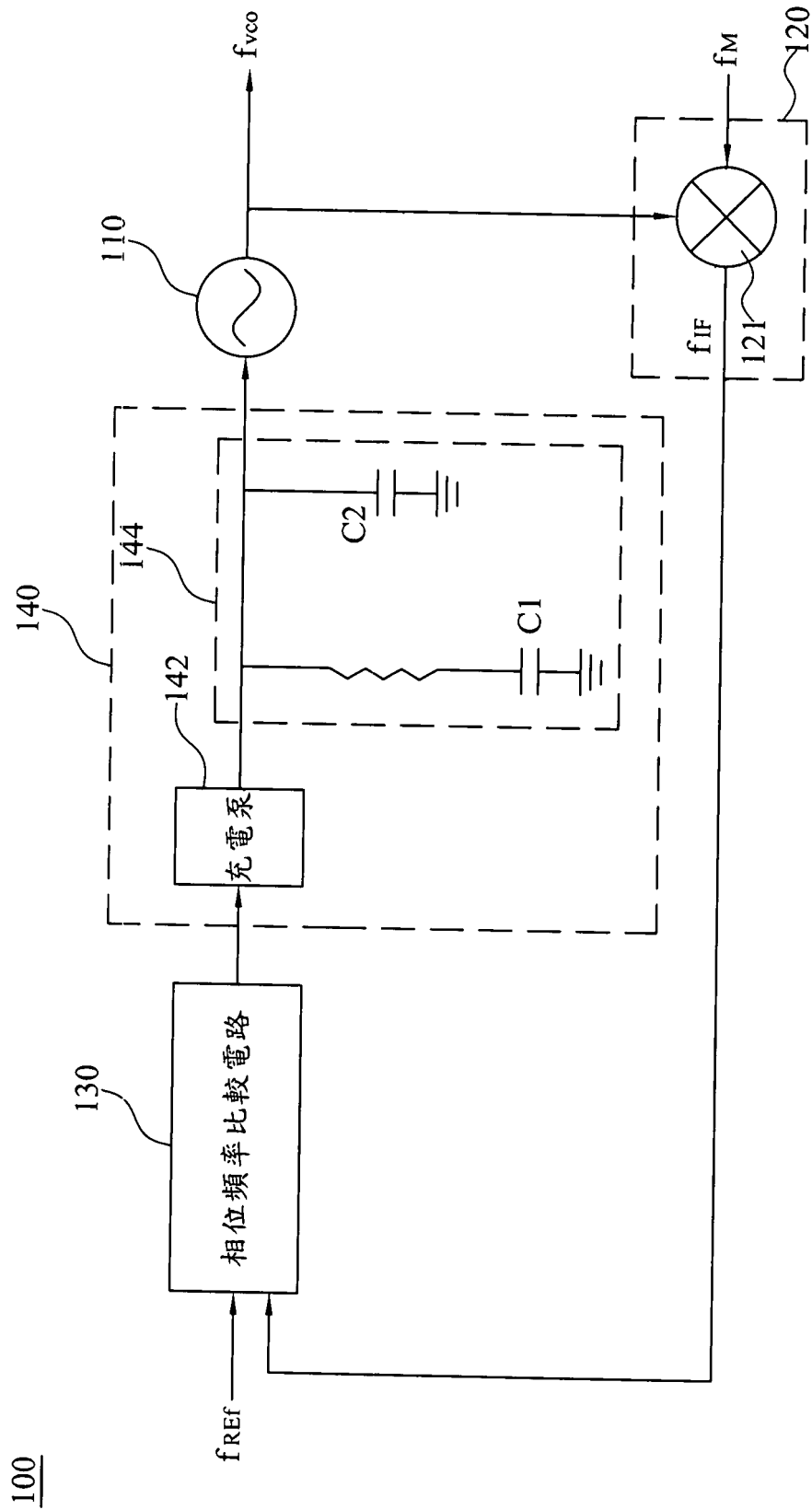
控制器使該充電泵失能，並取代該充電泵以調整該調整電容的電壓，以調降該輸出時脈訊號的頻率。

9. 如請求項 8 所述的鎖相迴路，其中該控制器包括：
一控制單元，電性連接該接收訊號強度偵測器；以及
一電阻梯，電性連接該調整電容與該控制單元；

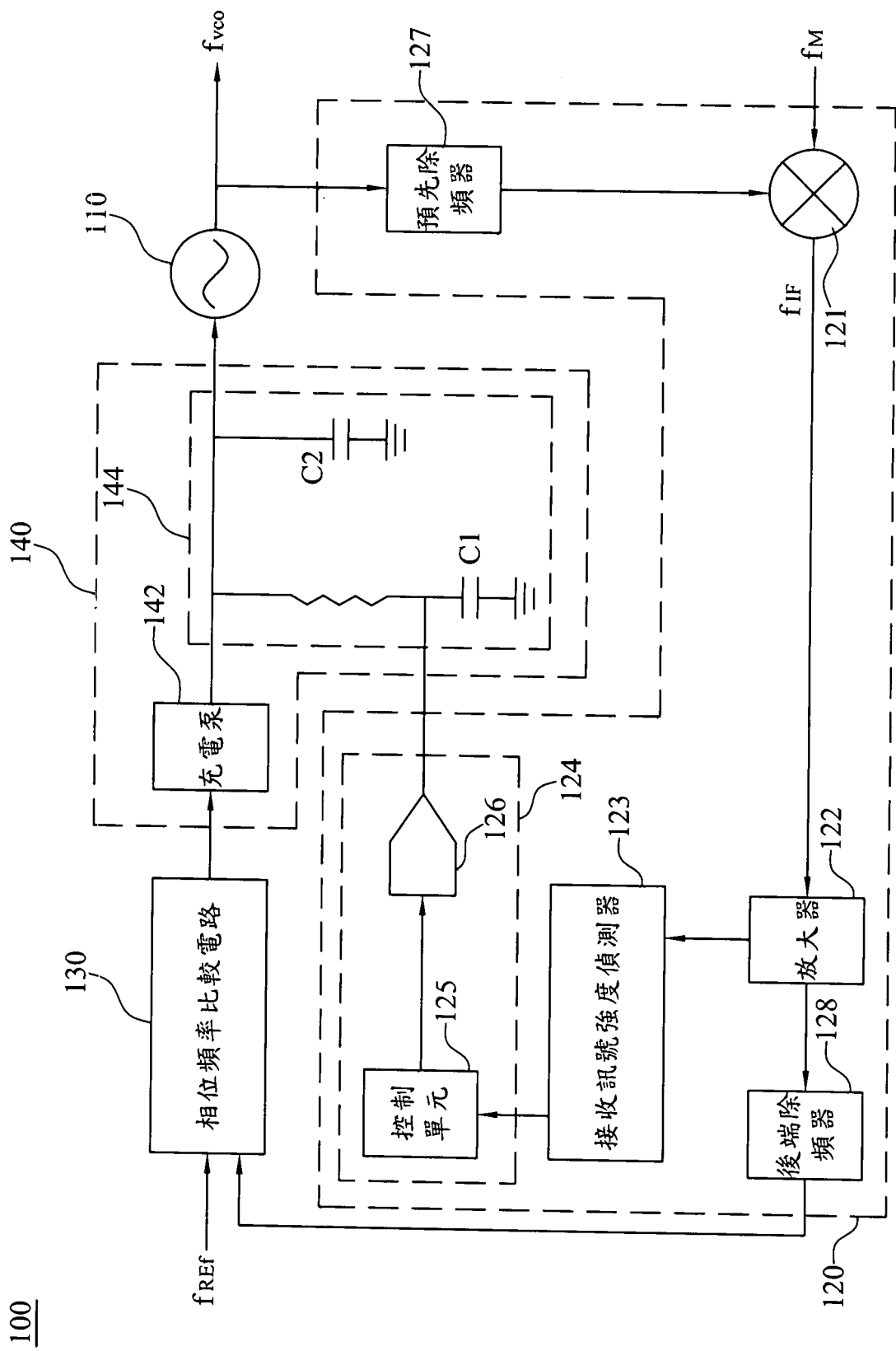
其中當該回授時脈訊號的強度小於該預設門檻時，該控制單元使該充電泵失能，並控制該電阻梯以調整該調整電容的電壓。

10. 如請求項 1 所述的鎖相迴路，其中該降頻電路更包括一放大器，用以對應於該回授時脈訊號的頻率以放大該回授時脈訊號的強度。

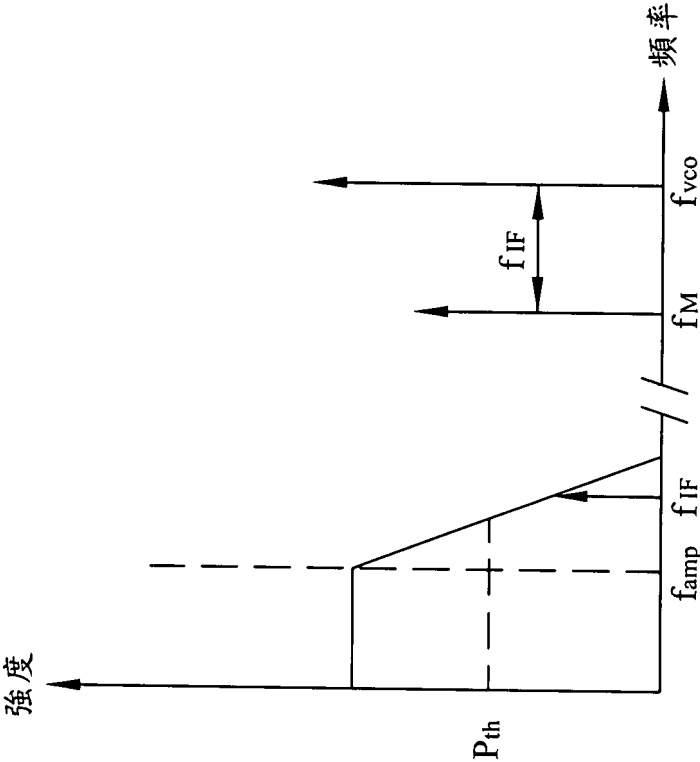
八、圖式：



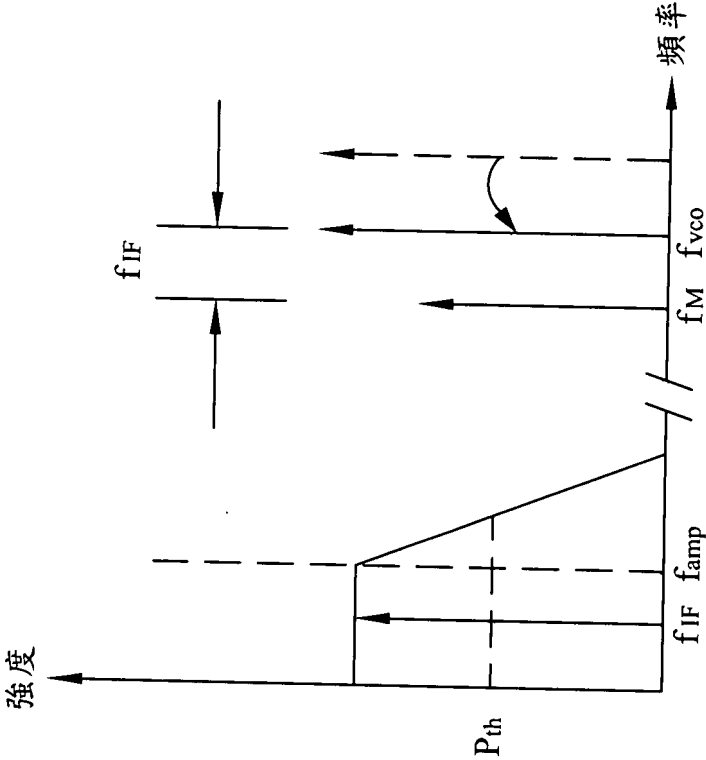
第 1 圖



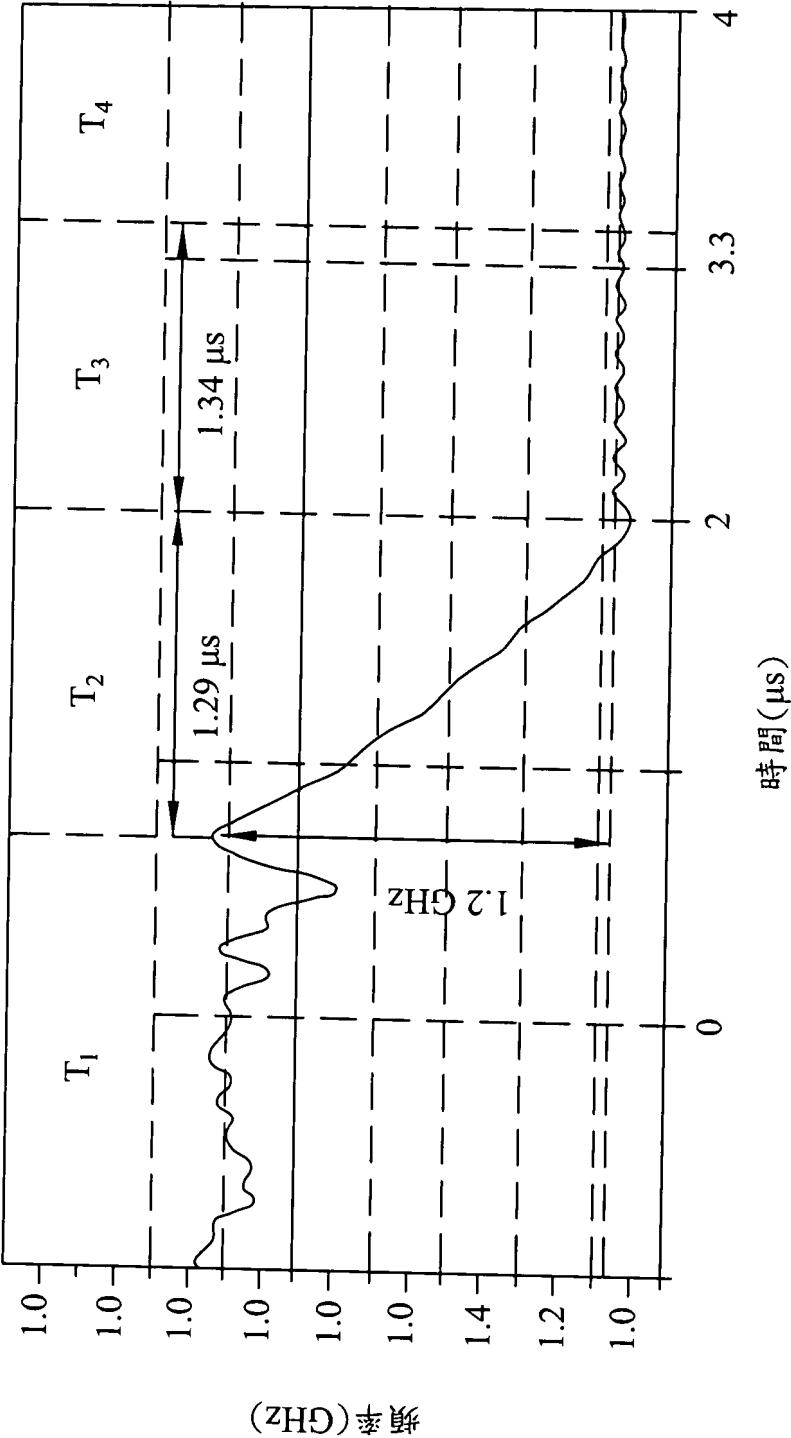
第 2 圖



第 3 圖



第 4 圖



第 5 圖