



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201415563 A

(43) 公開日：中華民國 103 (2014) 年 04 月 16 日

---

(21) 申請案號：101143398 (22) 申請日：中華民國 101 (2012) 年 11 月 21 日  
(51) Int. Cl. : *H01L21/60 (2006.01)* *H01L23/488 (2006.01)*  
(30) 優先權：2012/10/08 中華民國 101136825  
(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號  
(72) 發明人：陳智 CHEN, CHIH (TW) ; 劉道奇 LIU, TAO CHI (TW) ; 邱韋嵐 CHIU, WEI LAN  
(TW)  
(74) 代理人：蘇建太 ; 林志鴻  
申請實體審查：有 申請專利範圍項數：24 項 圖式數：9 共 44 頁

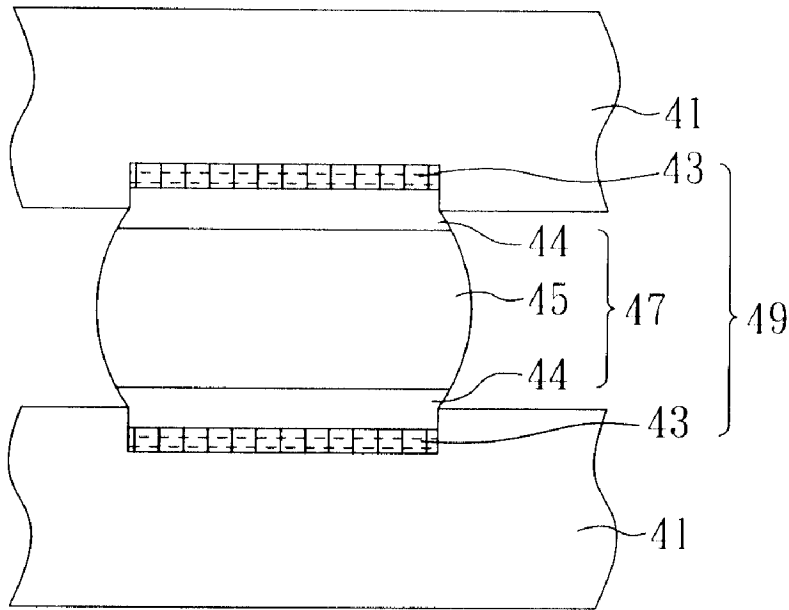
---

(54) 名稱

具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構  
ELECTRICAL CONNECTING ELEMENT, METHOD OF FABRICATING THE SAME, AND  
ELECTRICAL STRUCTURE COMPRISING THE SAME

(57) 摘要

本發明係有關於一種具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構。本發明之具有雙晶銅之電性連接結構之製備方法，係包括步驟：(A)提供一第一基板；(B)於該第一基板之部分表面形成一奈米雙晶銅層；(C)將一焊料配置於該奈米雙晶銅層之表面；以及(D)進行回焊以使該焊料與奈米雙晶銅層接合，其中，該焊料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，該介金屬化合物層係包括有一 Cu<sub>3</sub>Sn 層。本發明技術使得焊料與奈米雙晶銅所反應在介金屬化合物與錒錫界面的孔洞減少，提升接點可靠度。



- 4 : 電性連接結構
- 41 : 半導體晶片
- 42 : 電性墊
- 43 : 奈米雙晶銅層
- 44 :  $\text{Cu}_3\text{Sn}$  層
- 45 :  $\text{Cu}_6\text{Sn}_5$  層
- 46 : 焊料
- 47 : 介金屬化合物層
- 49 : 電性連接體

圖3A



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201415563 A

(43) 公開日：中華民國 103 (2014) 年 04 月 16 日

---

(21) 申請案號：101143398 (22) 申請日：中華民國 101 (2012) 年 11 月 21 日  
(51) Int. Cl. : *H01L21/60 (2006.01)* *H01L23/488 (2006.01)*  
(30) 優先權：2012/10/08 中華民國 101136825  
(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號  
(72) 發明人：陳智 CHEN, CHIH (TW)；劉道奇 LIU, TAO CHI (TW)；邱韋嵐 CHIU, WEI LAN  
(TW)  
(74) 代理人：蘇建太；林志鴻  
申請實體審查：有 申請專利範圍項數：24 項 圖式數：9 共 44 頁

---

(54) 名稱

具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構  
ELECTRICAL CONNECTING ELEMENT, METHOD OF FABRICATING THE SAME, AND  
ELECTRICAL STRUCTURE COMPRISING THE SAME

(57) 摘要

本發明係有關於一種具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構。本發明之具有雙晶銅之電性連接結構之製備方法，係包括步驟：(A)提供一第一基板；(B)於該第一基板之部分表面形成一奈米雙晶銅層；(C)將一焊料配置於該奈米雙晶銅層之表面；以及(D)進行回焊以使該焊料與奈米雙晶銅層接合，其中，該焊料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，該介金屬化合物層係包括有一  $\text{Cu}_3\text{Sn}$  層。本發明技術使得焊料與奈米雙晶銅所反應在介金屬化合物與錒錫界面的孔洞減少，提升接點可靠度。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101142298

※申請日：101.11.21

※IPC 分類：

H01L21/60 (2006.01)

一、發明名稱：(中文/英文)

H01L23/108 (2006.01)

具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構/Electrical connecting element, method of fabricating the same, and electrical structure comprising the same

## 二、中文發明摘要：

本發明係有關於一種具有奈米雙晶銅之電性連接體、其製備方法、以及包含其之電性連接結構。本發明之具有雙晶銅之電性連接結構之製備方法，係包括步驟：(A) 提供一第一基板；(B) 於該第一基板之部分表面形成一奈米雙晶銅層；(C) 將一焊料配置於該奈米雙晶銅層之表面；以及(D)進行回焊以使該焊料與奈米雙晶銅層接合，其中，該焊料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，該介金屬化合物層係包括有一  $\text{Cu}_3\text{Sn}$  層。本發明技術使得焊料與奈米雙晶銅所反應在介金屬化合物與錒錫界面的孔洞減少，提升接點可靠度。

### 三、英文發明摘要：

An electrical connecting element, a method of fabricating the same, and an electrical structure comprising the same are disclosed. The method of fabricating the electrical connecting element of the present invention comprises steps: (A) providing a first substrate; (B) forming a first nano-twinned copper layer on part of a surface of the first substrate; (C) forming a solder on the nano-twinned copper layer of the first substrate; and (D) reflowing the nano-twinned Cu layer and solder to produce a solder joint, wherein at least part of the solder reacts with the nano-twinned copper layer to produce an intermetallic compound (IMC) layer which comprising a  $\text{Cu}_3\text{Sn}$  layer. This invention reduces the voids formation in the interface of the intermetallic and the solder, and then enhancing the reliability of solder joint.

四、指定代表圖：

(一)本案指定代表圖為：圖 ( 3A ) 。

(二)本代表圖之元件符號簡單說明：

- 4 電性連接結構
- 41 半導體晶片
- 42 電性墊
- 43 奈米雙晶銅層
- 44  $\text{Cu}_3\text{Sn}$  層
- 45  $\text{Cu}_6\text{Sn}_5$  層
- 46 焊料
- 47 介金屬化合物層
- 49 電性連接體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種具有奈米雙晶銅之電性連接結構之製備方法、具有奈米雙晶銅之電性連接體、以及具有奈米雙晶銅之電性連接結構，尤指一種可減緩銅-錫焊接反應生成的克氏空孔(kirkendall void)的奈米雙晶銅之電性連接結構之製備方法、具有奈米雙晶銅之電性連接點、以及具有奈米雙晶銅之電性連接結構。

### 【先前技術】

銅金屬因具備高導電性與散熱性，同時又與錒錫的濕潤性良好，因此廣泛地使用於金屬連接裝置中(例如，金屬互連接線(metal interconnect)、凸塊下金屬(under bump metal, UBM)、銅柱凸塊(Cu pillar)、或直通矽晶穿孔(through silicon via, TSV))。

例如，應用於封裝結構之凸塊下金屬中，銅金屬經常藉由錒錫與其他電子元件電性連接。其電性連接加工過程中需要進行高溫回焊處理，因而銅金屬與錒錫反應產生介金屬化合物(intermetallic compounds, IMCs)，並同時生成對元件功能不利之空孔(voids)。

詳細地說，如圖1A所示，其為晶片11的其中一種結構。僅在一個晶片上放置焊錒17以及回焊形成介金屬化合物171。此結構可與另一顆晶片再進行焊接成圖1B之結構，也可以連接另一電鍍載板或電性連接裝置。介金屬化合物層

171包括有Cu<sub>3</sub>Sn層15以及Cu<sub>6</sub>Sn<sub>5</sub>層16，其中，缺陷克氏空孔(kirkendall void)20會形成於Cu<sub>3</sub>Sn層15中，造成電子接點機械性質劣化等情形產生。

另外，如圖1B所示，例如目前三維積體電路(3D-IC)結構技術中，包含有二個晶片11,12，晶片11,12分別具有電性墊13,14(其組成為一般銅金屬)，電性墊13,14以焊錫17連接。經回焊後，電性墊13,14中之銅原子會擴散至焊錫17中並與焊錫17中之錫反應，使部分焊錫17轉換成為介金屬化合物層171,172(分別形成於焊錫17與電性墊13,14之間)，同時焊錫內的晶格空隙(vacancy)則反向擴散至介金屬化合物層171,172與電性墊13,14的介面。其中，介金屬化合物層171,172分別包括有Cu<sub>3</sub>Sn層15,18以及Cu<sub>6</sub>Sn<sub>5</sub>層16,19。

上述的結構中，在高溫熱時效測試(high temperature storage testing)(例如，150°C、72小時)、及/或長期在工作溫度操作下，接點內的銅、錫原子會進行內部擴散(inter-diffusion)，由於克氏效應(kirkendall effect)使得介金屬化合物內部的空位(vacancy)往銅端移動，造成晶格界面的空位濃度逐漸增加並超過平衡濃度，到達成核濃度便將析出孔洞並逐漸擴大，即圖1中所示之克氏空孔(kirkendall void)20。而當孔洞數量以及體積增加至一定程度時，將會降低電子接點機械性質，使其容易在外力作用下容易產生斷裂(cracking)，而造成元件功能失效。關於克氏空孔之其他資訊，可參考Zeng et al. J. Appl. Phys. 97, 024508 (2005)。為了解決上述問題，美國專利公告第US 6,867,503號、第US



7,267,861號、第US 5,665,639號、以及第US 7,847,398號中有提出相關解決技術，但皆不盡理想。例如，需增加阻障材料的使用、需高溫處理、可靠度不佳、或製程參數不易控制等缺點。因此，本領域仍需開發出新的結構或新的材料，針對前述的產生機制來著手消除孔洞產生的問題，並同時維持好的可靠度，以及具有方便製作、生產價格便宜、製程參數容易控制等優點。

#### 【發明內容】

為此，本發明提出了一種具有奈米雙晶銅之電性連接結構之製備方法，包括步驟：(A)提供一第一基板；(B)於該第一基板之部分表面形成一奈米雙晶銅層；(C)將一焊料接著(adhere)於該奈米雙晶銅層之表面；(D)進行回焊(reflow)使該焊料與奈米雙晶銅層接合形成一電性連接體，其中，該焊料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，該介金屬化合物層係包括有一 $\text{Cu}_3\text{Sn}$ 層。在此，該電性連接體可用於使該基板之奈米雙晶銅層與另一裝置進行連接。在此，回焊的溫度、時間等條件與一般封裝製成中所使用的條件相似，無特別限制，因此本發明可直接應用於工業生產。

回焊的溫度與焊料的熔點有關，可介於 $100^\circ\text{C}$ 至 $800^\circ\text{C}$ ，有鉛焊料之熔點(如， $180^\circ\text{C}$ )相較於無鉛低，因此使用有鉛焊料時，可使用較低的溫度進行回焊；但使用無鉛焊料時，則需提高回焊的溫度。另外，回焊時間可介於0.01小時至48

小時，較佳可介於0.01小時至24小時間，可依不同情況而調整。

本發明之奈米雙晶銅之電性連接結構可應用於晶片、電路板、封裝結構、或是晶片堆疊(如，三維積體電路(3D-IC))等電子元件上。例如，晶片出廠時其電性墊(pad)表面具有本發明之電性接點，可提供下游廠商完成後續接合基板或晶片的步驟。或是，三維積體電路出廠時，其晶片與晶片之間或晶片與其他電性裝置之間係以本發明之電性連接結構電性連接。

本發明之具有奈米雙晶銅之電性連接結構之製備方法，係利用奈米雙晶銅層之特殊材料形成於基板(例如，半導體晶片或電路基板等)上作為電性連接媒介。此奈米雙晶銅層結構本身含有豐富的空位阱(vacancy sinks)，能吸收並分散因銅錫反應而擴散到界面的空位濃度，使其不至於成核析出。奈米雙晶銅層與焊料之間克氏空孔(kirkendall void)得以因使用此材料而被消除。本發明中，除了因接點(例如，焊錫接點)斷裂的風險降低而提升了元件可靠度與使用壽命，並同時仍然保留了原本銅的高導電性與高散熱性。所以，本發明之技術可應用於，例如覆晶封裝(Flip chip)、球列陣列基板(Ball grid array, BGA)、晶圓級晶片封裝(wafer level chip scale packaging, WLCSP)等常見於IBM C4技術所衍生的各種封裝技術中，尤其是具高頻與高功率元件。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中，該步驟(D)之後較佳可更包括一步驟(E)：對於該電性連

接體進行固態時效(solid aging)處理。固態時效之溫度可為100°C至800°C,較佳為100°C至675°C,再佳為250至400 °C,更佳為260-450 °C,時間約為0.01小時至2000小時,較佳為0.01小時至50小時,再佳為0.01至24小時。固態時效之溫度取決於焊料的熔點,由於固態時效進行時必須避免使焊料熔解,因此所使用的溫度必須低於焊料的熔點。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中,該步驟(D)之前較佳可更包括一步驟(D0):將一第二基板與該第一基板利用該焊料連接;或是,該步驟(D)之後較佳可更包括一步驟(D1):將一第二基板與該第一基板利用該焊料連接,並進行再一次回焊。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中,該步驟(B)之奈米雙晶銅層之形成方法較佳係選自由:直流電鍍、脈衝電鍍、物理氣相沉積、化學氣相沉積、以及蝕刻銅箔所組成之群組;更佳係直流電鍍、脈衝電鍍;最佳係直流電鍍。

例如,使用電鍍製備奈米雙晶銅層時,可包括步驟:(A)提供一電鍍裝置,該裝置包括一陽極、一陰極(例如,待電鍍之基板)、一電鍍液、以及一電力供應源,該電力供應源係分別與該陽極及該陰極連接,且該陽極及該陰極係浸泡於該電鍍液中;以及(B)使用該電力供應源提供一電力進行電鍍,由該陰極之一表面成長奈米雙晶銅金屬層。電力供應源較佳係直流電鍍供應源、或高速脈衝電鍍供應源、或直流電鍍與高速脈衝電鍍二者交互使用為之,可使

雙晶金屬層形成速率提升。當該步驟(B)中使用直流電鍍供應源時，電流密度較佳可為1 ASD-12 ASD，最佳可為2ASD-10ASD(例如，8ASD)。當該步驟(B)中使用高速脈衝電鍍供應源時，其操作條件較佳為： $T_{on} / T_{off}$  (sec)為0.1/2-0.1/0.5之間(例如，0.1/2、0.1/1、或0.1/0.5)，電流密度為1-25ASD(最佳可為5ASD)。在此條件下進行電鍍，奈米雙晶銅之成長速率以實際通電時間計算，較佳可為0.22 $\mu\text{m}/\text{min}$  - 2.64 $\mu\text{m}/\text{min}$ 。例如，當該步驟(B)中電鍍之電流密度為8ASD時，該雙晶金屬之成長速率可至1.5 $\mu\text{m}/\text{min}$  - 2  $\mu\text{m}/\text{min}$ (例如，1.76 $\mu\text{m}/\text{min}$ )。本發明中，奈米雙晶銅金屬層之厚度可依據電鍍時間長短進行調整，其範圍較佳為約0.1 $\mu\text{m}$ -500 $\mu\text{m}$ ，更佳為0.8 $\mu\text{m}$ -200 $\mu\text{m}$ ，再更佳為1 $\mu\text{m}$ -20 $\mu\text{m}$ 。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中，當該步驟(B)使用電鍍形成該奈米雙晶銅層時，電鍍所使用之一電鍍液較佳可包括有：一銅的鹽化物、一酸、以及一氟離子來源。而上述之電鍍液中，氟離子主要功能之一係可用以微調整晶粒成長方向，使雙晶金屬具有結晶優選方向。此外，其酸可為一有機或無機酸，以增加電解質濃度而提高電鍍速度，例如可使用硫酸、甲基磺酸、或其混合，此外，電鍍液中的酸之濃度較佳可為80-120g/L。此外，電鍍液須同時包含有銅離子來源(亦即，銅之鹽化物，例如，硫酸銅或甲基磺酸銅)。該電鍍液較佳的組成中，也可更包括一添加物係選自由：明膠(gelatin)、介面活性劑、

晶格修整劑(lattice modification agent)、及其混合所組成之群組，用以調整此些添加物質可用以微調整晶粒成長方向。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中，該第一基板較佳可包括有一第一電性墊，該第一電性墊係包括該第一奈米雙晶銅層(亦即，該第一奈米雙晶銅層可做為該第一電性墊之部分或全部)。

焊料轉換為介金屬化合物層之比例會隨著回焊之溫度、時間、以及焊料用量等條件而有所不同。因此，於某些情況下，焊料會部分轉換為介金屬化合物層；於某些情況下，焊料會全部轉換為介金屬化合物層。本發明之態樣中，焊料可完全轉換為以 $\text{Cu}_3\text{Sn}$ 為主之介金屬化合物層，且其厚度較佳可介於 $0.1\text{-}200\ \mu\text{m}$ 間，更佳可介於 $0.1\text{-}10\ \mu\text{m}$ 間，無特別限制，較佳情況下，介金屬化合物層以及 $\text{Cu}_3\text{Sn}$ 層之厚度比： $[\text{該}\ \text{Cu}_3\text{Sn}\ \text{層}\ \text{厚度}] / [\text{該}\ \text{介}\ \text{金屬}\ \text{化合物}\ \text{層}\ \text{總}\ \text{厚度}]$ 可介於 $0.3\text{-}1$ 之間，較佳係介於 $0.5\text{-}1$ 之間，更佳係介於 $0.71\text{-}1$ 之間。當焊料完全轉換為 $\text{Cu}_3\text{Sn}$ 之介金屬化合物層時，透過電阻、應力及楊氏係數等物理性質測試，其具有優異的低電阻及高機械強度特性。

此外，介金屬化合物層可更包含有一 $\text{Cu}_6\text{Sn}_5$ 層，或者可更包含原子排列不具方向性之一 $\text{Cu}_6\text{Sn}_5$ 層。該 $\text{Cu}_3\text{Sn}$ 層可係配置於該奈米雙晶銅層與該 $\text{Cu}_6\text{Sn}_5$ 層之間，其中介金屬化合物層以及 $\text{Cu}_6\text{Sn}_5$ 層之厚度比： $[\text{Cu}_6\text{Sn}_5\ \text{層}\ \text{厚度}] / [\text{介}\ \text{金屬}\ \text{化合物}\ \text{層}]$

化合物層厚度] 可介於0.3-1之間，較佳係介於0.5-1之間，更佳係介於0.71-1之間。

本發明之具有奈米雙晶銅之電性連接結構中，經過特定條件以長時間的置放，介金屬化合物層中之 $\text{Cu}_6\text{Sn}_5$ 層會漸漸轉變成 $\text{Cu}_3\text{Sn}$ 層。

本發明之具有奈米雙晶銅之電性連接結構之製備方法可使用各種不同組成之焊錫，因此焊料層之材質較佳可選自由：共晶型錫/鉛(eutectic Sn/Pb)焊料、錫/銀/銅焊料、錫/銀焊料、以及無錫焊料所組成之群組。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中，該奈米雙晶銅層厚度較佳可為 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳可為 $1\mu\text{m}$  - $200\mu\text{m}$ 。該奈米雙晶銅層中之晶粒之直徑較佳可為 $0.1\mu\text{m}$  - $50\mu\text{m}$ ，更佳可為 $1\mu\text{m}$  - $10\mu\text{m}$ 。

本發明之具有奈米雙晶銅之電性連接結構之製備方法中，該第一奈米雙晶銅層之50%以上的體積較佳可包括複數個晶粒。此外，該複數個晶粒彼此間較佳係互相連接，每一晶粒較佳係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角較佳係0至20度。

本發明另提供一種具有奈米雙晶銅之電性連接體，係包括：一奈米雙晶銅層；以及一介金屬化合物(intermetallic compound, IMC)層，係配置於該奈米雙晶銅層之一側並與該奈米雙晶銅層相連接，且該介金屬化合物層係包括有一

Cu<sub>3</sub>Sn層；其中，該奈米雙晶銅層之50%以上的體積包括複數個晶粒。

本發明之具有奈米雙晶銅之電性連接體作為連接晶片與晶片、晶片與線路基板、線路基板與線路基板、或其他電性結構之間之連接單元。本發明中，奈米雙晶銅層結構本身含有豐富的空位阱，能吸收並分散因銅錫反應而擴散到界面的空位濃度，使其不至於成核析出。奈米雙晶銅層與焊料之間克氏空孔(kirkendall void)得以因使用此材料而被消除。本發明中，除了因接點(例如，焊錫接點)斷裂的風險降低而提升了元件可靠度與使用壽命，並同時仍然保留了原本銅的高導電性與高散熱性。所以，本發明之技術可應用於，例如覆晶封裝(Flip chip)、球列陣列基板(Ball grid array, BGA)、晶圓級晶片封裝(wafer level chip scale packaging, WLCSP)等常見於IBM C4技術所衍生的各種封裝技術中，尤其是具高頻與高功率元件。

本發明之具有奈米雙晶銅之電性連接體中，該複數個晶粒較佳係為柱狀雙晶體(columnar twinned grain)。此外，該複數個晶粒較佳彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

本發明之具有奈米雙晶銅之電性連接體中，該介金屬化合物層較佳係更包括有一Cu<sub>6</sub>Sn<sub>5</sub>層，該Cu<sub>3</sub>Sn層較佳係配置於該奈米雙晶銅層與該Cu<sub>6</sub>Sn<sub>5</sub>層之間。本發明之具有奈

米雙晶銅之電性連接體中，經過特定條件以長時間的置放，介金屬化合物層中之 $\text{Cu}_6\text{Sn}_5$ 層會漸漸轉變成 $\text{Cu}_3\text{Sn}$ 層。

本發明之具有奈米雙晶銅之電性連接體，較佳可更包括一焊料層，係配置於該介金屬化合物層上，使該介金屬化合物配置於該焊料層與該奈米雙晶銅層之間。也就是說，當回焊過程中由於溫度、時間、以及焊料用量等條件的不同，焊料會部分或全部轉換為介金屬化合物層，而得到不同的電性連接體結構。

本發明之具有奈米雙晶銅之電性連接體中，該焊料層之材質較佳可選自由：共晶型錫/鉛(eutectic Sn/Pb)焊料、錫/銀/銅焊料、錫/銀焊料、以及無錫焊料所組成之群組。

本發明之具有雙晶銅之電性連接體較佳可更包括：一第二奈米雙晶銅層，且該介金屬化合物較佳可位於該第一奈米雙晶銅層與該第二奈米雙晶銅層之間。

本發明之具有奈米雙晶銅之電性連接體，於某一實施態樣中，該介金屬化合物層例如可包括有二層 $\text{Cu}_3\text{Sn}$ 層以及一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_6\text{Sn}_5$ 層係配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間。或是，於另一實施態樣中，本發明之具有奈米雙晶銅之電性連接體，較佳可更包括一焊料層，其中，該介金屬化合物層係包括有二層 $\text{Cu}_3\text{Sn}$ 層以及二層 $\text{Cu}_6\text{Sn}_5$ 層，該焊料層係配置於該二層 $\text{Cu}_6\text{Sn}_5$ 層之間，而該二層 $\text{Cu}_6\text{Sn}_5$ 層以及該焊料層係配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間。於又一種實施態樣中，焊料層可配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間。詳細地說，當連接二基板之兩邊皆使用奈米雙晶銅層時，由於奈米雙晶銅與焊料之



間晶回焊後，焊料會部分或全部轉換為介金屬化合物層，因此介金屬化合物層可能會具有例如「 $\text{Cu}_3\text{Sn}$ 層/ $\text{Cu}_6\text{Sn}_5$ 層/ $\text{Cu}_3\text{Sn}$ 層」的結構、「 $\text{Cu}_3\text{Sn}$ 層/ $\text{Cu}_6\text{Sn}_5$ 層/焊料/ $\text{Cu}_6\text{Sn}_5$ 層/ $\text{Cu}_3\text{Sn}$ 層」、或是「 $\text{Cu}_3\text{Sn}$ 層/焊料/ $\text{Cu}_3\text{Sn}$ 層」的結構。

本發明之具有雙晶銅之電性連接體中，該第一及/或第二奈米雙晶銅層之厚度較佳可為 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳可為 $1\mu\text{m}$ - $200\mu\text{m}$ 。該第一奈米及/或第二奈米雙晶銅層中之晶粒之直徑較佳可為 $0.1\mu\text{m}$ - $50\mu\text{m}$ ，更佳可為 $1\mu\text{m}$ - $10\mu\text{m}$ 。

本發明又提供一種具有雙晶銅之電性連接結構，包括：一第一基板，係具有一第一電性墊，該第一電性墊係包括一第一奈米雙晶銅層；一第二基板，係具有一第二電性墊；以及至少一介金屬化合物(intermetallic compound, IMC)層，係位於該第一奈米雙晶銅層之表面，該介金屬化合物層係包括有一 $\text{Cu}_3\text{Sn}$ 層，且該介金屬化合物層係配置於該第一基板與該第二基板之間，並電性連接該第一電性墊以及該第二電性墊，其中，該第一奈米雙晶銅層之50%以上的體積包括複數個晶粒。

本發明之具有奈米雙晶銅之電性連接結構係包含有上述之具有奈米雙晶銅之電性連接體，因此，由於奈米雙晶銅層結構本身含有豐富的空位阱(vacancy sinks)，能吸收並分散因銅錫反應而擴散到界面的空位濃度，使其不至於成核析出。奈米雙晶銅層與焊料之間克氏空孔(kirkendall void)得以因使用此材料而被消除。本發明中，除了因接點(例如，

焊錫接點)斷裂的風險降低而提升了元件可靠度與使用壽命，並同時仍然保留了原本銅的高導電性與高散熱性。

本發明之具有奈米雙晶銅之電性連接結構中，該複數個晶粒較佳係為柱狀雙晶體(columnar twinned grain)。此外，該複數個晶粒較佳彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

本發明之具有奈米雙晶銅之電性連接結構，較佳可更包括一焊料層，係配置於該介金屬化合物層與該第二電性墊之間。此外，該焊料層之材質較佳可選自由：共晶型錫/鉛(eutectic Sn/Pb)焊料、錫/銀/銅焊料、錫/銀焊料、以及無錫焊料所組成之群組。

本發明之具有奈米雙晶銅之電性連接結構中，該介金屬化合物層較佳可更包括有一 $\text{Cu}_6\text{Sn}_5$ 層，較佳係更包含原子排列不具方向性之一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_3\text{Sn}$ 層係配置於該第一奈米雙晶銅層與該 $\text{Cu}_6\text{Sn}_5$ 層之間。本發明之具有奈米雙晶銅之電性連接結構中，經過特定條件以長時間的置放，介金屬化合物層中之 $\text{Cu}_6\text{Sn}_5$ 層會漸漸轉變成 $\text{Cu}_3\text{Sn}$ 層。

本發明之具有奈米雙晶銅之電性連接結構中，該第二電性墊較佳可包括一第二奈米雙晶銅層。亦即，第一電性墊及第二電性墊皆包含有奈米雙晶銅層。如此，於某一實施態樣中，該介金屬化合物層可包括有二層 $\text{Cu}_3\text{Sn}$ 層以及一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_6\text{Sn}_5$ 層係配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間；或是，於另一實施態樣中，該介金屬化合物層係包括有二層 $\text{Cu}_3\text{Sn}$

層以及二層  $\text{Cu}_6\text{Sn}_5$  層，焊料層配置於該二層  $\text{Cu}_6\text{Sn}_5$  層之間，而該二層  $\text{Cu}_6\text{Sn}_5$  層以及該焊料層係配置於該二層  $\text{Cu}_3\text{Sn}$  層之間。於又一種實施態樣中，焊料層可配置於該二層  $\text{Cu}_3\text{Sn}$  層之間。詳細地說，介金屬化合物層可能會具有例如「 $\text{Cu}_3\text{Sn}$  層/ $\text{Cu}_6\text{Sn}_5$  層/ $\text{Cu}_3\text{Sn}$  層」的結構、「 $\text{Cu}_3\text{Sn}$  層/ $\text{Cu}_6\text{Sn}_5$  層/焊料/ $\text{Cu}_6\text{Sn}_5$  層/ $\text{Cu}_3\text{Sn}$  層」，或是「 $\text{Cu}_3\text{Sn}$  層/焊料/ $\text{Cu}_3\text{Sn}$  層」的結構。

本發明之具有雙晶銅之電性連接結構中，該第一基板及/或第二基板較佳可各自獨立地選自由：一半導體晶片、一電路板、一導電基板(例如，金屬基板)、及陶瓷基板所組成之群組。

本發明之具有奈米雙晶銅之電性連接結構中，較佳可更包括一晶種層，係配置於該第一奈米雙晶銅層與該第一電性墊之間。此外，本發明之具有奈米雙晶銅之電性連接結構亦可更包括一黏著層(adhesion layer)，係配置於該第一奈米雙晶銅層與該第一電性墊之間。其中，該黏著層之材質較佳可選自由：鈦、鎢鈦(TiW)、氮化鈦(TiN)、氮化鉭(TaN)、鉭(Ta)、及其合金所組成之群組。

本發明之具有奈米雙晶銅之電性連接結構中，該第一及/或第二奈米雙晶銅層之厚度較佳可為  $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳可為  $1\mu\text{m}$ - $200\mu\text{m}$ 。該第一奈米及/或第二奈米雙晶銅層中之晶粒之直徑較佳可為  $0.1\mu\text{m}$ - $50\mu\text{m}$ ，更佳可為  $1\mu\text{m}$ - $10\mu\text{m}$ 。

## 【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

### [實施例1]

圖2A至圖2D係本實施例之電性連接體之製備流程圖。如圖2A所示，首先提供一基板31，在此，基板31係一具有線路層32(亦可作為電性墊)之印刷電路板。接著，如圖2B所示，將該基板31置入於一電鍍裝置2中作為陰極。該電鍍裝置1包括有陽極22，係浸泡於電鍍液24中並連接至一直流電供應源26(在此係使用Keithley 2400)。陽極22使用之材料為金屬銅、磷銅或惰性陽極(如鈦鍍白金)。電鍍液24係包括有硫酸銅(銅離子濃度為20-60g/L)、氯離子(濃度為10-100ppm)、以及甲基磺酸(濃度為80-120g/L)，並可添加其他界面活性劑或晶格修整劑(如BASF Lugalvan 1-100ml/L)。選擇性地，本實施例之電鍍液24更可包含有機酸(例如，甲基磺酸)、或明膠(gelatin)等，或以上的混合物用調整晶粒結構與尺寸。

接著，以2-10ASD的電流密度之直流電進行電鍍，由基板31開始朝著箭頭所指之方向(如圖2B所示)於線路層32表面成長奈米雙晶銅。成長過程中，雙晶之(111)面以及奈

米雙晶銅金屬層之平面係約垂直於電場的方向，並以約 $1.76\mu\text{m}/\text{min}$ 的速率成長雙晶銅。成長完成之第一奈米雙晶銅層33(作為電性墊)包括有複數個晶粒，該晶粒由複數個雙晶銅所組成，奈米雙晶延伸到表面，因此表面所顯露的同樣是(111)面。電鍍完成後得到的第一奈米雙晶銅層33厚度約 $20\mu\text{m}$ 。 $[111]$ 晶軸係為垂直(111)面之軸。

接著，如圖2C所示，取一半導體晶片41，該半導體晶片41係具有一電性墊42。以一焊料51進行回焊接合(溫度約為 $180^\circ\text{C}$ )黏接該半導體晶片41之電性墊42以及該基板31上之第一奈米雙晶銅層33。

回焊完成後，再進行固態時效(solid-state aging)處理(溫度約 $180^\circ\text{C}$ ，時間約100小時)。最後，焊料51之部分係轉換為介金屬化合物層57。位於第一奈米雙晶銅層33表面之介金屬化合物層57包括有 $\text{Cu}_3\text{Sn}$ 層52以及 $\text{Cu}_6\text{Sn}_5$ 層53；且位於半導體晶片41之電性墊42表面之介金屬化合物層57包括有 $\text{Cu}_3\text{Sn}$ 層54以及 $\text{Cu}_6\text{Sn}_5$ 層55。由於本實施例中，半導體晶片41之電性墊42並非使用雙晶銅層形成，因此經過熱時效測試或長時間通電使用，於電性墊42與 $\text{Cu}_3\text{Sn}$ 層54之間形成有空孔58。但第一奈米雙晶銅層33與介金屬化合物層57之間並無形成空孔。

本實施例中，固態時效之溫度較佳為 $100^\circ\text{C}$ 至 $250^\circ\text{C}$ (更佳為 $100^\circ\text{C}$ 至 $200^\circ\text{C}$ )，時間約為50小時至2000小時。固態時效之溫度取決於焊料的熔點，由於固態時效進行時必須避免使焊料熔解，因此所使用的溫度必須低於焊料的熔點。

本實施例中，第一奈米雙晶銅層33之厚度可為約 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳為 $0.8\mu\text{m}$ - $200\mu\text{m}$ ；在此係約 $20\mu\text{m}$ 。

本實施例中，基板31不限於印刷電路板，亦可為半導體晶片、一導電基板(例如，金屬基板)、或陶瓷基板等。

本實施例中，經過特定條件以長時間的置放，介金屬化合物層中部分或全部的 $\text{Cu}_6\text{Sn}_5$ 層55會漸漸轉變成 $\text{Cu}_3\text{Sn}$ 層54。

#### [實施例2]

本實施例中，如圖3A所示，係取用二個半導體晶片41，以如同實施例1中相同的電鍍方法，分別形成奈米雙晶銅層43(作為電性墊)於半導體晶片41表面。

接著，以一焊料(圖未示，本實施例之焊料為純錫，厚度 $10\mu\text{m}$ )黏接該二個半導體晶片41並於 $260^\circ\text{C}$ 回焊0.05小時。接著，以 $260^\circ\text{C}$ 之溫度進行1小時之固態時效(solid-state aging)，以使焊料轉變成包含有 $\text{Cu}_3\text{Sn}$ 層44以及原子排列不具方向性之 $\text{Cu}_6\text{Sn}_5$ 層45之介金屬化合物層，其中， $\text{Cu}_3\text{Sn}$ 層44厚度為 $1\mu\text{m}$ ，而 $\text{Cu}_6\text{Sn}_5$ 層45之厚度為 $9\mu\text{m}$ 。回焊完成後，所有的焊料(圖未示)皆轉換成為介金屬化合物層47。如圖3A所示，介金屬化合物層47之結構係包含有「 $\text{Cu}_3\text{Sn}$ 層44/ $\text{Cu}_6\text{Sn}_5$ 層45/ $\text{Cu}_3\text{Sn}$ 層44」的三層結構。

如圖3B以及圖3C所示，其係本實施例之電性連接體49之聚焦離子束(Focused Ion Beam, FIB)剖面圖，本實施例之具有奈米雙晶銅之電性連接體49係包括：二個奈米雙晶銅層43；以及介金屬化合物層47，其中介金屬化合物層47係

配置於該二個奈米雙晶銅層43之間，且介金屬化合物層47包含有Cu<sub>3</sub>Sn層44/Cu<sub>6</sub>Sn<sub>5</sub>層45/ Cu<sub>3</sub>Sn層44的三層結構。

如圖3A所示，本實施例之具有雙晶銅之電性連接結構4係包括：二個半導體晶片41，係分別具有一奈米雙晶銅層43作為電性墊；以及介金屬化合物層47，包含有Cu<sub>3</sub>Sn層44/Cu<sub>6</sub>Sn<sub>5</sub>層46/ Cu<sub>3</sub>Sn層44的三層結構。

#### [實施例3]

如圖4A所示，本實施例之具有雙晶銅之電性連接結構4大致與實施例2之電性連接結構相同，但差異在於，本實施例所使用的焊料46厚度較大，回焊後，僅部分焊料46轉換為介金屬化合物層47。

如圖4B所示，其係本實施例之電性連接體49之聚焦離子束(FIB)剖面圖，在本實施例中，具有奈米雙晶銅之電性連接體係包括(請同時參照圖4A)：二個奈米雙晶銅層43；介金屬化合物層47，係配置於該二個奈米雙晶銅層43之間，且介金屬化合物層47係包括Cu<sub>3</sub>Sn層44以及Cu<sub>6</sub>Sn<sub>5</sub>層45；焊料46，係配置於二個Cu<sub>6</sub>Sn<sub>5</sub>層45之間。因此，本實施例之電性連接體49係具有「奈米雙晶銅層43/ Cu<sub>3</sub>Sn層44/ Cu<sub>6</sub>Sn<sub>5</sub>層45/焊料46/ Cu<sub>6</sub>Sn<sub>5</sub>層45/ Cu<sub>3</sub>Sn層44/奈米雙晶銅層43」的結構。

而本實施例之具有雙晶銅之電性連接結構4係包括：二個半導體晶片41，係分別具有一奈米雙晶銅層43作為電性墊；介金屬化合物層47；以及焊料46。

#### [實施例4]

如圖5所示，本實施例係取一基板31(具有線路層32之印刷電路板)以及一半導體晶片41(具有一電性墊42)。於電性墊42上依序形成黏著層(adhesion layer)46、晶種層48、以及奈米雙晶銅層43；並於線路層32上依序形成黏著層36、晶種層38、以及奈米雙晶銅層33。並使用焊料46將基板31上的奈米雙晶銅層33對應半導體晶片41上的奈米雙晶銅層43對應黏合併進行回焊。

部分的焊料46會轉換為介金屬化合物層47。介金屬化合物層47包括 $\text{Cu}_3\text{Sn}$ 層44以及 $\text{Cu}_6\text{Sn}_5$ 層45。

因此，於本實施例中，電性連接體包含有「黏著層46/晶種層48/奈米雙晶銅層43/介金屬化合物層47」的層疊結構。

#### [實施例5]

如圖6及圖7所示，本實施例之與實施例2大致相同，差別在於回焊以及固態時效處理條件。

純錫焊料係黏接於兩個半導體晶片41上，於 $340^\circ\text{C}$ 回焊1小時(若於 $260^\circ\text{C}$ 回焊，則回焊時間須為1至24小時)，於回焊過程中，焊料會逐漸轉換為介金屬化合物層(包含 $\text{Cu}_6\text{Sn}_5$ 層以及 $\text{Cu}_3\text{Sn}$ )。待回焊結束後，再於 $260^\circ\text{C}$ 固態時效處理24小時，以形成 $\text{Cu}_3\text{Sn}$ 層44之介金屬化合物層，在此， $\text{Cu}_3\text{Sn}$ 層之厚度為 $20\mu\text{m}$ 。

由此，本實施例之具有雙晶銅之電性連接結構4係包括：二個半導體晶片41，係分別具有一奈米雙晶銅層43作為電性墊；以及 $\text{Cu}_3\text{Sn}$ 層44之介金屬化合物層結構。



測量本實施例之電性連接結構4之電阻、應力及楊氏係數等物理性質，其中，本實施例Cu<sub>3</sub>Sn層44之電阻為8.8 μΩcm，其比純錫鉛料之電阻12 μΩcm還低，此表示本實施例之Cu<sub>3</sub>Sn層44可提高兩個半導體晶片41之電性連接，且能減少耗能。再則，本實施例Cu<sub>3</sub>Sn層44硬度值為5.72 MPa/m，且楊氏係數為108.3 GPa，其比純錫鉛料之50 GPa高。故顯示本實施例Cu<sub>3</sub>Sn層44能有效抵抗電遷移破壞，且具有較高之機械性質。再則，由於Cu<sub>3</sub>Sn層45之熔點為675 °C，因此，能足以抗高熱及防止固態熔融。

由以上測試結果可了解Cu<sub>3</sub>Sn層44之介金屬化合物層具有低電阻及高機械強度特性。

#### [實施例6]

如圖8所示，本實施例首先係取一基板31(具有線路層32之印刷電路板)。接著，如同實施例1中所使用之相同方法及條件，於線路層32表面成長奈米雙晶銅，而形成第一奈米雙晶銅層33。接著，以一焊料51黏著於該第一奈米雙晶銅層33之表面。如此則完成本實施例之具有雙晶銅之電性連接結構。

如圖9A所示，其係上述實施例之奈米雙晶銅層43之聚焦離子束(FIB)剖面圖，圖9B係奈米雙晶銅層43之立體示意圖。本發明之奈米雙晶銅層43之50%以上的體積包括有複數個柱狀晶粒66，而每一晶粒中有複數個層狀奈米雙晶銅(例如，相鄰的一組黑線與白線構成一個雙晶銅，係以堆疊方向69堆疊而構成品粒66)，因此本發明中，奈米雙晶銅層43

整體則包含有非常多的奈米雙金銅。此些柱狀晶粒66之直徑D之範圍係約為 $0.5\mu\text{m}$ 至 $8\mu\text{m}$ 且高度L約為 $2\mu\text{m}$ 至 $20\mu\text{m}$ ，奈米雙晶平面661(水平條紋)與(111)平面平行，雙晶晶粒間是晶界662，銅之(111)平面垂直於厚度T方向，且雙晶銅層43之厚度T約為 $20\mu\text{m}$ (可於 $0.1\mu\text{m}$ - $500\mu\text{m}$ 之間任意調整)。相鄰之該晶粒間之堆疊方向(幾乎等同於[111]晶軸)之夾角係0至20度以內。

綜上所述，本發明之具有奈米雙晶銅之電性連接體之製備方法、具有雙晶銅之電性連接體、以及具有雙晶銅之電性連接結構，係利用奈米雙晶銅層之特殊材料形成於基板(例如，半導體晶片或電路基板等)上，作為電性連接媒介。此奈米雙晶銅層可使得回焊步驟後，即使經過長時間的使用，也可減少奈米雙晶銅層與焊料之間克氏空孔(kirkendall void)的產生。詳細地說，本發明之奈米雙晶銅層可吸收在焊錫與介金屬化合物之間擴散的晶格空隙(vacancy)，因此可減少奈米雙晶銅層與介金屬化合物之間空孔的產生，而可消除接點(例如，焊錫接點)斷裂的風險，提升元件可靠度與使用壽命。所以，本發明之技術可應用於，例如覆晶封裝(Flip chip)、球列陣列基板(Ball grid array, BGA)、晶圓級晶片封裝(wafer level chip scale packaging, WLCSP)等各種封裝技術中。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

**【圖式簡單說明】**

圖1A係習知放置有焊錫之晶片結構。

圖1B係習知三維積體電路(3D-IC)結構。

圖2A至圖2D係本發明實施例1之電性連接體之製備流程圖。

圖3A係本發明實施例2之具有雙晶銅之電性連接結構示意圖。

圖3B係本發明實施例2之電性連接體之聚焦離子束(Focused Ion Beam, FIB)剖面圖。

圖3C係本發明實施例2之電性連接體之聚焦離子束(Focused Ion Beam, FIB)剖面圖。

圖4A係本發明實施例3之具有雙晶銅之電性連接結構示意圖。

圖4B係本發明實施例3之電性連接體之聚焦離子束(Focused Ion Beam, FIB)剖面圖。

圖5係本發明實施例4之具有雙晶銅之電性連接結構示意圖。

圖6係本發明實施例5之具有雙晶銅之電性連接結構示意圖。

圖7係本發明實施例5之電性連接體之聚焦離子束(Focused Ion Beam, FIB)剖面圖。

圖8係本發明實施例6之具有雙晶銅之電性連接結構示意圖。

圖9A係本發明較佳實施例之奈米雙晶銅層43之聚焦離子束(FIB)剖面圖。

及9B係本發明較佳實施例之奈米雙晶銅層43之立體示意圖。

【主要元件符號說明】

11,12 晶片	42 電性墊
13,14 電性墊	43 奈米雙晶銅層
15,18 $\text{Cu}_3\text{Sn}$ 層	44 $\text{Cu}_3\text{Sn}$ 層
16,19 $\text{Cu}_6\text{Sn}_5$ 層	45 $\text{Cu}_6\text{Sn}_5$ 層
17 焊錫	46 焊料
171,172 介金屬化合物層	47 介金屬化合物層
2 電鍍裝置	49 電性連接體
22 陽極	51 焊料
24 電鍍液	52,54 $\text{Cu}_3\text{Sn}$ 層
26 直流電供應源	53,55 $\text{Cu}_6\text{Sn}_5$ 層
31 基板	57 介金屬化合物層
32 線路層	58 空孔
33 奈米雙晶銅層	66 晶粒
4 電性連接結構	661 雙晶平面
41 半導體晶片	662 晶界

69 堆疊方向

T 厚度

D 直徑

(111) (111)平面

L 高度

[111] [111]晶軸

## 七、申請專利範圍：

1. 一種具有雙晶銅之電性連接結構之製備方法，包括步驟：

- (A) 提供一第一基板；
- (B) 於該第一基板之部分表面形成一奈米雙晶銅層；
- (C) 將一焊料配置於該奈米雙晶銅層之表面；以及
- (D) 進行100°C至800°C回焊(reflow)使該焊料與該奈米雙晶銅層接合形成一電性連接體，其中，該焊料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，該介金屬化合物層係包括有一Cu<sub>3</sub>Sn層。

2. 如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該步驟(D)之後更包括一步驟(E)：對於該電性連接體進行100°C至800°C之固態時效(solid-state aging)處理。

3. 如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該步驟(D)之前更包括一步驟(D0)：將一第二基板與該第一基板利用該焊料連接。

4. 如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該步驟(D)之後更包括一步驟(D1)：將一第二基板與該第一基板利用該焊料連接，並進行再一次回焊。

5. 如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該步驟(B)之該第一奈米雙晶銅

層之形成方法係選自由：直流電鍍、脈衝電鍍、物理氣相沉積、化學氣相沉積、以及蝕刻銅箔所組成之群組。

6.如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該第一基板係包括有一第一電性墊，該電性墊係包括該奈米雙晶銅層。

7.如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該步驟(D)之回焊後，該焊料係全部轉換為該介金屬化合物層。

8.如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該介金屬化合物層更包括有一 $\text{Cu}_6\text{Sn}_5$ 層或一原子排列不具方向性之 $\text{Cu}_6\text{Sn}_5$ 層。

9.如申請專利範圍第1項所述之具有雙晶銅之電性連接結構之製備方法，其中，該第一奈米雙晶銅層之厚度為 $0.1\mu\text{m}-500\mu\text{m}$ 。

10.一種具有奈米雙晶銅之電性連接體，係包括：

一第一奈米雙晶銅層；以及

一介金屬化合物層，係配置於該第一奈米雙晶銅層之一側並與該第一奈米雙晶銅層相連接，且該介金屬化合物層係包括有一 $\text{Cu}_3\text{Sn}$ 層；

其中，該第一奈米雙晶銅層之50%以上的體積包括複數個晶粒。

11. 如申請專利範圍第10項所述之具有雙晶銅之電性連接體，其中，該介金屬化合物層係包括有一 $\text{Cu}_3\text{Sn}$ 層以及

一  $\text{Cu}_6\text{Sn}_5$  層，該  $\text{Cu}_3\text{Sn}$  層係配置於該第一奈米雙晶銅層與該  $\text{Cu}_6\text{Sn}_5$  層之間。

12. 如申請專利範圍第10項所述之具有雙晶銅之電性連接體，更包括一焊料層，係配置於該介金屬化合物層上，使該介金屬化合物配置於該焊料層與該第一奈米雙晶銅層之間。

13. 如申請專利範圍第12項所述之具有雙晶銅之電性連接體，其中，該焊料層之材質係選自由：共晶型錫/鉛 (eutectic Sn/Pb) 焊料、錫/銀/銅焊料、錫/銀焊料、以及無錫焊料所組成之群組。

14. 如申請專利範圍第10項所述之具有雙晶銅之電性連接體，更包括一第二奈米雙晶銅層，且該介金屬化合物係位於該第一奈米雙晶銅層與該第二奈米雙晶銅層之間。

15. 如申請專利範圍第14項所述之具有雙晶銅之電性連接體，其中，該介金屬化合物層係包括有二層  $\text{Cu}_3\text{Sn}$  層以及一  $\text{Cu}_6\text{Sn}_5$  層，該  $\text{Cu}_6\text{Sn}_5$  層係配置於該二層  $\text{Cu}_3\text{Sn}$  層之間。

16. 如申請專利範圍第15項所述之具有雙晶銅之電性連接體，更包括一焊料層，其中，該介金屬化合物層係包括有二層  $\text{Cu}_3\text{Sn}$  層以及二層  $\text{Cu}_6\text{Sn}_5$  層，該焊料層係配置於該二層  $\text{Cu}_6\text{Sn}_5$  層之間，而該二層  $\text{Cu}_6\text{Sn}_5$  層以及該焊料層係配置於該二層  $\text{Cu}_3\text{Sn}$  層之間。

17. 一種具有雙晶銅之電性連接結構，包括：

一第一基板，係具有一第一電性墊，該第一電性墊係包括一第一奈米雙晶銅層；



一第二基板，係具有一第二電性墊；以及  
至少一介金屬化合物(intermetallic compound, IMC)層，  
係位於該第一奈米雙晶銅層之表面，且該介金屬化合物層  
係配置於該第一基板與該第二基板之間，並電性連接該第  
一電性墊以及該第二電性墊，該介金屬化合物層係包括有  
一 $\text{Cu}_3\text{Sn}$ 層；

其中，該第一奈米雙晶銅層之50%以上的體積包括複數  
個晶粒。

18. 如申請專利範圍第17項所述之具有雙晶銅之電性  
連接結構，其中，該複數個晶粒係為柱狀雙晶體，其彼此  
間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著  
[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之  
夾角係0至20度。

19. 如申請專利範圍第17項所述之具有雙晶銅之電性  
連接結構，更包括一焊料層，係配置於該介金屬化合物層  
與該第二電性墊之間。

20. 如申請專利範圍第19項所述之具有雙晶銅之電性  
連接結構，其中，該焊料層之材質係選自由：共晶型錫/鉛  
(eutectic Sn/Pb)焊料、錫/銀/銅焊料、錫/銀焊料、以及無錫  
焊料所組成之群組。

21. 如申請專利範圍第17項所述之具有雙晶銅之電性  
連接結構，其中，該介金屬化合物層係包括有一 $\text{Cu}_3\text{Sn}$ 層以  
及一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_3\text{Sn}$ 層係配置於該第一奈米雙晶銅層與  
該 $\text{Cu}_6\text{Sn}_5$ 層之間。

22. 如申請專利範圍第17項所述之具有雙晶銅之電性連接結構，其中，該第二電性墊係包括一第二奈米雙晶銅層。

23. 如申請專利範圍第22項所述之具有雙晶銅之電性連接結構，其中，該介金屬化合物層係包括有二層 $\text{Cu}_3\text{Sn}$ 層以及一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_6\text{Sn}_5$ 層係配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間。

24. 如申請專利範圍第17項所述之具有雙晶銅之電性連接結構，更包括一晶種層，係配置於該第一奈米雙晶銅層與該第一電性墊之間。

八、圖式 (請見下頁):

22. 如申請專利範圍第17項所述之具有雙晶銅之電性連接結構，其中，該第二電性墊係包括一第二奈米雙晶銅層。

23. 如申請專利範圍第22項所述之具有雙晶銅之電性連接結構，其中，該介金屬化合物層係包括有二層 $\text{Cu}_3\text{Sn}$ 層以及一 $\text{Cu}_6\text{Sn}_5$ 層，該 $\text{Cu}_6\text{Sn}_5$ 層係配置於該二層 $\text{Cu}_3\text{Sn}$ 層之間。

24. 如申請專利範圍第17項所述之具有雙晶銅之電性連接結構，更包括一晶種層，係配置於該第一奈米雙晶銅層與該第一電性墊之間。

八、圖式 (請見下頁):

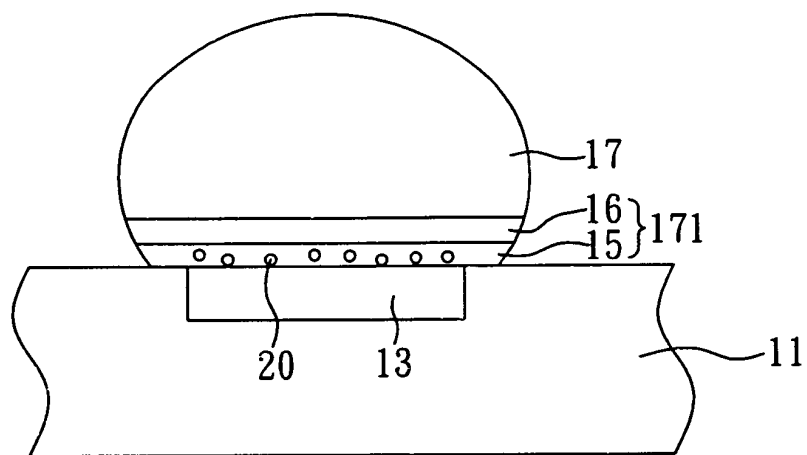


圖1A

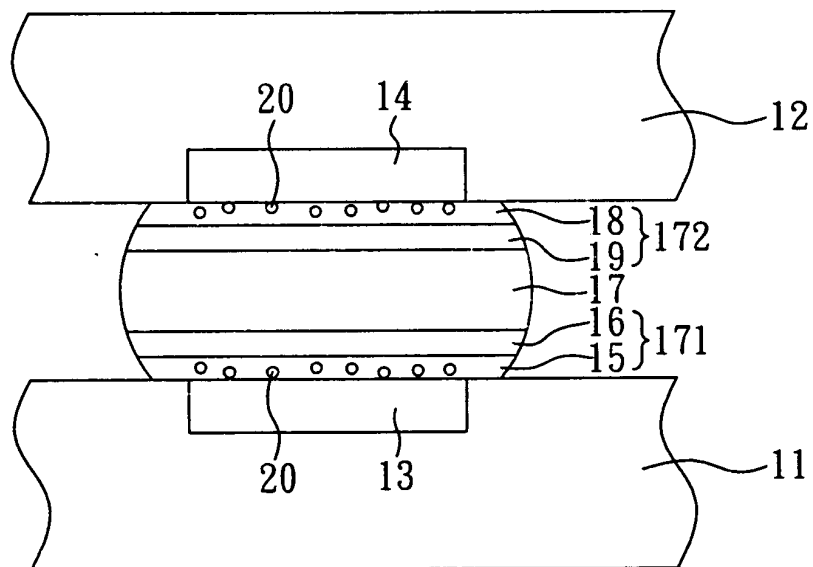


圖1B

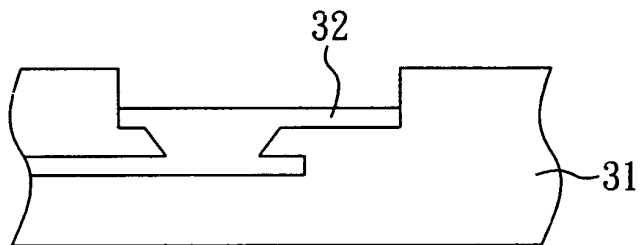


圖2A

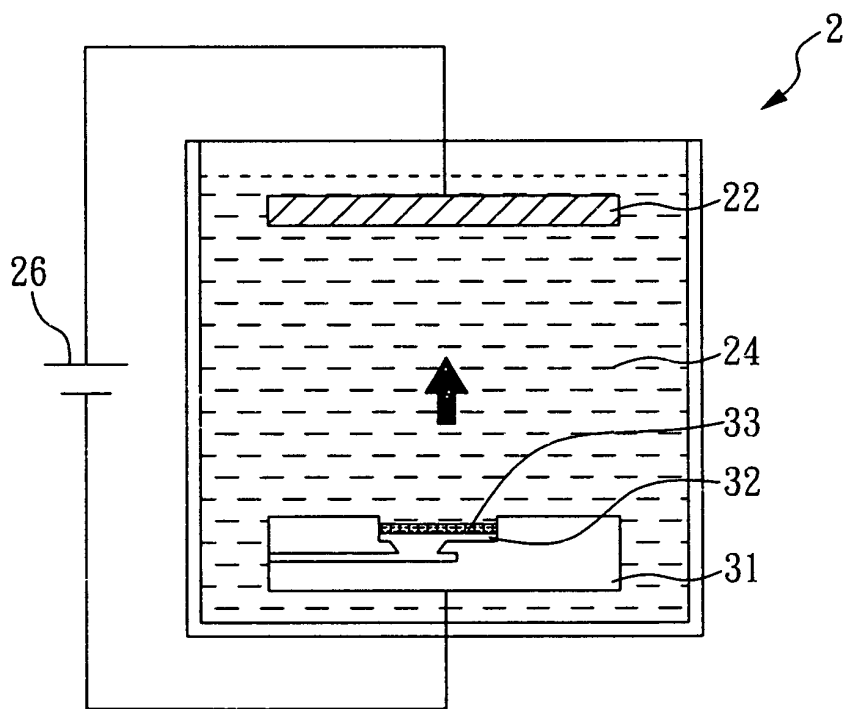


圖2B

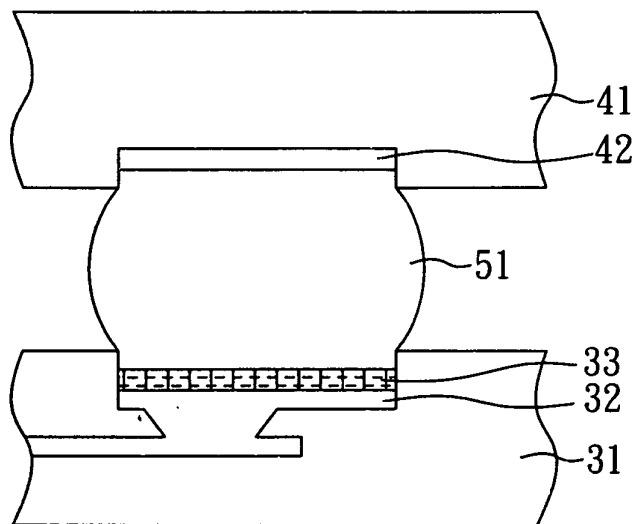


圖 2C

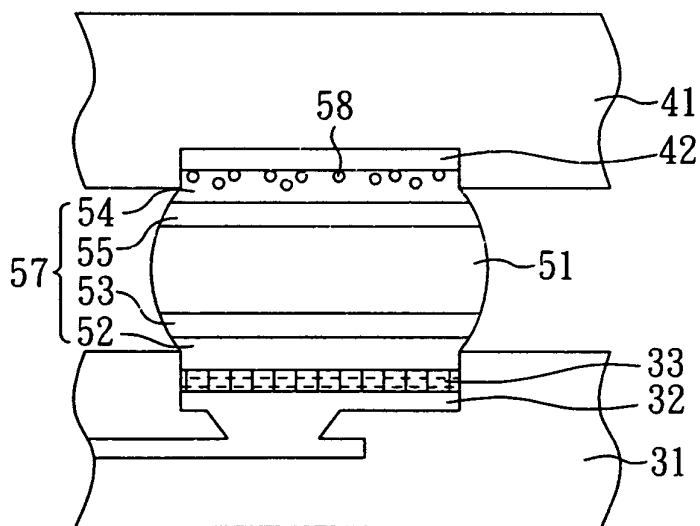


圖 2D

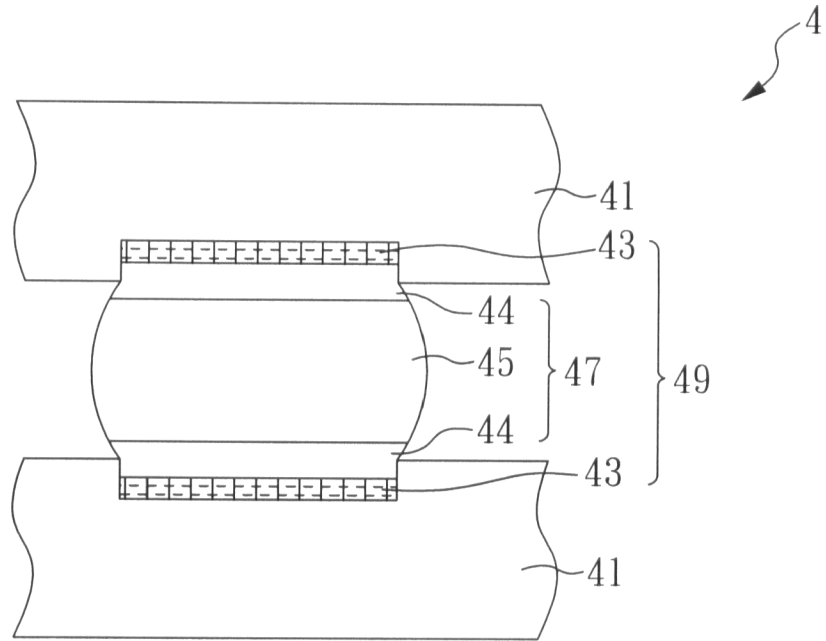


圖3A

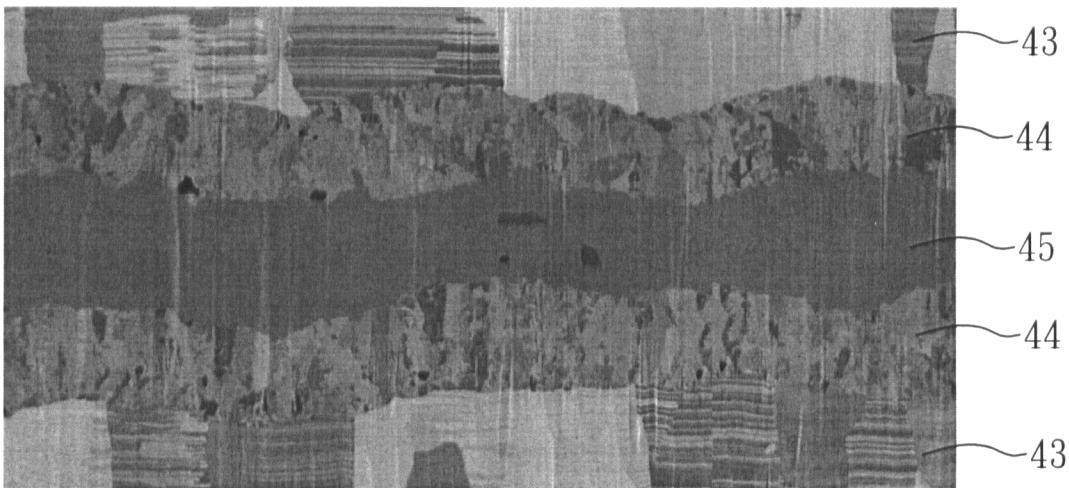


圖3B

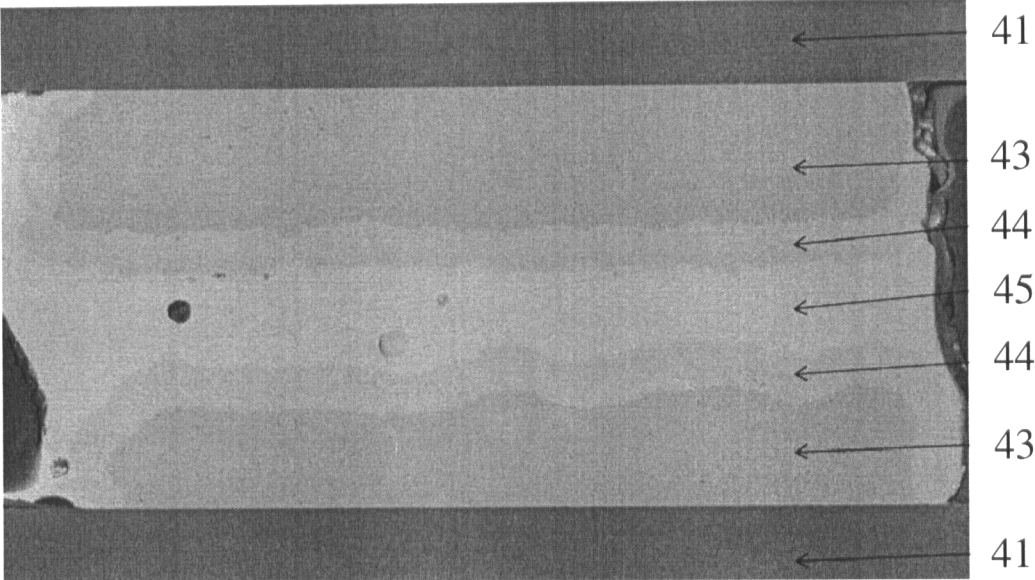


圖 3C



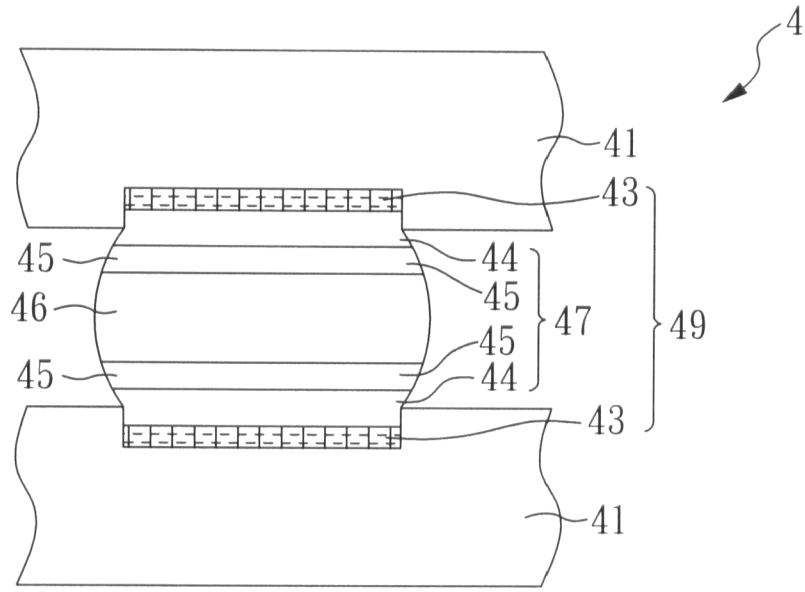


圖4A

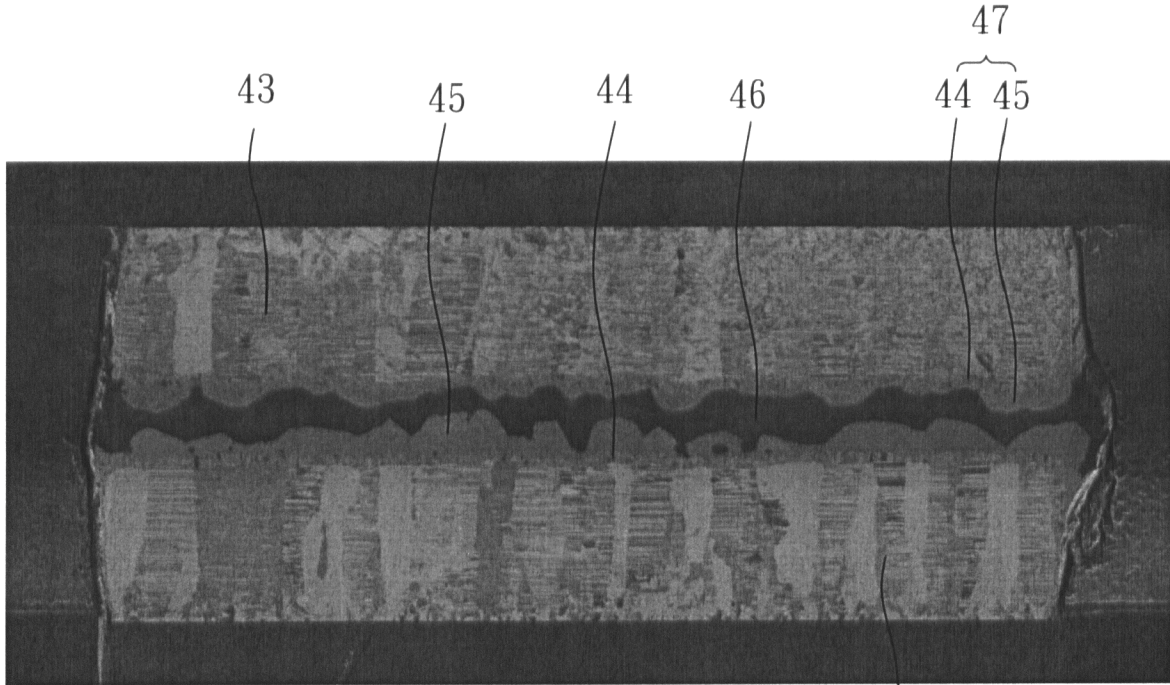


圖4B

43

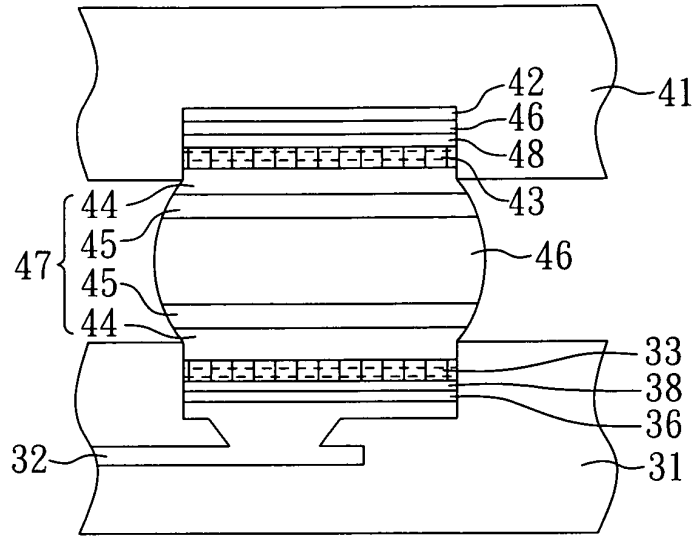


圖5

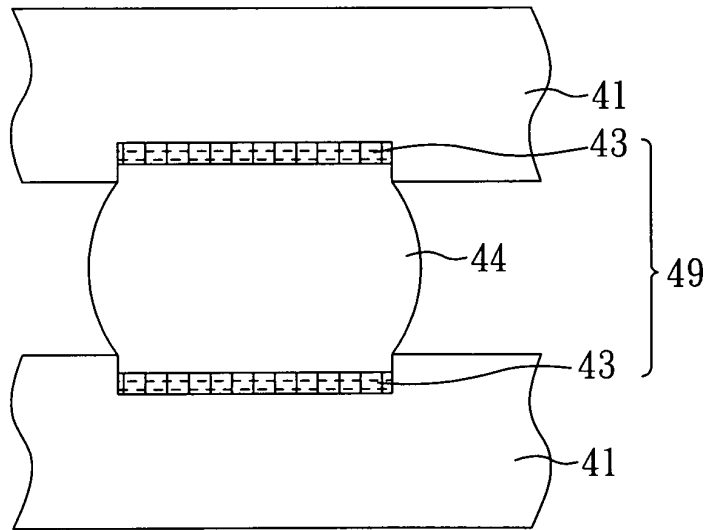
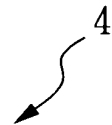


圖6

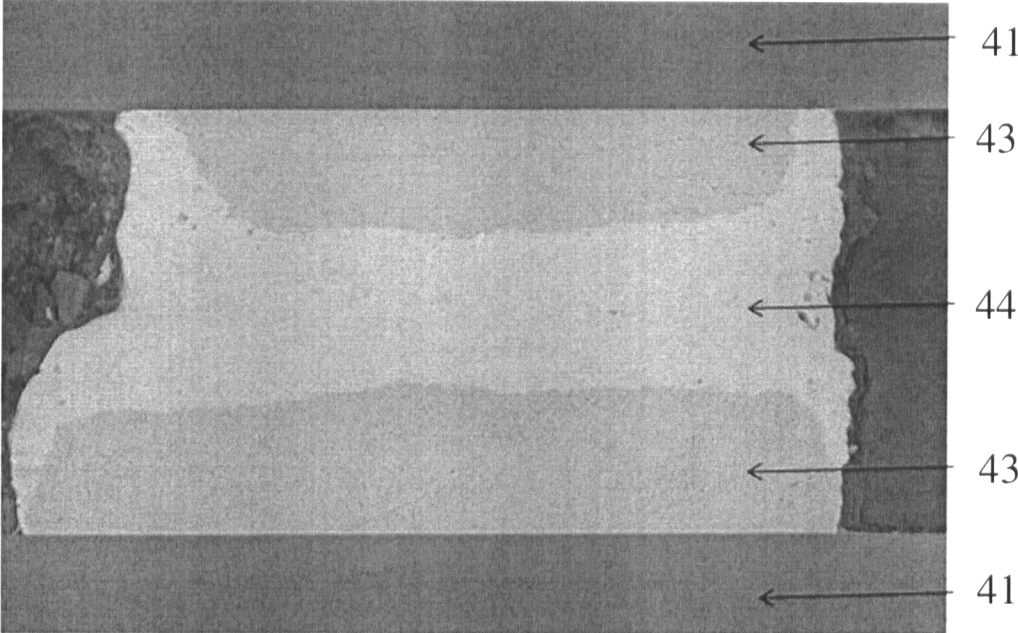


圖 7

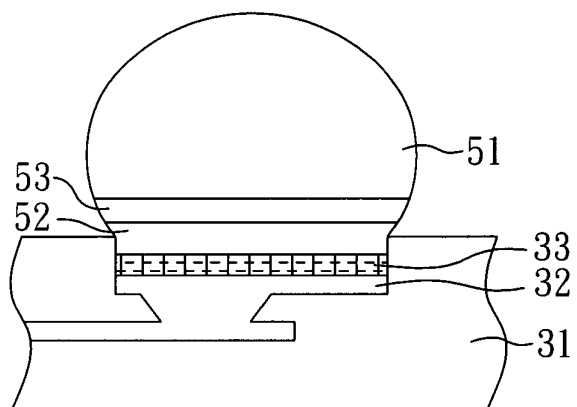


圖8

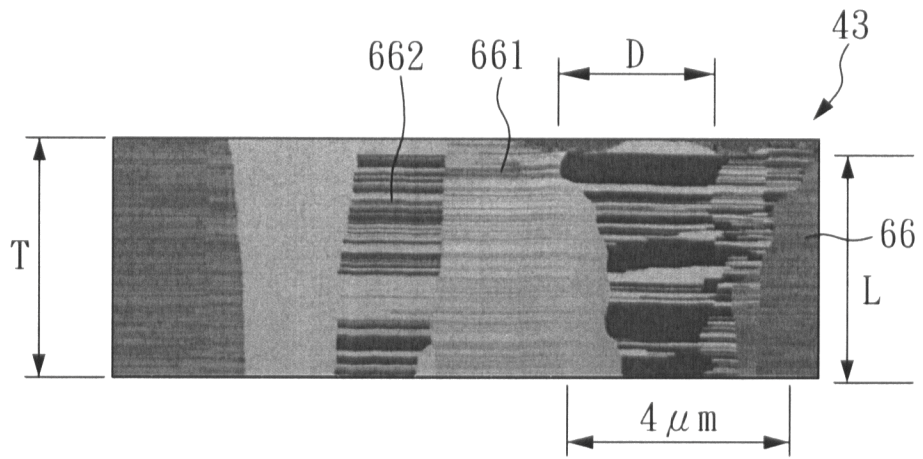


圖9A

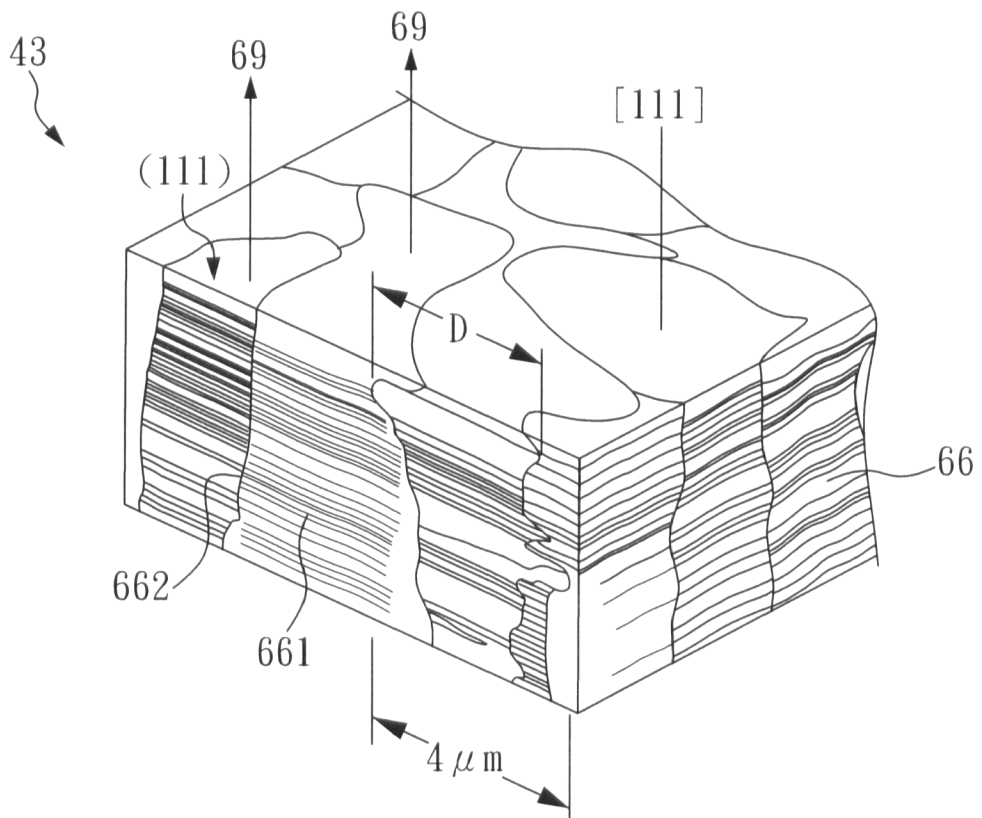


圖9B