



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201414212 A

(43)公開日：中華民國 103 (2014) 年 04 月 01 日

(21)申請案號：101134223

(22)申請日：中華民國 101 (2012) 年 09 月 19 日

(51)Int. Cl. : *H03M3/02 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：吳重雨 WU, CHUN YU (TW)；呂元復 LYU, YUAN FU (TW)

(74)代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：6 項 圖式數：3 共 20 頁

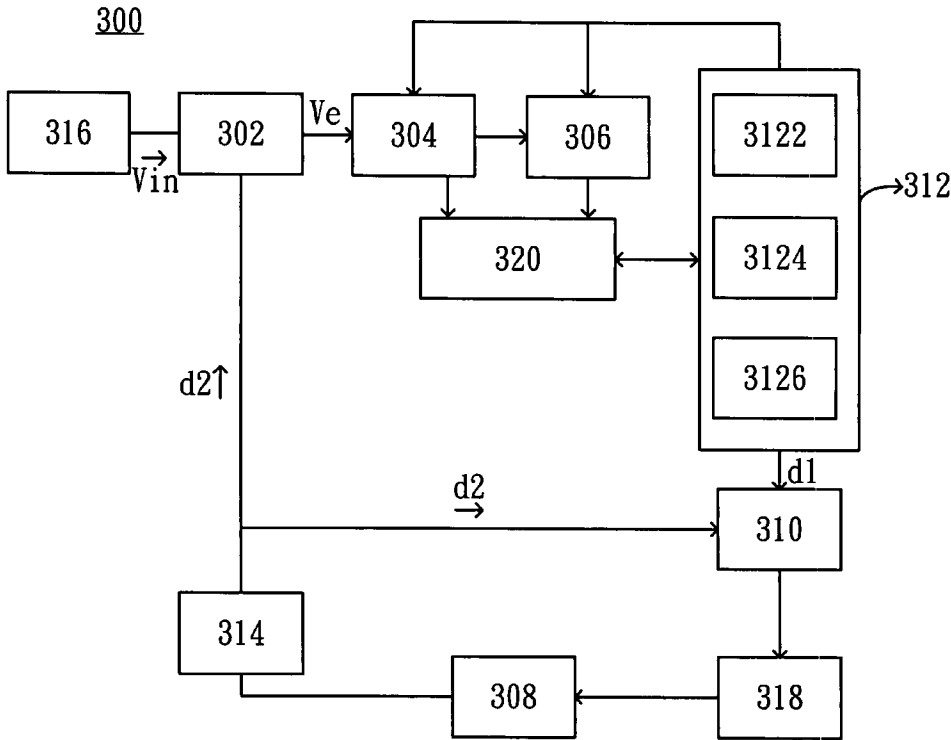
(54)名稱

差量調變裝置

DELTA MODULATOR

(57)摘要

本發明結合了取樣保持電路與數位類比轉換電路以構成減法運算單元。在類比轉數位單元裡，在不改變抑或改變量化誤差的條件下，根據差值訊號的大小來動態調整所解的位元數或者量化步階大小，進而節省不必要的功率消耗。減法運算單元與類比轉數位單元在不同操作時間點下共用相同的二進位加權電容陣列，降低電路複雜度與不必要的面積浪費。本發明無需消耗任何靜態功率便能完成差值取樣與類比數位轉換功能。



- 300：差量調變逐次漸進式類比數位轉換器
- 302：減法運算器
- 304：第一類比數位轉換器
- 306：第二類比數位轉換器
- 308：記憶體單元
- 310：數位加法器
- 312：時序控制器
- 314：暫存器
- 316：多通道訊號
- 318：溢位偵測器
- 320：分時比較器
- 3122：連續估算暫存器
- 3124：非同步時脈產生器
- 3126：正反器
- d1：輸出位元碼
- d2：數位輸出碼
- V_e ：差值訊號
- V_{in} ：類比訊號輸入

第 3 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101134223

※申請日：2012.09.19 ※IPC分類：H03M 3/02 (2006.1)

一、發明名稱：(中文/英文)

差量調變裝置 / Delta Modulator

二、中文發明摘要：

本發明結合了取樣保持電路與數位類比轉換電路以構成減法運算單元。在類比轉數位單元裡，在不改變抑或改變量化誤差的條件下，根據差值訊號的大小來動態調整所解的位元數或者量化步階大小，進而節省不必要的功率消耗。減法運算單元與類比轉數位單元在不同操作時間點下共用相同的二進位加權電容陣列，降低電路複雜度與不必要的面積浪費。本發明無需消耗任何靜態功率便能完成差值取樣與類比數位轉換功能。

三、英文發明摘要：

The invention comprises sample and hold circuit and digital-to-analog converter into a differentially operational unit. In analog-to-digital conversion unit, on the premise of fixed or non-fixed quantization error, analog-to-digital converter dynamically adjusts number of bits solved or size of quantized step according to the magnitude of

differential voltage between sampled input signal and previously quantized input signal, thus this invention can reduce the non-necessary power consumption from redundant code and overload of input signal. Differentially operational unit and analog-to-digital unit share the same capacitor array which has binary-weighted arrangement to reduce circuit complexity and area. The invention doesn't need to consume any static power to accomplish the function of differential sample and analog-to-digital conversion.

四、指定代表圖：

(一)本案指定代表圖為：第 3 圖。

(二)本代表圖之元件符號簡單說明：

300~差量調變逐次漸進式類比數位轉換器

302~減法運算器

304~第一類比數位轉換器

306~第二類比數位轉換器

308~記憶體單元

310~數位加法器

312~時序控制器

314~暫存器

316~多通道訊號

318~溢位偵測器

3122~連續估算暫存器

3124~非同步時脈產生器

3126~正反器

320 分時比較器

d1~輸出位元碼

d2~數位輸出碼

Vin~類比訊號輸入

Ve~差值訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明提供一種差量調變裝置，特別是一種實現取樣差值技術，與動態可調步階大小技術之差量調變裝置，以完成類比數位轉換功能。

【先前技術】

傳統之取樣保持電路與回授積分器或者數位類比轉換器為各自獨立的兩塊電路，並且各自接至比較器的正負輸入端。在設計上，比較器在不同的共模電壓下，均須要能保有一定的偏移誤差。回授積分器或者數位類比轉換器採用連續時間電流充放電模式或者電壓積分模式(電阻與電容串聯)容易受到時脈抖動影響，而導致輸出訊號線性失真，且兩電流源或電壓源需完美匹配來避免積分器輸出電壓飄移。回授積分器或者數位類比轉換器採用改變充放電頻率的方式，來動態調整量化步階大小，但需要額外高於取樣頻率的時脈源。

請參考第 1A 圖之習知技術所示，並參照美國專利第 3,761,841 號，比較器 23 兩輸入端分別連接輸入訊號與由電阻 R1 與電容 C1 構成的積分器輸出。回授觸發器 19 以固定頻率來對比較器 23 輸出做取樣。利用電流源 S1(電流大小:2I)與 S2(電流大小:I)來增加或減少一個步階量。

參考第 1B 圖之習知技術，係為電阻 R1 與電容 C1 構成的積分器正常輸出情形。而在通道閒置時，因電流源 S1(電

流大小： $2I$)與電流源 $S2$ (電流大小： I)比例不為 2 時，在電阻 $R1$ 與電容 $C1$ 構成的積分器輸出產生偏移，係由第 1C 圖之習知技術所示。回授觸發器 17 經由電阻 $R2$ 與電容 $C2$ 構成的積分器輸出來動態調整 $S2$ 的電流源大小。回授觸發器 17 的取樣頻率等於回授觸發器 19，但兩者有一固定相位差。避免過度敏感於電流源 $S1$ 與電流源 $S2$ 所造成的不匹配，電阻 $R2$ 與電容 $C2$ 構成的積分時間常數大於取樣週期。

而該第 1A 圖所示之架構係採用連續時間方式以重建訊號(由 $S1$ 、 $S2$ 、 $R1$ 、 $R2$ 、 $C1$ 、 $C2$ 構成)，易受時脈抖動影響而導致積分時間誤差，以及開關切換時所導致電流源不穩定。比較器在不同的共模電壓下，偏移誤差會有所飄動。如果輸入訊號頻率低，積分器所需積分常數相對應要高，導致需要大電容或大電阻($R1$ 、 $C1$ 、 $R2$ 、 $C2$)。在通道閒置時，因 $S1$ (電流大小： $2I$)與 $S2$ (電流大小： I)比例上不匹配所造成 $R1$ 與 $C1$ 構成的積分器輸出產生偏移，而需要額外電路(觸發器 17、電阻 $R2$ 、電容 $C2$ 所組成)做校正。

又請參考第 2 圖之習知技術，係參照美國專利編號第 3,706,944 號，其架構為比較器 19 兩端分別連接至輸入信號 E_{in} 與積分器 28 輸出。取樣脈衝產生器 21 取樣正反器 20 輸出。如果數位輸出訊號 E_{20} 輸出為 0，邏輯閘 22 輸出一負的量化步階。如果數位輸出訊號 E_{20} 輸出為 1，邏輯閘 23 輸出一正的量化步階。數位輸出訊號 E_{20} 透過依附性邏輯 24 來判斷數位輸出訊號 E_{20} 是否需要調整量化步階大小。依附性邏輯 24 的輸出訊號來控制計數器 25 的輸出，進而控制脈衝選擇器 26 的輸出頻率 E_{26} 。 E_{25} 與 E_{21} 的頻

率比為調整係數。根據數位輸出 E20 的結果，單位步階大小(積分器 28 的電容重分配($C_-(C_+C_1)$))比乘以邏輯閘 22 或 23 輸出電壓)再乘以 E25 與 E21 的頻率比，以加或減該量化步階以重建輸入訊號。

又請參考第 2 圖，前述架構需要一高頻時脈 27 來除頻，產生不同的頻率輸出比。比較器 19 在不同的共模電壓下，偏移誤差會有所飄動。在通道閒置時，電容(C_- 與 C_+)不匹配會導致輸出電壓飄移。

故而為了能產生更有效率的差量調變裝置以提供更好的操作效率與更低的製造成本，而所需要提出一種差量調變裝置，其可應用於聲音、影像、生醫訊號、無線感測等，需大量資料壓縮以及節省功率消耗為目的，並做為轉換類比成數位之間的轉換器。

【發明內容】

本發明之主要目的在提供一種差量調變裝置，其結合取樣保持電路與數位類比轉換電路，以構成減法運算單元。在類比轉數位單元裡，以不改變，或改變量化誤差為條件下，根據差值訊號的大小來動態調整所解的位元數或者量化步階大小，而節省不必要的功率消耗。減法運算單元與比較單元在不同操作時間點下共用相同的二進位加權電容陣列，降低電路複雜度與不必要的面積浪費。此技術無需消耗任何靜態功率便能完成差值取樣與類比數位轉換功能。

為達上述目的，本發明提供一種差量調變裝置，其用

以接收一類比訊號，再行減法運算與類比轉數位，其包含：減法運算器、第一類比數位轉換器、第二類比數位轉換器、記憶體單元以及數位加法器。減法運算器用以相減輸出碼，與類比輸入訊號，以產生差值訊號。第一類比數位轉換器用以找出該差值訊號所落在之範圍內。第二類比數位轉換器，用以根據第一類比數位轉換器之結果，以動態調整一量化步階大小，以量化該差值訊號。數位加法器用以累加該記憶體單元之一輸出位元碼，以及一數位輸出碼。數位加法器係輸出累加結果，並存入記憶體單元，第二類比數位轉換器係根據第一類比數位轉換器之結果動態調整量化步階大小，以對差值訊號作量化。

本發明之一目的，提供一減法運算單元，其採用被動元件結合取樣保持電路以及回授積分電路或者數位類比轉換器於同一電路來降低比較器性能要求以及功率消耗。

本發明另一目的，採用離散取樣方式並透過電容陣列來產生量化步階大小，且能以不改變抑或改變量化誤差條件下來動態調整量化步階大小。

本發明之又一目的，其電路最高時脈為取樣頻率，並且透過比較器的輸出來產生多相位且可調寬度時脈，提供給內部電路做使用。

故而，關於本發明之優點與精神可以藉由以下發明詳述及附圖式解說來得到進一步的瞭解。

【實施方式】

雖然本發明可表現為不同形式之實施例，但附圖所示

者及於下文中說明者係為本發明之較佳實施例，並請了解本文所揭示者係考量為本發明之一範例，並非意圖用以將本發明限制於圖式及/或所描述之特定實施例中。

請參照第 3 圖，為根據本發明一實施例所繪示之差量調變逐次漸進式類比數位轉換器(差量調變裝置)示意圖。如圖所示，差量調變逐次漸進式類比數位轉換器 300 包含一減法運算器 302、第一類比數位轉換器 304、第二類比數位轉換器 306、記憶體單元 308、數位加法器 310、時序控制器 312 以及暫存器 314。第一類比數位轉換器 304 用以找出差值訊號所落在之範圍內。第二類比數位轉換器 306 用以根據第一類比數位轉換器 304 之結果，以動態調整一量化步階大小，以量化差值訊號。數位加法器 310 用以累加記憶體單元 308 之一輸出位元碼 d1，以及一數位輸出碼 d2。其中，數位加法器 310 係輸出累加結果，並存入記憶體單元 308，第二類比數位轉換器 306 係根據第一類比數位轉換器 304 之結果動態調整量化步階大小，以量化差值訊號。

第 3 圖所示本發明之第一類比數位轉換器 304，為一粗略估算類比數位轉換器(Coarse ADC)，其用以估算差值訊號之範圍，且設定多種範圍，以不改變，或改變量化誤差前提下，以推估取樣訊號差值所在範圍，且避免訊號差值過大。

第 3 圖所示本發明之第二類比數位轉換器 306，為一精準解析類比數位轉換器(Fine ADC)，其係以二進位收尋方法，以精準解析差值電壓至最小位元，或使用者定義之

最小單位為止。

第 3 圖所示減法運算單元 302 執行相減 N 位元之數位輸出碼 d_2 ，與類比訊號輸入 V_{in} 。第一類比數位轉換器 304 找出其差值訊號 V_e 所落在的範圍內。第二類比數位轉換器 306 根據第一類比數位轉換器 304 的結果，以對差值訊號 V_e 作精準量化至最小位元。數位加法器 310 累加記憶體單元 308 輸出 N 位元數位輸出碼 d_2 ，與量化後輸出位元碼 d_1 。數位加法器 310 輸出其累加結果，並存入記憶體單元 308。

如第 3 圖所示，在第 1 相位時，當前端多通道訊號 316 經由多工器擇一輸入一類比訊號與相對應的通道記憶體單元 308 經由暫存器 314 選取，並同時經由減法運算器 302 取樣，以取得差值訊號。即其中該通道訊號 316 係與暫存器 314 所選取的一相對應通道記憶體 308 進行減法運算，以取得差值訊號。

如第 3 圖所示，在於第 2 相位時，第一類比數位轉換器估算其差值訊號範圍，且設定多種範圍，以不改變，或改變量化誤差前提下，避免差值訊號之差值過大，導致訊號失真，同時也能節省不必要的功率消耗。需說明的是，於相位三時，精準解析類比數位轉換器(Fine ADC)採用二進位收尋方法精準解析差值電壓直到一個最小位元出現或者使用者定義的最小單位為止。在第 3 相位所得到的數位碼與暫存器 314 輸出的數位碼經由數位加法器 310 做相加後，再經過溢位偵測器 318(Overflow and Underflow Detection Circuit)判斷有無溢位發生，才存入相對應取

樣通道的記憶體單元 308。

如第 3 圖所示，在第一類比數位轉換器 304(即粗略估算類比數位轉換器(Coarse ADC))與第二類比數位轉換器 306(即精準解析類比數位轉換器(Fine ADC))，係共用相同分時比較器(Time-shared Comparator)320 進行比較運算，未圖示。分時比較器 320 輸出係連接至非同步時脈產生器(Asynchronous Clock Generator)3124 與正反器(Flip Flop, FF) 3126。

如第 3 圖所示，在非同步時脈產生器 3124 產生多組相位時脈，以控制連續估算暫存器(Successive Approximate Register, SAR)3122，進而切換二進位加權電容陣列(Binary-weighted Capacitor Array)產生多組比較電壓(未圖示)。非同步時脈產生器 3124 係透過脈衝偵測器(Pulse Detector)，以偵測比較器輸出來產生半穩態區間，以當作分時比較器(Time-shared Comparator)320 的重置時間與切換二進位加權電容陣列所需之一段穩定時間。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1A 圖係繪示習知差量調變裝置之示意圖；

第 1B 圖係為習知積分器正常輸出圖；

第 1C 圖係為習知積分器偏移輸出圖；

第 2 圖之習知差量調變裝置之內部裝置詳盡示意圖；

第 3 圖係為根據本發明一實施例所繪示之差量調變逐次漸進式類比數位轉換器示意圖。

【主要元件符號說明】

R1、R2~電阻

C1、C2~電容

S1、S2~電流源

17、19~回授觸發器

23~比較器

Ein~輸入信號

E20、E21、E25、E26、E27~數位輸出訊號

19~比較器

20~正反器

21~取樣脈衝產生器

22、23~邏輯閘

24~依附性邏輯

25~計數器

26~脈衝選擇器

27~高頻時脈

28~積分器

300~差量調變逐次漸進式類比數位轉換器

302~減法運算器

304~第一類比數位轉換器

306~第二類比數位轉換器

308~記憶體單元

310~數位加法器

312~時序控制器

314~暫存器

316~多通道訊號

318~溢位偵測器

3122~連續估算暫存器

3124~非同步時脈產生器

3126~正反器

320~分時比較器

d1~輸出位元碼

d2~數位輸出碼

Vin~類比訊號輸入

Ve~差值訊號

七、申請專利範圍：

1. 一種差量調變裝置，其用以接收一類比訊號，至少包含：

一減法運算器，用以相減一輸出位元碼與一類比輸入訊號以產生一差值訊號；

一第一類比數位轉換器，用以找出該差值訊號所落在之範圍內；

一第二類比數位轉換器，用以根據第一類比數位轉換器之結果，以動態調整一量化步階大小，以量化該差值訊號；

一記憶體單元；以及

一數位加法器，用以累加該記憶體單元之一輸出位元碼，以及一數位輸出碼；

其中，該數位加法器係輸出累加結果，並存入該記憶體單元，該第二類比數位轉換器係根據該第一類比數位轉換器之結果動態調整量化步階大小，以對該差值訊號作量化。

2. 如第 1 項所述之差量調變裝置，其中該第一類比數位轉換器為一粗略估算類比數位轉換器，其用以估算該差值訊號之範圍，且設定多種範圍，以不改變，或改變量化誤差前提下來避免該訊號差值過大。

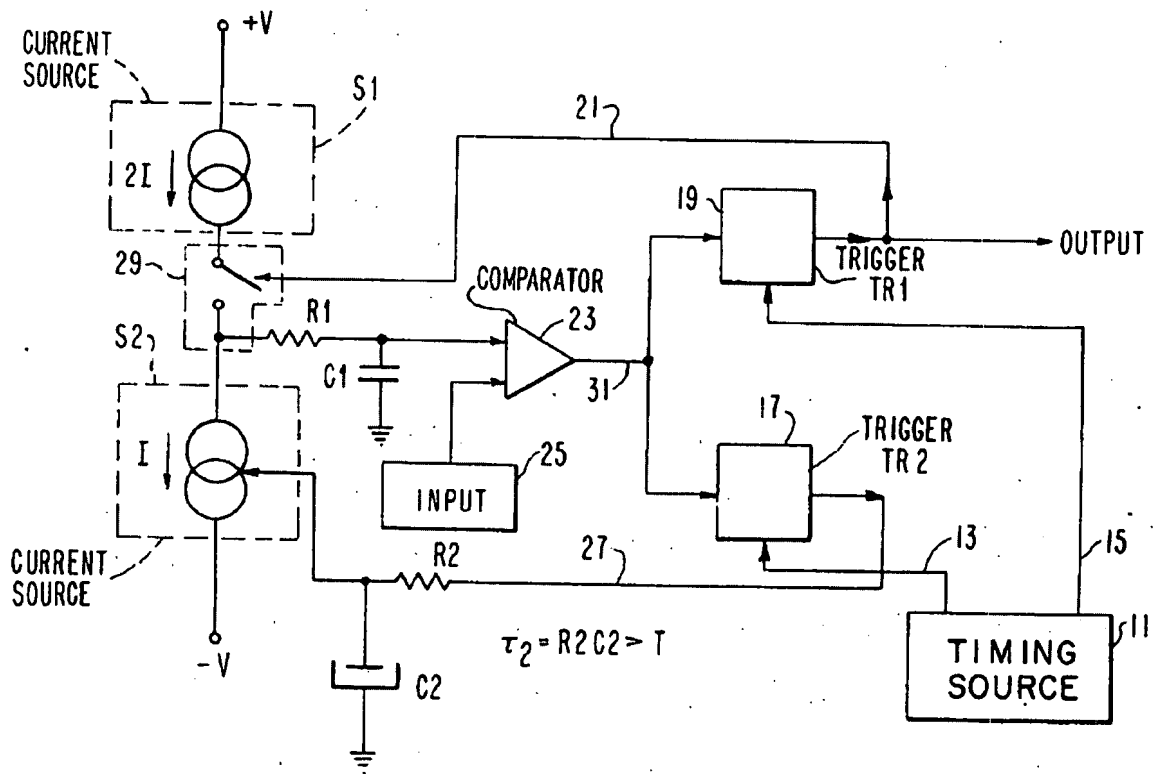
3. 如第 1 項所述之差量調變裝置，其中該第二類比數位轉換器為一精準解析類比數位轉換器，其係以二進位收尋方法，精準解析一差值電壓至最小位元，或使用者定義之最小單位為止。

4. 如第 1 項所述之差量調變裝置，其中該類比訊號係為一

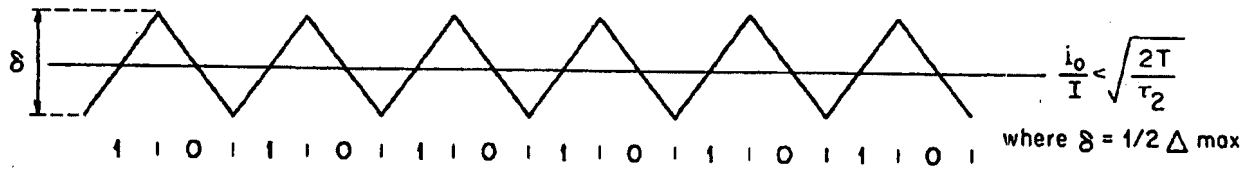
多通道訊號，其經由一多工器作為一通道訊號之選取。

5. 如第 4 項所述之差量調變裝置，其中該通道訊號係與一暫存器所選取的一相對應通道記憶體進行一減法運算，以取得該差值訊號。
6. 如第 1 項所述之差量調變裝置，其中該記憶體單元為多通道記憶體。

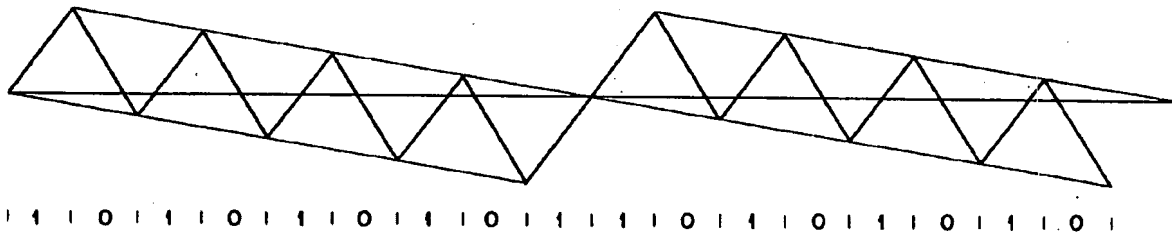
八、圖式：



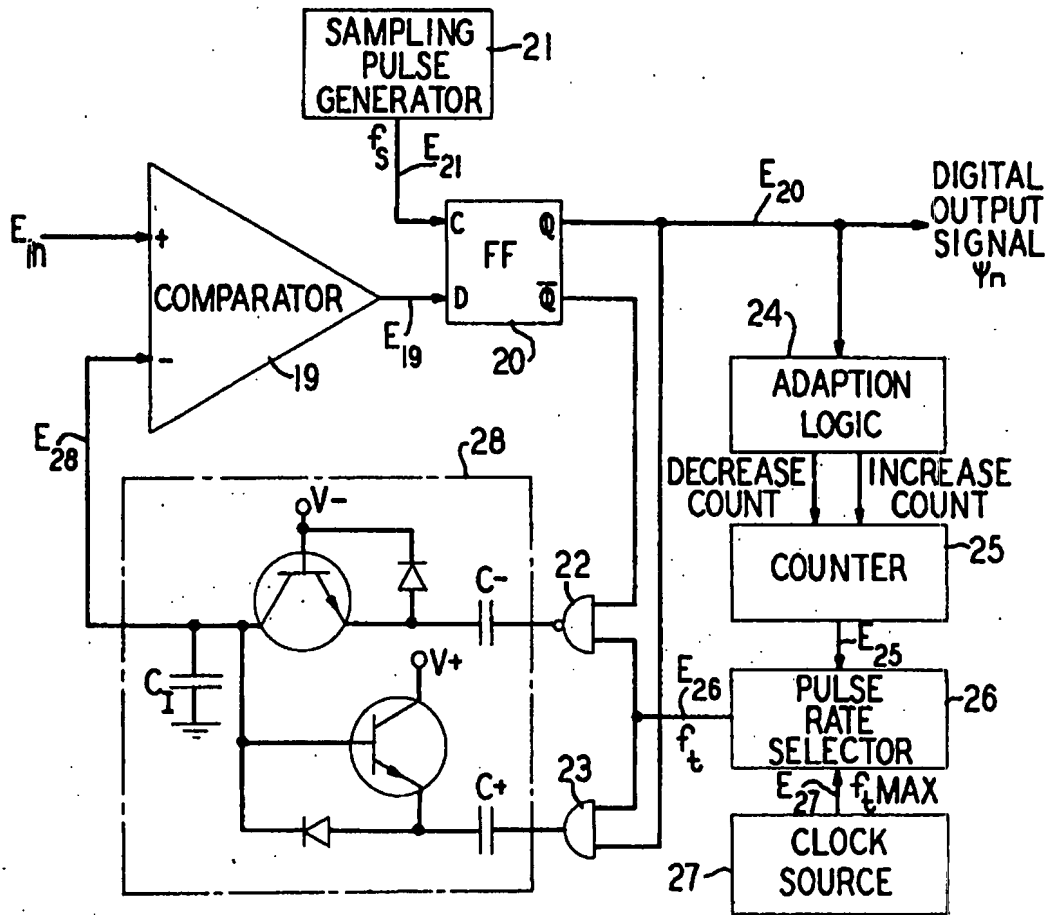
第 1A 圖



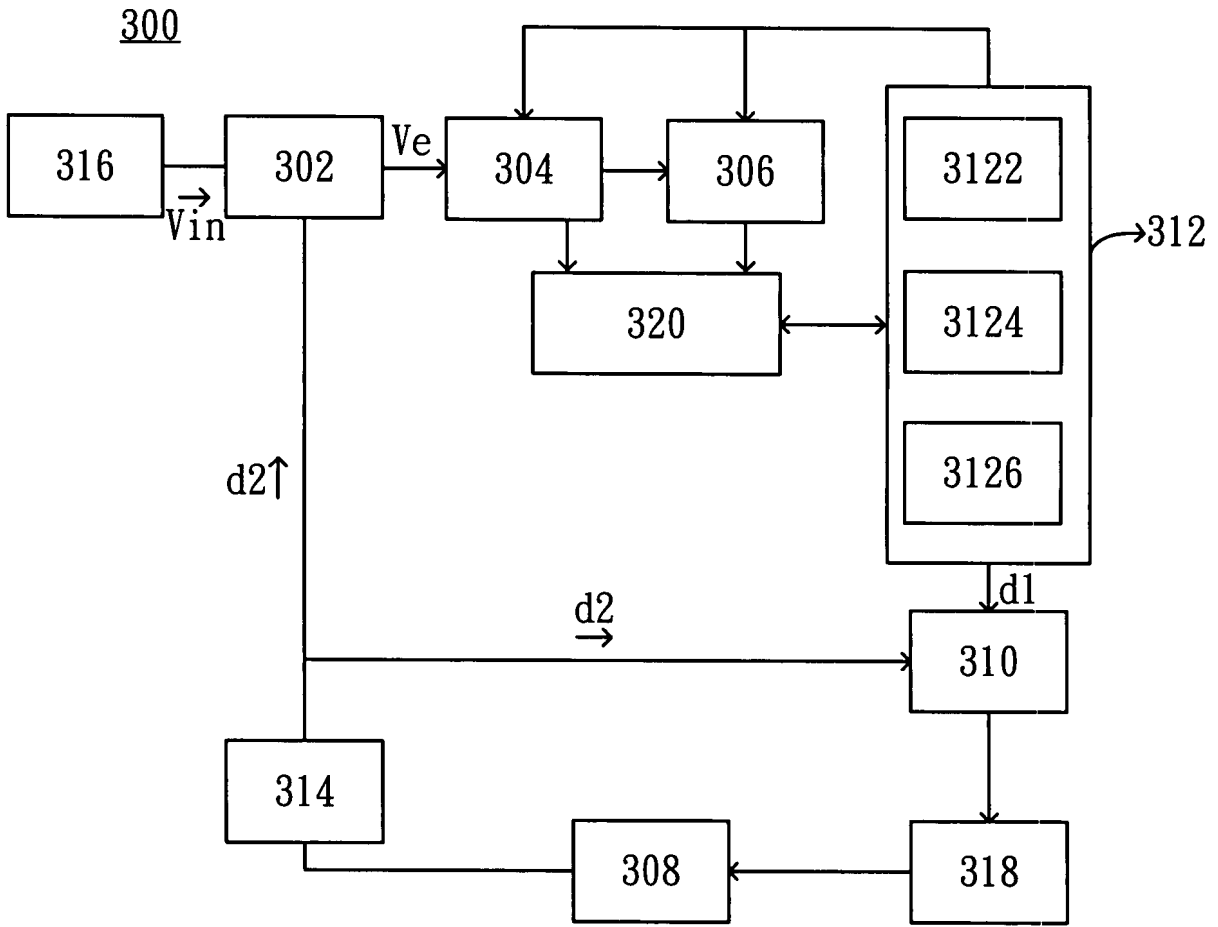
第 1B 圖



第 1C 圖



第 2 圖



第 3 圖