



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I445317 B

(45) 公告日：中華民國 103 (2014) 年 07 月 11 日

(21) 申請案號：100107536

(22) 申請日：中華民國 100 (2011) 年 03 月 07 日

(51) Int. Cl. : H03M1/08 (2006.01)

H03M1/66 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：曾偉信 TSENG, WEI HSIN (TW)；吳介琮 WU, JIEH TSORNG (TW)

(74) 代理人：高玉駿；楊祺雄

(56) 參考文獻：

TW 200812251A

US 6281825B1

US 6362765B2

US 6448917B1

US 7388531B1

審查人員：陳明德

申請專利範圍項數：14 項 圖式數：8 共 0 頁

(54) 名稱

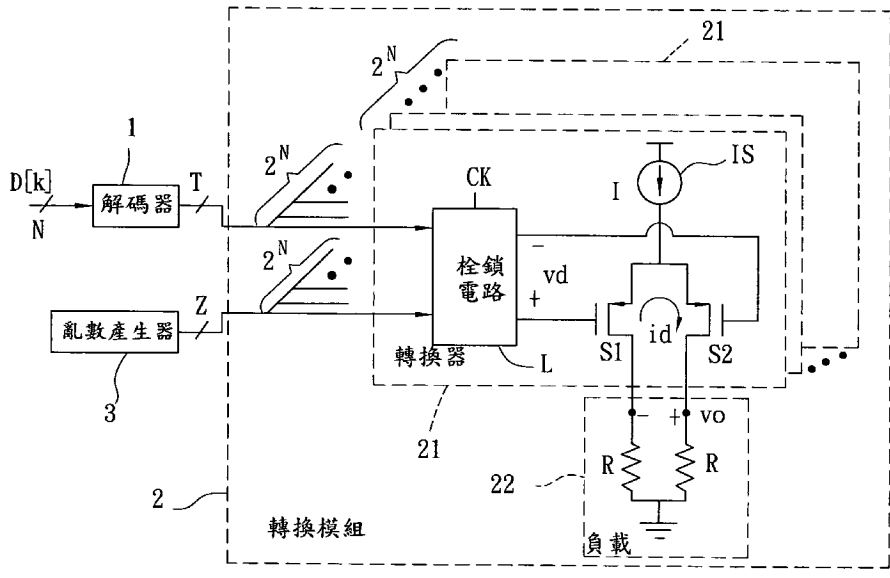
N 位元數位至類比轉換裝置

N-BIT DIGITAL-TO-ANALOG CONVERTING DEVICE

(57) 摘要

一種 N 位元數位至類比轉換裝置，接收一數位信號和一時鐘信號，時鐘信號在一第一狀態及一第二狀態之間切換，且 N 位元數位至類比轉換裝置包含：一解碼器，將該數位信號轉換成一具有多位元的溫度計碼；一亂數產生器，輸出一呈亂數的重設信號，重設信號具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目；及一轉換模組，當時鐘信號處於第一狀態時，轉換模組將該溫度計碼轉換成一相關於數位信號的類比電壓；當時鐘信號處於第二狀態時，轉換模組根據重設信號將類比電壓歸零。

An N-bit digital-to-analog converting device is adapted for receiving a digital signal and a clock signal switching between a first state and a second state. The N-bit digital-to-analog converting device includes: a decoder for converting the digital signal into a thermometer code having a plurality of bits; a random number generator for outputting a random reset signal having a plurality of bits that are randomly arranged and the arrangement of which changes with time, wherein a number of the bits with high logic level is equal to a number of the bits with low logic level; and a converting module for converting the thermometer code into an analog voltage corresponding to the digital signal when the clock signal is at the first state, and for resetting the analog voltage to zero according to the reset signal when the clock signal is at the second state.



- 1 . . . 解碼器
- 2 . . . 轉換模組
- 21 . . . 轉換器
- L . . . 栓鎖電路
- S1 . . . 第一電晶體
- S2 . . . 第二電晶體
- IS . . . 電流源
- 22 . . . 負載
- R . . . 電阻
- 3 . . . 亂數產生器

圖4

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100107536

※ 申請日：

100.3.07

※IPC 分類：

H03M 1/08 (2006.01)

H03M 1/66 (2006.01)

一、發明名稱：(中文/英文)

N 位元數位至類比轉換裝置 / N-bit digital-to-analog converting device

二、中文發明摘要：

一種 N 位元數位至類比轉換裝置，接收一數位信號和一時鐘信號，時鐘信號在一第一狀態及一第二狀態之間切換，且 N 位元數位至類比轉換裝置包含：一解碼器，將該數位信號轉換成一具有多位元的溫度計碼；一亂數產生器，輸出一呈亂數的重設信號，重設信號具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目；及一轉換模組，當時鐘信號處於第一狀態時，轉換模組將該溫度計碼轉換成一相關於數位信號的類比電壓；當時鐘信號處於第二狀態時，轉換模組根據重設信號將類比電壓歸零。

三、英文發明摘要：

An N-bit digital-to-analog converting device is adapted for receiving a digital signal and a clock signal switching between a first state and a second state. The N-bit digital-to-analog converting device includes: a decoder for converting the digital signal into a thermometer code having a plurality of bits; a random number generator for

outputting a random reset signal having a plurality of bits that are randomly arranged and the arrangement of which changes with time, wherein a number of the bits with high logic level is equal to a number of the bits with low logic level; and a converting module for converting the thermometer code into an analog voltage corresponding to the digital signal when the clock signal is at the first state, and for resetting the analog voltage to zero according to the reset signal when the clock signal is at the second state.

四、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

1.....	解碼器	22.....	負載
2.....	轉換模組	R.....	電阻
21.....	轉換器	3.....	亂數產生器
L.....	栓鎖電路		
S1.....	第一電晶體		
S2.....	第二電晶體		
IS.....	電流源		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種裝置，特別是指一種 N 位元數位至類比轉換裝置。

【先前技術】

如圖 1 所示，於習知文獻「C.-H. Lin and K. Bult, “A 10-b, 500-MSample/s CMOS DAC in 0.6 mm²,” IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1948–1958, Dec. 1998.」提出一種習知的 N 位元數位至類比轉換裝置，適用於接收一呈二進制且 N 位元的數位信號 $D[k]$ 和一時鐘信號 CK ，並於每一時鐘信號 CK 週期內輸出一相關於該數位信號 $D[k]$ 的類比電壓 v_o ，且該 N 位元數位至類比轉換裝置包含：一解碼器 1，及一轉換模組 2。

當 N 位元分段模式為全等權重時，解碼器 1 接收該數位信號 $D[k]$ ，並將該數位信號 $D[k]$ 轉換成一呈 2^N 位元的溫度計碼 (Thermometer code) T 。

轉換模組 2 包括 2^N 個轉換器 21，及一負載 22。

2^N 個轉換器 21 接收該時鐘信號 CK ，並分別電連接於該解碼器 1 以分別接收該溫度計碼 T 的該 2^N 位元，且每一轉換器 21 根據所對應位元處於邏輯 1 或邏輯 0，而進行轉換以輸出一正相位或負相位的電流，其中，每一轉換器 21 包括一栓鎖電路 L 、一電流源 I 、第一開關 $S1$ ，及第二開關 $S2$ ，又栓鎖電路 L 、電流源 I 、第一、二開關 $S1$ 、 $S2$ 之間的詳細操作可參閱此習知文獻說明，故不再重述。

負載 22 電連接於該等轉換器 21，以接收該等電流，並將該 2^N 電流進行加總轉換以輸出該類比電壓 v_o ，又該負載 22 包括二個電阻。

如圖 2 所示，為習知的 N 位元數位至類比轉換裝置的時序圖，參數 $D[1] \sim D[4]$ 分別為數位信號 $D[k]$ 在不同時間的值，且該類比電壓 v_o 隨著該等數位信號 $D[k]$ 而進行變化，又第一、二開關 $S1$ 、 $S2$ 切換的非理想效應影響將於類比電壓 v_o 產生一突波，該突波將導致無突波動態範圍 (Spurious free dynamic range, SFDR) 降低，且當第一、二開關 $S1$ 、 $S2$ 切換的頻率越高，無突波動態範圍將隨著越低。

如圖 3 所示，為習知的 N 位元數位至類比轉換裝置的實驗量測圖，數位信號 $D[k]$ 的輸入頻率為 731MHz、時鐘信號 CK 的取樣速度為 1.6GS/s，可看出習知的 N 位元數位至類比轉換裝置具有以下缺點：因為第一、二開關 $S1$ 、 $S2$ 切換所產生的非理想效應影響導致第三諧波 (3rd harmonic) 增加，而將無突波動態範圍拉低至 43dB。

【發明內容】

因此，本發明之目的，即在提供一種增加無突波動態範圍的 N 位元數位至類比轉換裝置。

該 N 位元數位至類比轉換裝置，適用於接收一呈二進制且 N 位元的數位信號和一時鐘信號，該時鐘信號在一第一狀態及一第二狀態之間切換，其中， $N \geq 2$ ，且該 N 位元數位至類比轉換裝置包含：

一解碼器，於每一時鐘信號週期內接收該數位信號，並將該數位信號轉換成一具有多位元的溫度計碼；

一亂數產生器，於每一時鐘信號週期內輸出一呈亂數的重設信號，該重設信號具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中處於邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目；及

一轉換模組，電連接於該解碼器和該亂數產生器，並接收該時鐘信號；

在該時鐘信號處於該第一狀態時，該轉換模組接收該溫度計碼，並將該溫度計碼轉換成一相關於該數位信號的類比電壓；

在該時鐘信號處於該第二狀態時，該轉換模組接收該重設信號，並根據該重設信號將該類比電壓的準位歸零。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之二個較佳實施例的詳細說明中，將可清楚的呈現。

<第一較佳實施例>

如圖 4 所示，本發明 N 位元數位至類比轉換裝置之第一較佳實施例，適用於接收一呈二進制且 N 位元的數位信號 $D[k]$ 和一時鐘信號 CK，該時鐘信號 CK 在一第一狀態及一第二狀態之間切換(在本實施例中，該第一、二狀態分別是相關於該時鐘信號 CK 之正、負相位)，且於每一時鐘信號 CK 週期內輸出一相關於該數位信號 $D[k]$ 的類比電壓 v_o

，其中， $N \geq 2$ ，且該 N 位元數位至類比轉換裝置包含：一解碼器 1、一亂數產生器 3，及一轉換模組 2。

解碼器 1 於每一時鐘信號 CK 週期內接收該數位信號 $D[k]$ ，並將該數位信號 $D[k]$ 轉換成一具有多位元的溫度計碼 T ，在本實施例中，該溫度計碼 T 具有 2^N 個位元。

亂數產生器 3 於每一時鐘信號 CK 週期內輸出一呈亂數的重設信號 Z ，該重設信號 Z 具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中處於邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目，在本實施例中，該重設信號 Z 具有 2^{N-1} 個處於邏輯高準位的位元和 2^{N-1} 個處於邏輯低準位的位元。又該亂數產生器 3 的詳細實施方式可參閱文獻「Simon Haykin, "Communication Systems 4th Edition,"」，但不限於此，也可以是其他實施方式。

轉換模組 2 電連接於該解碼器 1 和該亂數產生器 3，並接收該時鐘信號 CK，且該轉換模組 2 包括 2^N 個皆電連接於該解碼器 1 和該亂數產生器 3 的轉換器 21 及一電連接於該 2^N 個轉換器 21 的負載 22。

在該時鐘信號 CK 處於該第一狀態時，該轉換模組 2 接收該溫度計碼 T ，並將該溫度計碼 T 轉換成一相關於該數位信號 $D[k]$ 的類比電壓 v_o ，且 2^N 個轉換器 21 接收該時鐘信號 CK 並分別接收該溫度計碼 T 的該 2^N 位元，且每一轉換器 21 根據所對應位元處於邏輯高準位或邏輯低準位，而進行轉換以輸出一呈正相位或負相位的差動電流 i_d 。該負載 22 則接收每一差動電流 i_d ，而據以進行加總以產生該類比

電壓 v_0 。藉此，在該時鐘信號 CK 處於該第一狀態時，該類比電壓 v_0 相關於該數位信號 $D[k]$ 。

在該時鐘信號 CK 處於該第二狀態時，該轉換模組 2 接收該重設信號 Z，並根據該重設信號 Z 將該類比電壓 v_0 的準位歸零，其中該 2^{N-1} 個轉換器 21 分別接收該重設信號 Z 的該 2^{N-1} 個處於邏輯高準位的位元而進行轉換以輸出呈正相位的差動電流 i_d ，而另外的該 2^{N-1} 個轉換器 21 分別接收該重設信號 Z 的該 2^{N-1} 個處於邏輯低準位的位元而進行轉換以輸出呈負相位的差動電流 i_d 。藉此，該 2^{N-1} 個正相位的差動電流 i_d 和該 2^{N-1} 個負相位的差動電流 i_d 流經該負載 22 加總所產生的該類比電壓 v_0 的準位被歸零。

又每一轉換器 21 具有一電流源 IS、一第一電晶體 S1、一第二電晶體 S2，及一栓鎖電路 L。

該栓鎖電路 L 電連接於該解碼器 1 及該亂數產生器 3，並接收該時鐘信號 CK。

每一電流源 IS 用於提供一偏壓電流 I。

該 2^N 個轉換器 21 的第一、第二電晶體 S1、S2 各自具有一電連接於該相對應電流源 IS 以接收該偏壓電流 I 的第一端、一電連接到該負載 22 的第二端及一電連接到該相對應栓鎖電路 L 的控制端。

在該時鐘信號 CK 處於該第一狀態時，該 2^N 個轉換器 21 的栓鎖電路 L 分別接收該溫度計碼 T 的該 2^N 個位元，且每一栓鎖電路 L 根據該溫度計碼的相對應位元輸出一差動信號 v_d 到該相對應第一、二電晶體 S1、S2 的控制端，使

該第一、二電晶體 S1、S2 根據該差動信號 vd 的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體 S1、S2 的第二端輸出該相對應偏壓電流作為該正相位或負相位的差動電流 id，其中，該 2^N 個差動信號 vd 的相位分別相關於該溫度計碼 T 的該 2^N 個位元的邏輯準位。

在該時鐘信號 CK 處於該第二狀態時，該 2^N 個轉換器 21 的栓鎖電路 L 分別接收該重設信號 Z 的該 2^N 個位元，並據以輸出該 2^N 個差動信號分別到該等第一、第二電晶體 S1、S2 的控制端，以分別控制該等差動電流 id 的相位，且該 2^N 個差動信號 vd 的相位分別相關於該重設信號 Z 的該 2^N 個位元的邏輯準位。

該負載 22 具有二個電阻 R，該二電阻分別電連接於該第一、二電晶體 S1、S2 的第二端與地之間。

在此舉一例說明，假設 $N=2$ ，而該重設信號 Z 具有 2 個處於邏輯高準位的位元和 2 個處於邏輯低準位的位元，例如為(1100)，該 4 個轉換器 21 的栓鎖電路 L 分別接收該重設信號 Z 的位元 1100，而使所分別對應的第一、二開關 S1、S2 切換以分別提供 +1、+1、-1、-1 倍偏壓電流，因此負載接收 +1、+1、-1、-1 倍偏壓電流以進行加總 ($1+1-1-1=0$)，而將類比電壓 vo 歸零。

<第二較佳實施例>

如圖 5 所示，本發明 N 位元數位至類比轉換裝置之第二較佳實施例，適用於接收一呈二進制且 N 位元的數位信號 D[k]和一時鐘信號 CK，該時鐘信號 CK 在一第一狀態及

一第二狀態之間切換，且於每一時鐘信號 CK 週期內輸出一相關於該數位信號 $D[k]$ 的類比電壓 v_0 ，其中， $N \geq 2$ ，且該數位信號 $D[k]$ 具有 M 個高位元 (MSB) 及 $(N-M)$ 個低位元 (LSB)，且該 N 位元數位至類比轉換裝置包含：一解碼器 1、一亂數產生器 3，及一轉換模組 2。

該解碼器 1 於每一時鐘信號 CK 週期內接收該數位信號 $D[k]$ ，並將該數位信號 $D[k]$ 其中的 M 個高位元轉換為一呈 $(2^M - 1)$ 個位元的溫度計碼 T ，且更將該數位信號 $D[k]$ 其中的 $(N-M)$ 個低位元保留為二進制以作為一組二進制信號，並更增加一個位元以作為一固定差模信號， $1 \leq M < N$ 。

亂數產生器 3 於每一時鐘信號 CK 週期內輸出一呈亂數的重設信號 Z ，該重設信號 Z 具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中處於邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目，於本實施例中，該重設信號 Z 具有 2^M 個位元，即交互隨機排列的 2^{M-1} 個處於邏輯高準位的位元及 2^{M-1} 個處於邏輯低準位的位元。

轉換模組 2 電連接於該解碼器 1 和該亂數產生器 3，並接收該時鐘信號 CK，且該轉換模組 2 包括 $(2^M - 1)$ 個高位元轉換器 HC、第一至第 $(N-M)$ 低位元轉換器 $LC_1 \sim LC_{N-M}$ 、一第 $(N-M+1)$ 低位元轉換器 LC_{N-M+1} ，及一負載。

$(2^M - 1)$ 個高位元轉換器 HC、第一至第 $(N-M)$ 低位元轉換器 $LC_1 \sim LC_{N-M}$ 及第 $(N-M+1)$ 低位元轉換器 LC_{N-M+1} 接收該時鐘信號 CK 並電連接於該解碼器 1 和該亂數產生器 3

在該時鐘信號 CK 處於該第一狀態時：

該 $(2^M - 1)$ 個高位元轉換器 HC 分別接收該溫度計碼 T 的該 $(2^M - 1)$ 個位元，每一高位元轉換器 HC 根據所接收的位元為高或低邏輯準位，而輸出一正或負相位且具有 2^{N-M} 倍偏壓電流值 $(2^{N-M} \times I)$ 的高階差動電流。

該第一至第 $(N-M)$ 低位元轉換器 $LC_1 \sim LC_{N-M}$ 分別接收該二進制信號的該 $(N-M)$ 個位元，並根據所接收的位元為高或低邏輯準位，而輸出一正或負相位的第一至第 $(N-M)$ 低階差動電流，該第一至第 $(N-M)$ 低階差動電流的電流大小分別為一倍偏壓電流值 $(2^0 \times I)$ 等比遞增 2 倍直到 2^{N-M-1} 倍的偏壓電流值 $(2^{N-M-1} \times I)$ 。

第 $(N-M+1)$ 低位元轉換器 LC_{N-M+1} 接收固定差模信號而輸出一呈 1 倍偏壓電流值 $(2^0 \times I)$ 的第 $(N-M+1)$ 低階差動電流。

負載 22 電連接於該 $(2^M - 1)$ 個高位元轉換器 HC 和該第一至第 $(N-M+1)$ 低位元轉換器 $LC_1 \sim LC_{N-M+1}$ ，以接收該 $(2^M - 1)$ 個高階差動電流及該第一至第 $(N-M+1)$ 低階差動電流，而據以進行加總以產生該類比電壓 v_0 。藉此，在該時鐘信號 CK 處於該第一狀態時，該類比電壓 v_0 相關於該數位信號 $D[k]$ 。

在該時鐘信號 CK 處於該第二狀態時：

該 $(2^M - 1)$ 個高位元轉換器 HC 分別接收該重設信號 Z 的其中 $(2^M - 1)$ 個位元，每一高位元轉換器 HC 根據所接收

的位元為高或低邏輯準位，而輸出一正或負相位且具有 2^{N-M} 倍偏壓電流值的高階差動電流。

該第一至第 $(N-M+1)$ 低位元轉換器 $LC_1 \sim LC_{N-M+1}$ 都接收該重設信號 Z 的另一個剩餘位元 Z_j ，並根據該剩餘位元 Z_j 為高或低邏輯準位，而輸出正或負相位的第一至第 $(N-M+1)$ 低階差動電流，其中，該第一至第 $(N-M)$ 低階差動電流的電流大小分別為一倍偏壓電流值等比遞增 2 倍直到 2^{N-M-1} 倍的偏壓電流值，而該第 $(N-M+1)$ 低階差動電流的電流大小為一倍偏壓電流值，此時所有低階偏壓電流總合與一個高階偏壓電流相等。

藉此，該 $(2^M - 1)$ 個高階差動電流及該第一至第 $(N-M+1)$ 低階差動電流經該負載加總所產生的該類比電壓 v_o 的準位被歸零。

又每一高位元轉換器 HC 分別具有一電流源 IS 、一第一電晶體 S_1 、一第二電晶體 S_2 ，及一栓鎖電路 L 。

每一高位元轉換器 HC 栓鎖電路 L 電連接於該解碼器 1 及該亂數產生器 3，並接收該時鐘信號 CK 。

每一高位元轉換器 HC 的電流源 IS 用於提供一 2^{N-M} 倍偏壓電流。

該 $(2^M - 1)$ 個高位元轉換器 HC 的第一、二電晶體 S_1 、 S_2 各自具有一電連接於該相對應電流源 IS 以接收該 2^{N-M} 倍偏壓電流的第一端、一電連接於該負載 22 的第二端及一電連接於該相對應栓鎖電路 L 的控制端。

該第一至第 $(N-M+1)$ 低位元轉換器 $LC_1 \sim LC_{N-M+1}$ ，

分別具有第一至第 $(N-M+1)$ 電流源 IS ，該第一至第 $(N-M)$ 電流源 IS 所分別提供的電流大小為從一倍偏壓電流值依序等比遞增 2 倍直到 2^{N-M-1} 倍的偏壓電流值，該第 $(N-M+1)$ 電流源 IS 所提供的電流大小則為一倍偏壓電流值。

又該第一至第 $(N-M+1)$ 低位元轉換器 $LC1\sim LC_{N-M+1}$ 更各自具有一第一電晶體 $S1$ 、一第二電晶體 $S2$ 及一栓鎖電路 L 。

該第一至第 $(N-M+1)$ 低位元轉換器 $LC1\sim LC_{N-M+1}$ 的栓鎖電路 L 電連接於該解碼器 1 及該亂數產生器 3，且接收該時鐘信號 CK 。

該第一至第 $(N-M+1)$ 低位元轉換器 $LC1\sim LC_{N-M+1}$ 的第一、二電晶體 $S1$ 、 $S2$ ，各自具有一電連接於該相對應電流源 IS 的第一端、一電連接於該負載 22 的第二端及一電連接於該相對應栓鎖電路 L 的控制端。

該負載 22 具有二個電阻 R ，該二電阻 R 分別電連接於該等第一、二電晶體 $S1$ 、 $S2$ 的第二端與地之間。

在該時鐘信號 CK 處於該第一狀態時，該 (2^M-1) 個高位元轉換器 HC 的栓鎖電路 L 分別接收該溫度計碼 T 的該 (2^M-1) 個位元，且每一個高位元轉換器 HC 的栓鎖電路 L 根據該溫度計碼 T 的相對應位元輸出一差動信號 vd 到該相對應第一、二電晶體 $S1$ 、 $S2$ 的控制端，使該第一、二電晶體 $S1$ 、 $S2$ 根據該差動信號 vd 的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體 $S1$ 、 $S2$ 的第二端輸出該相對應偏壓電流作為該正相位或負相位的高階差動電

流，其中，該等差動信號 vd 的相位分別相關於該溫度計碼 T 的該 $(2^M - 1)$ 個位元。該第一至第 $(N - M)$ 低位元轉換器 $LC1 \sim LC_{N-M}$ 的栓鎖電路 L ，分別接收所對應該二進制信號的該 $(N - M)$ 個位元，且每一個低位元轉換器 $LC1 \sim LC_{N-M}$ 的栓鎖電路 L 根據該二進制信號的相對應位元輸出一差動信號 vd 到該相對應第一、二電晶體 $S1$ 、 $S2$ 的控制端，使該第一、二電晶體 $S1$ 、 $S2$ 根據所對應的該差動信號 vd 的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體 $S1$ 、 $S2$ 的第二端輸出該相對應偏壓電流作為該正相位或負相位的低階差動電流。該第 $(N - M + 1)$ 低位元轉換器 LC_{N-M+1} 的栓鎖電路 L 則接收該固定值的差模信號，使該第 $(N - M + 1)$ 低位元轉換器 LC_{N-M+1} 的該第一、二電晶體 $S1$ 、 $S2$ 其中之一導通且輸出 1 倍偏壓電流值的電流而使該第 $(N - M + 1)$ 低階差動電流值為一倍偏壓電流值 $2^0 \times I$ 。

在該時鐘信號 CK 處於該第二狀態時，該 $(2^M - 1)$ 個高位元轉換器 HC 的栓鎖電路 L 分別接收該重設信號的其中該 $(2^M - 1)$ 個位元，且每一個高位元轉換器 HC 的栓鎖電路 L 根據該重設信號 Z 的相對應位元輸出一差動信號 vd 到該相對應第一、二電晶體 $S1$ 、 $S2$ 的控制端，使該第一、二電晶體 $S1$ 、 $S2$ 根據該差動信號 vd 的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體 $S1$ 、 $S2$ 的第二端輸出該相對應偏壓電流作為該正相位或負相位的高階差動電流，其中，該等差動信號 vd 的相位分別相關於該重設信號 Z 的該 $(2^M - 1)$ 個位元。該第一至第 $(N - M + 1)$ 低位元轉換器

$LC1 \sim LC_{N-M+1}$ 的栓鎖電路 L 則皆接收該重設信號 Z 的另一個剩餘位元 Z_j ，且每一個低位元轉換器 $LC1 \sim LC_{N-M+1}$ 的栓鎖電路 L 根據該重設信號 Z 的該另一個剩餘位元 Z_j 輸出一差動信號到該相對應第一、二電晶體 S1、S2 的控制端，使該第一、二電晶體 S1、S2 根據該差動信號 v_d 的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體 S1、S2 的第二端輸出該相對應偏壓電流作為該正相位或負相位的低階差動電流，其中，該 $N-M+1$ 個差動信號的相位皆相關於該重設信號 Z 的另一個剩餘位元 Z_j 。

在此舉一例說明，假設 $N=4$ 、 $M=2$ ，而該重設信號 Z 為 (1100)，該 3 個高位元轉換器 HC 的栓鎖電路 L 分別接收該重設信號 Z 的位元 110，而使所分別對應的第一、二開關 S1、S2 切換以分別提供 +4、+4、-4 倍偏壓電流，而該第一至第 $(N-M+1)$ 低位元轉換器 $LC1 \sim LC_{N-M+1}$ 的栓鎖電路 L 則皆接收該重設信號 Z 的位元 0，並使所分別對應的第一、二開關 S1、S2 切換以分別提供 -1、-2、-1 倍偏壓電流，因此負載 22 接收 +4、+4、-4、-1、-2、-1 倍偏壓電流，而進行加總 $(4+4-4-1-2-1=0)$ 以將類比電壓 v_o 歸零。

又上述實施例中的該等第一、二電晶體 S1、S2 皆是 P 型金屬氧化物半導體場效電晶體，且該等第一、二電晶體 S1、S2 各自的第一端、第二端、控制端分別是源極、汲極、閘極。

如圖 6 所示，為上述實施例的時序圖，參數 $D[1] \sim D[4]$

分別數位信號 $D[k]$ 在不同時間的值，參數 $Z[1] \sim Z[4]$ 分別表示重設信號 Z 在不同時間的值，可看出於重設模式時，藉由呈亂數的重設信號 Z 將類比電壓 v_o 歸零，來將第一、二開關 $S1$ 、 $S2$ 追隨數位信號 $D[k]$ 進行切換的時序打亂，而使第一、二開關 $S1$ 、 $S2$ 的切換能獨立於該數位信號 $D[k]$ ，而使第一、二開關 $S1$ 、 $S2$ 切換時所引起的諧波失真能攤平於一雜訊水位 (noise floor) 上，以解決無突波動態範圍隨著第一、二開關 $S1$ 、 $S2$ 越高的切換頻率而越低的問題。

如圖 7 所示，為上述實施例的實驗量測圖，數位信號 $D[k]$ 的輸入頻率為 731MHz、時鐘信號 CK 的取樣速度為 1.6GS/s，可看出無突波動態範圍增加至 56.5dB。

如圖 8 所示，為上述實施例與先前技術操作於不同輸入頻率時，所量測到的無突波動態範圍，其中，參數 $DRRZ$ 表示上述實施例、參數 NRZ 表示先前技術、參數 DRZ 表示在所有時鐘信號 CK 週期該重設信號 Z 皆固定不變，可看出隨著輸入頻率朝 800MHz 增加，屬於 NRZ 的無突波動態範圍由 65dB 衰減至 42dB，而屬於 $DRRZ$ 的無突波動態範圍在 460MHz 內可維持超過 60dB 且在 800MHz 時大於 55dB，而屬於 DRZ 的無突波動態範圍則甚至比 NRZ 差，因為輸入頻率處於低頻時，該第一、二開關 $S1$ 、 $S2$ 於 DRZ 產生比 NRZ 更多的切換。

綜上所述，上述實施例具有以下優點：藉由使用亂數產生器 3，而能相較於先前技術具有較高的無突波動態範圍。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一種習知 N 位元數位至類比轉換裝置的電路圖；

圖 2 是一種該習知 N 位元數位至類比轉換裝置的時序圖；

圖 3 是一種該習知 N 位元數位至類比轉換裝置的實驗量測圖；

圖 4 是本發明 N 位元數位至類比轉換裝置之第一較佳實施例的電路圖；

圖 5 是本發明 N 位元數位至類比轉換裝置之第二較佳實施例的電路圖；

圖 6 是一種上述實施例的時序圖；

圖 7 是一種上述實施例的實驗量測圖；及

圖 8 是另一種實驗量測圖，用於比較所量測到的無突波動態範圍。

【主要元件符號說明】

1	解碼器	3	亂數產生器
2	轉換模組	HC	高位元轉換器
21	轉換器	LC1	第一低位元轉換器
L	栓鎖電路	LC _{N-M}	第(N-M)低位元 轉換器
S1	第一電晶體	LC _{N-M+1}	第(N-M+1)低位 元轉換器
S2	第二電晶體		
IS	電流源		
22	負載		
R	電阻		

七、申請專利範圍：

1. 一種 N 位元數位至類比轉換裝置，適用於接收一呈二進制且 N 位元的數位信號和一時鐘信號，該時鐘信號在一第一狀態及一第二狀態之間切換，其中， $N \geq 2$ ，且該 N 位元數位至類比轉換裝置包含：

一解碼器，於每一時鐘信號週期內接收該數位信號，並將該數位信號轉換成一具有多位元的溫度計碼；

一亂數產生器，於每一時鐘信號週期內輸出一呈亂數的重設信號，該重設信號具有多個交互隨機排列且排列方式隨不同時間變化的位元，且其中處於邏輯高準位的位元之數目等於處於邏輯低準位的位元之數目；及

一轉換模組，電連接於該解碼器和該亂數產生器，並接收該時鐘信號；

在該時鐘信號處於該第一狀態時，該轉換模組接收該溫度計碼，並將該溫度計碼轉換成一相關於該數位信號的類比電壓；

在該時鐘信號處於該第二狀態時，該轉換模組接收該重設信號，並根據該重設信號將該類比電壓的準位歸零。

2. 依據申請專利範圍第 1 項所述之 N 位元數位至類比轉換裝置，其中，該溫度計碼具有 2^N 個位元，且該轉換模組包括：

2^N 個轉換器，接收該時鐘信號並皆電連接於該解碼器和該亂數產生器，在該時鐘信號處於該第一狀態時，

該 2^N 個轉換器分別接收該溫度計碼的該 2^N 位元，且每一轉換器根據所對應位元處於邏輯高準位或邏輯低準位，而進行轉換以輸出一呈正相位或負相位的差動電流；及

一負載，電連接於該 2^N 個轉換器以接收每一差動電流，而據以進行加總以產生該類比電壓；

藉此，在該時鐘信號處於該第一狀態時，該類比電壓相關於該數位信號。

3. 依據申請專利範圍第 2 項所述之 N 位元數位至類比轉換裝置，其中，該重設信號具有 2^{N-1} 個處於邏輯高準位的位元和 2^{N-1} 個處於邏輯低準位的位元；

在該時鐘信號處於該第二狀態時，其中該 2^{N-1} 個轉換器分別接收該重設信號的該 2^{N-1} 個處於邏輯高準位的位元而進行轉換以輸出呈正相位的差動電流，而另外的該 2^{N-1} 個轉換器分別接收該重設信號的該 2^{N-1} 個處於邏輯低準位的位元而進行轉換以輸出呈負相位的差動電流；

藉此，在該時鐘信號處於該第二狀態時，該 2^{N-1} 個正相位的差動電流和該 2^{N-1} 個負相位的差動電流經該負載加總所產生的該類比電壓的準位被歸零。

4. 依據申請專利範圍第 2 項所述之 N 位元數位至類比轉換裝置，其中，每一轉換器具有：

一栓鎖電路，電連接於該解碼器及該亂數產生器，並接收該時鐘信號；

一電流源，用於提供一偏壓電流；

一第一電晶體，具有一電連接於該相對應電流源以接收該偏壓電流的第一端、一電連接到該負載的第二端，及一電連接到該相對應栓鎖電路的控制端；及

一第二電晶體，具有一電連接於該相對應電流源以接收該偏壓電流的第一端、一電連接到該負載的第二端，及一電連接到該相對應栓鎖電路的控制端；

在該時鐘信號處於該第一狀態時，該 2^N 個轉換器的栓鎖電路分別接收該溫度計碼的該 2^N 個位元，且每一栓鎖電路根據該溫度計碼的相對應位元輸出一差動信號到該相對應第一、二電晶體的控制端，使該第一、二電晶體根據該差動信號的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體的第二端輸出該相對應偏壓電流作為該正相位或負相位的差動電流，其中，該 2^N 個差動信號的相位分別相關於該溫度計碼的該 2^N 個位元的邏輯準位。

5. 依據申請專利範圍第 4 項所述之 N 位元數位至類比轉換裝置，其中，該重設信號具有 2^N 個位元，在該時鐘信號處於該第二狀態時：

該 2^N 個轉換器的栓鎖電路分別接收該重設信號的該 2^N 個位元，並據以輸出該 2^N 個差動信號分別到該等第一、第二電晶體的控制端，以分別控制該等差動電流的相位，且該 2^N 個差動信號的相位分別相關於該重設信號的該 2^N 個位元的邏輯準位。

6. 依據申請專利範圍第 4 項所述之 N 位元數位至類比轉換裝置，其中，該等第一、二電晶體皆是 P 型金屬氧化物半導體場效電晶體，且該等第一、二電晶體各自的第一端、第二端、控制端分別是源極、汲極、閘極。

7. 依據申請專利範圍第 4 項所述之 N 位元數位至類比轉換裝置，其中，該負載具有：

二個電阻，分別電連接於該等第一、二電晶體的第二端與地之間。

8. 依據申請專利範圍第 1 項所述之 N 位元數位至類比轉換裝置，其中，該數位信號具有 M 個高位元及 $(N-M)$ 個低位元；

該解碼器將該數位信號其中的 M 個高位元轉換為一呈 $(2^M - 1)$ 個位元的溫度計碼，且更將該數位信號其中的 $(N-M)$ 個低位元保留為二進制以作為一組二進制信號，並更增加一個位元以作為一固定差模信號， $1 \leq M < N$ ；

且該轉換模組包括：

$(2^M - 1)$ 個高位元轉換器，接收時鐘信號該並皆電連接到該解碼器及該亂數產生器，在該時鐘信號處於該第一狀態時，該 $(2^M - 1)$ 個高位元轉換器分別接收該溫度計碼的該 $(2^M - 1)$ 個位元，每一高位元轉換器根據所接收的位元為高或低邏輯準位，而輸出一正或負相位且具有 2^{N-M} 倍偏壓電流值的高階差動電流；

第一至第 $(N-M)$ 低位元轉換器，接收時鐘信號

該並皆電連接到該解碼器及該亂數產生器，在該時鐘信號處於該第一狀態時，該第一至第 $(N-M)$ 低位元轉換器分別接收該二進制信號的該 $(N-M)$ 個位元，並根據所接收的位元為高或低邏輯準位，而輸出正或負相位的第 $(N-M)$ 低階差動電流，該第一至第 $(N-M)$ 低階差動電流的電流大小分別為一倍偏壓電流值等比遞增 2 倍直到 2^{N-M-1} 倍的偏壓電流值；

一第 $(N-M+1)$ 低位元轉換器，接收該時鐘信號並電連接到該解碼器及該亂數產生器，在該時鐘信號處於該第一狀態時，該第 $(N-M+1)$ 低位元轉換器接收固定差模信號而輸出一呈 1 倍偏壓電流值的第 $(N-M+1)$ 低階差動電流；及

一負載，電連接於該 (2^M-1) 個高位元轉換器和該第一至第 $(N-M+1)$ 低位元轉換器，並接收該 (2^M-1) 個高階差動電流及該第一至第 $(N-M+1)$ 低階差動電流，而據以進行加總以產生該類比電壓；

藉此，在該時鐘信號處於該第一狀態時，該類比電壓相關於該數位信號。

9. 依據申請專利範圍第 8 項所述之 N 位元數位至類比轉換裝置，其中，該重設信號具有 2^M 個位元，又在該時鐘信號處於該第二狀態時：

該 (2^M-1) 個高位元轉換器分別接收該重設信號的其中 (2^M-1) 個位元，每一高位元轉換器根據所接收的位元

為高或低邏輯準位，而輸出一正或負相位且具有 2^{N-M} 倍偏壓電流值的高階差動電流；

該第一至第 $(N-M+1)$ 低位元轉換器都接收該重設信號的另一個剩餘位元，並根據該剩餘位元為高或低邏輯準位，而輸出正或負相位的第一至第 $(N-M+1)$ 低階差動電流，其中，該第一至第 $(N-M)$ 低階差動電流的電流大小分別為一倍偏壓電流值等比遞增 2 倍直到 2^{N-M-1} 倍的偏壓電流值，而該第 $(N-M+1)$ 低階差動電流的電流大小為一倍偏壓電流值；

藉此，該 (2^M-1) 個高階差動電流及該第一至第 $(N-M+1)$ 低階差動電流經該負載加總所產生的該類比電壓的準位被歸零。

10. 依據申請專利範圍第 8 項所述之 N 位元數位至類比轉換裝置，其中：

每一高位元轉換器具有：

一栓鎖電路，電連接於該解碼器及該轉換模組，並接收該時鐘信號；

一電流源，用於提供一 2^{N-M} 倍偏壓電流；

一第一電晶體，具有一電連接於該相對應電流源以接收該 2^{N-M} 倍偏壓電流的第一端、一電連接於該負載的第二端，及一電連接於該相對應栓鎖電路的控制端；及

一第二電晶體，具有一電連接於該相對應電流源以接收該 2^{N-M} 倍偏壓電流的第一端、一電連接於

該負載的第二端，及一電連接於該相對應栓鎖電路的控制端；

該第一至第 $(N - M + 1)$ 低位元轉換器分別具有第一至第 $(N - M + 1)$ 電流源，該第一至第 $(N - M)$ 電流源所分別提供的電流大小為從一倍偏壓電流值依序等比遞增 2 倍直到 $2^{N - M - 1}$ 倍的偏壓電流值，該第 $(N - M + 1)$ 電流源所提供的電流大小則為一倍偏壓電流值；

該第一至第 $(N - M + 1)$ 低位元轉換器更各自具有一第一電晶體、一第二電晶體及一栓鎖電路；

該第一至第 $(N - M + 1)$ 低位元轉換器的栓鎖電路電連接於該解碼器及該轉換模組，且接收該時鐘信號；

該第一至第 $(N - M + 1)$ 低位元轉換器的第一、二電晶體各自具有一電連接於該相對應電流源的第一端、一電連接到該負載的第二端，及一電連接於該相對應栓鎖電路的控制端。

11. 依據申請專利範圍第 10 項所述之 N 位元數位至類比轉換裝置，在該時鐘信號處於該第一狀態時其中：

該 $(2^M - 1)$ 個高位元轉換器的栓鎖電路分別接收該溫度計碼的該 $(2^M - 1)$ 個位元，且每一個高位元轉換器的栓鎖電路根據該溫度計碼的相對應位元輸出一差動信號到該相對應第一、二電晶體的控制端，使該第一、二電晶體根據該差動信號的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體的第二端輸出該相對應偏壓電流作為該正相位或負相位的高階差動電流，其中，

該等差動信號的相位分別相關於該溫度計碼的該 $(2^M - 1)$ 個位元；

該第一至第 $(N - M)$ 低位元轉換器的栓鎖電路分別接收所對應該二進制信號的該 $(N - M)$ 個位元，且每一個低位元轉換器的栓鎖電路根據該二進制信號的相對應位元輸出一差動信號到該相對應第一、二電晶體的控制端，使該第一、二電晶體根據所對應的該差動信號的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體的第二端輸出該相對應偏壓電流作為該正相位或負相位的低階差動電流；

該第 $(N - M + 1)$ 低位元轉換器的栓鎖電路，則接收該固定差模信號，使該第 $(N - M + 1)$ 低位元轉換器的該第一、二電晶體其中之一導通且輸出 1 倍偏壓電流值的電流。

12. 依據申請專利範圍第 10 項所述之 N 位元數位至類比轉換裝置，在該時鐘信號處於該第二狀態時：

該 $(2^M - 1)$ 個高位元轉換器的栓鎖電路分別接收該重設信號的其中該 $(2^M - 1)$ 個位元，且每一個高位元轉換器的栓鎖電路根據該重設信號的相對應位元輸出一差動信號到該相對應第一、二電晶體的控制端，使該第一、二電晶體根據該差動信號的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體的第二端輸出該相對應偏壓電流作為該正相位或負相位的高階差動電流，其中，該等差動信號的相位分別相關於該重設信號的該 $(2^M$

— 1) 個位元；

該第一至第 $(N - M + 1)$ 低位元轉換器的栓鎖電路，則皆接收該重設信號的另一個剩餘位元，且每一個低位元轉換器的栓鎖電路根據該重設信號的該另一個剩餘位元輸出一差動信號到該相對應第一、二電晶體的控制端，使該第一、二電晶體根據該差動信號的相位變化而於導通與不導通之間切換，以從該第一或第二電晶體的第二端輸出該相對應偏壓電流作為該正相位或負相位的低階差動電流，其中，該 $N - M + 1$ 個差動信號的相位皆相關於該重設信號的另一個剩餘位元。

13. 依據申請專利範圍第 10 項所述之 N 位元數位至類比轉換裝置，其中，該等第一、二電晶體皆是 P 型金屬氧化物半導體場效電晶體，且該等第一、二電晶體各自的第一端、第二端、控制端分別是源極、汲極、閘極。

14. 依據申請專利範圍第 10 項所述之 N 位元數位至類比轉換裝置，其中，該負載具有：

二個電阻，分別電連接於該等第一、二電晶體的第二端與地之間。

八、圖式：

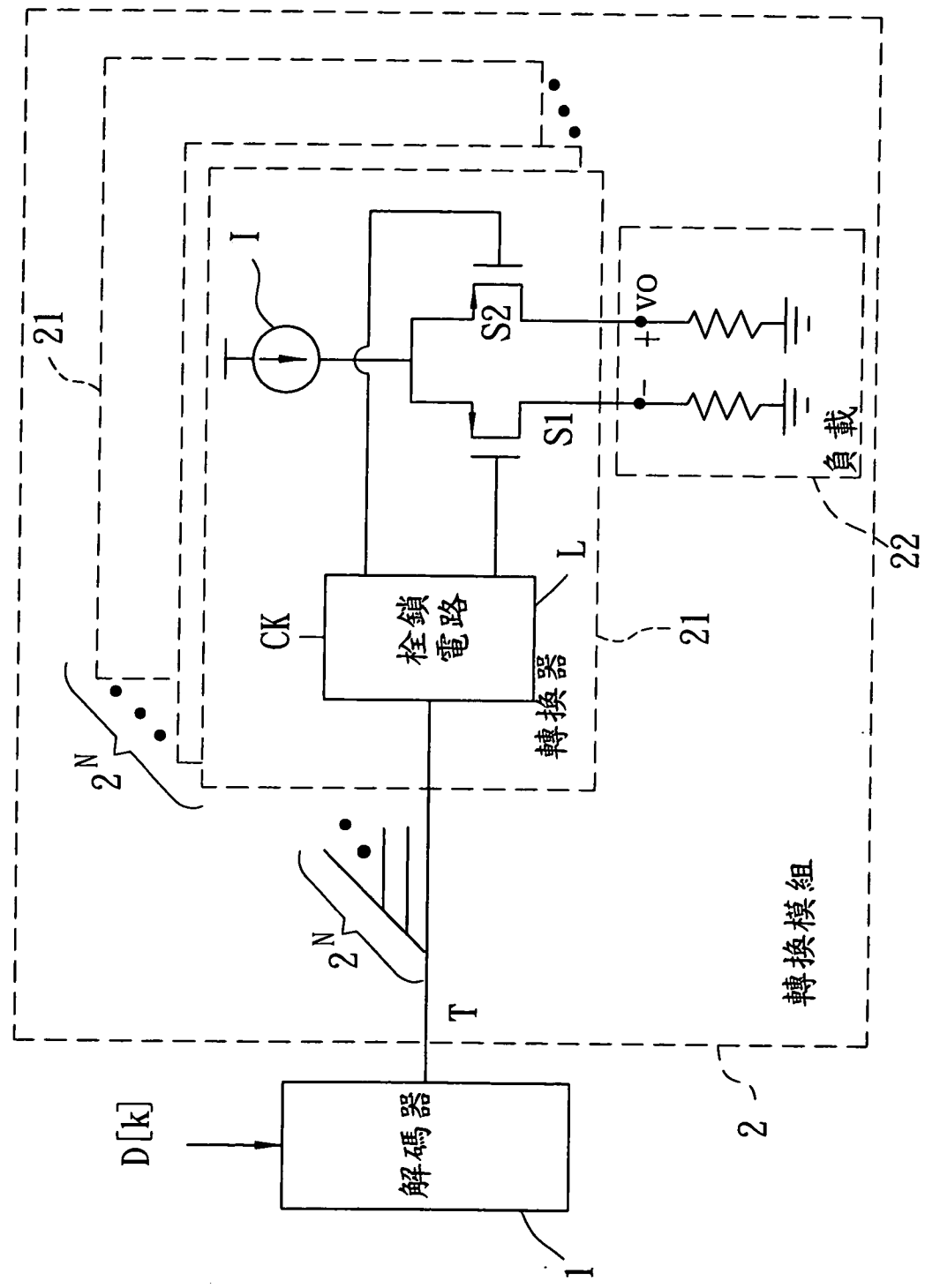


圖 1

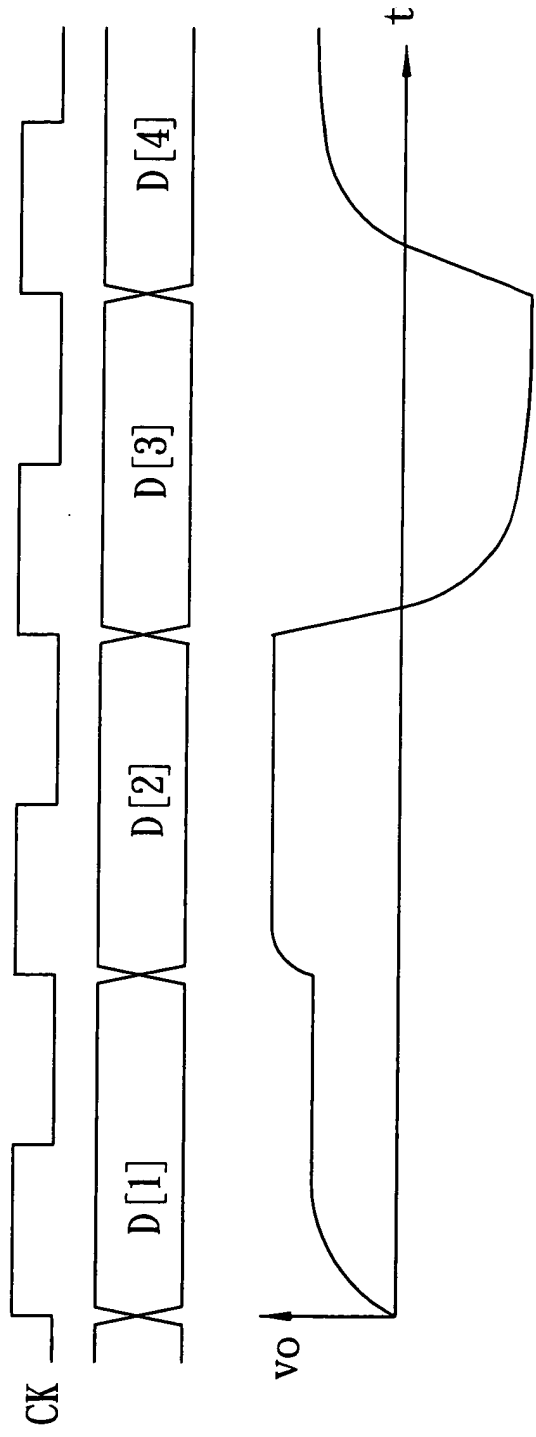


圖2

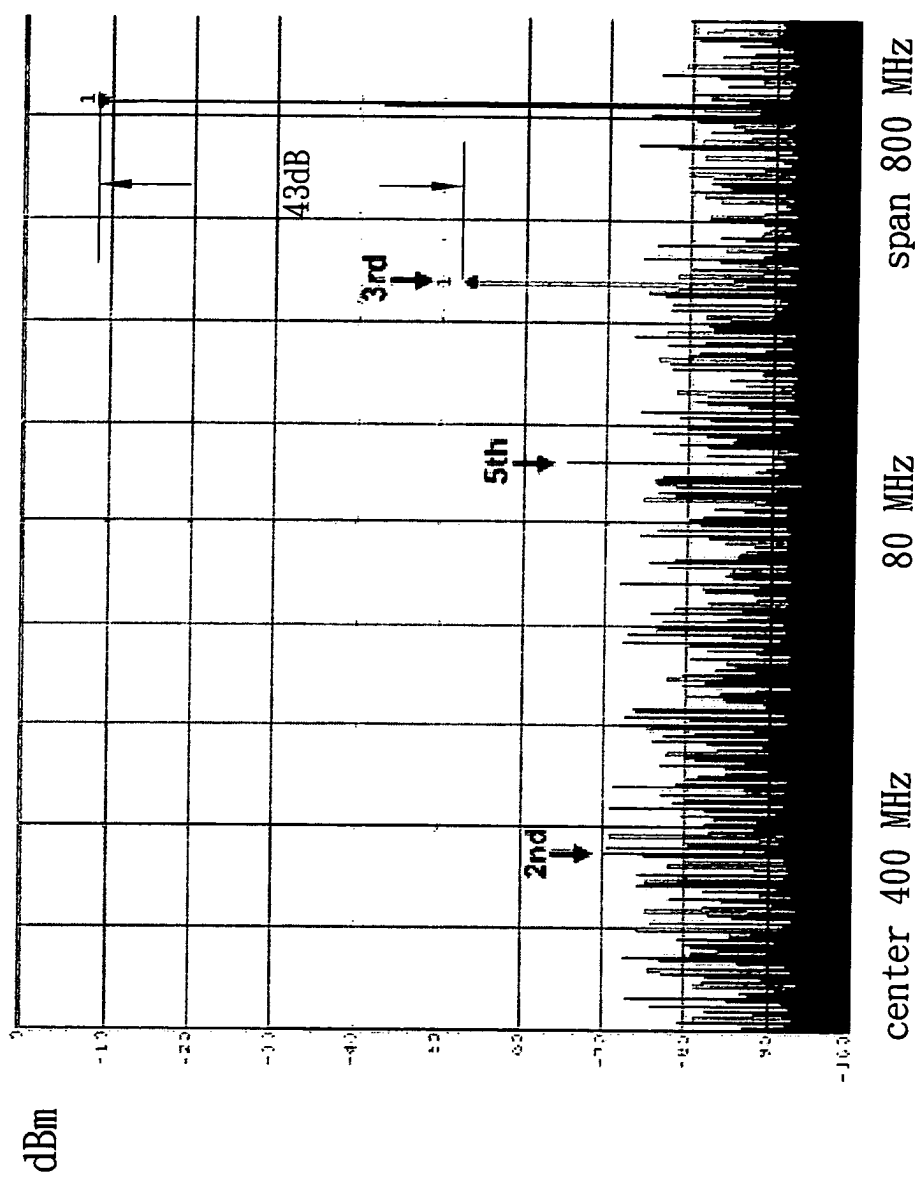


圖3

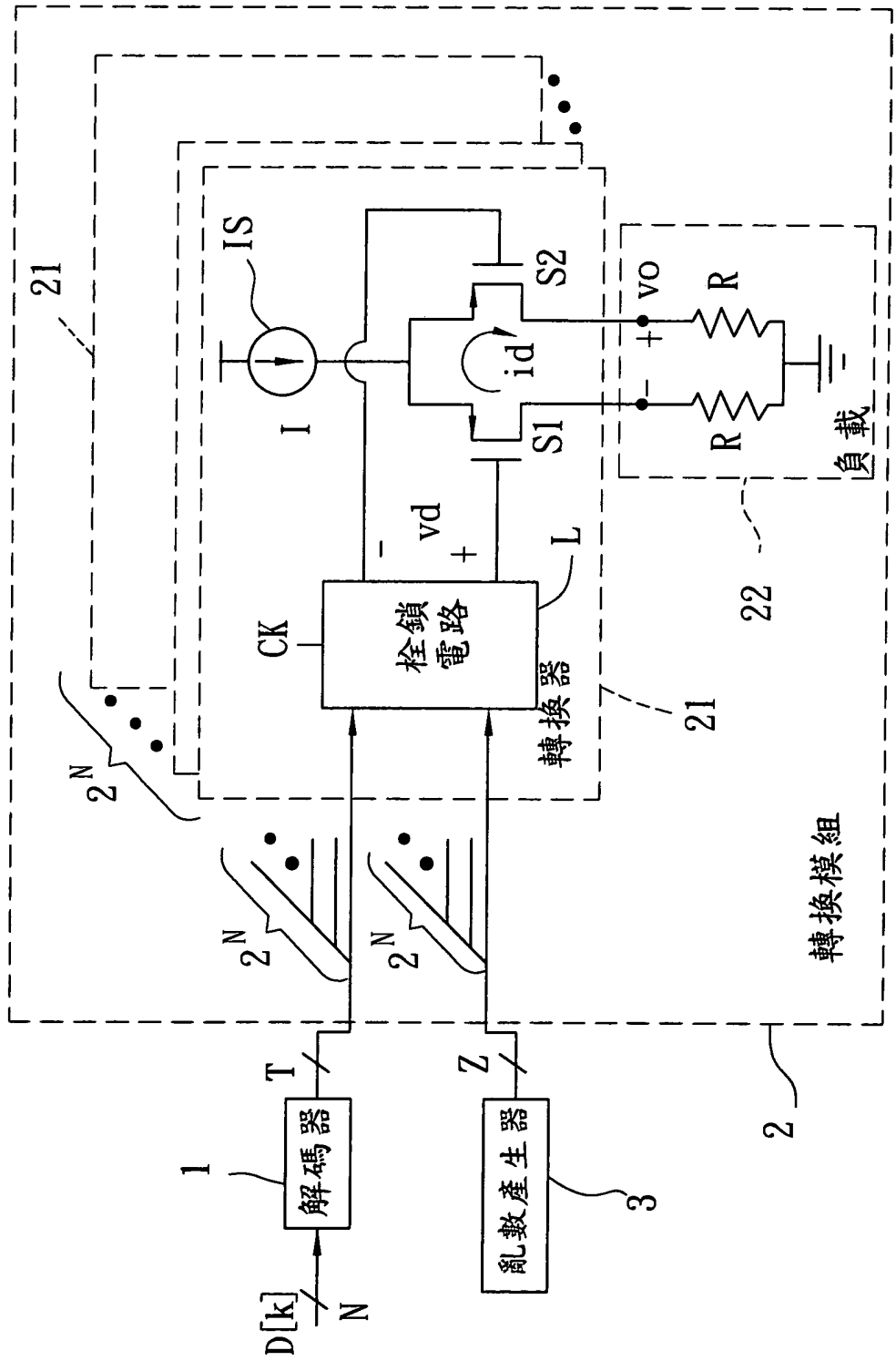


圖4

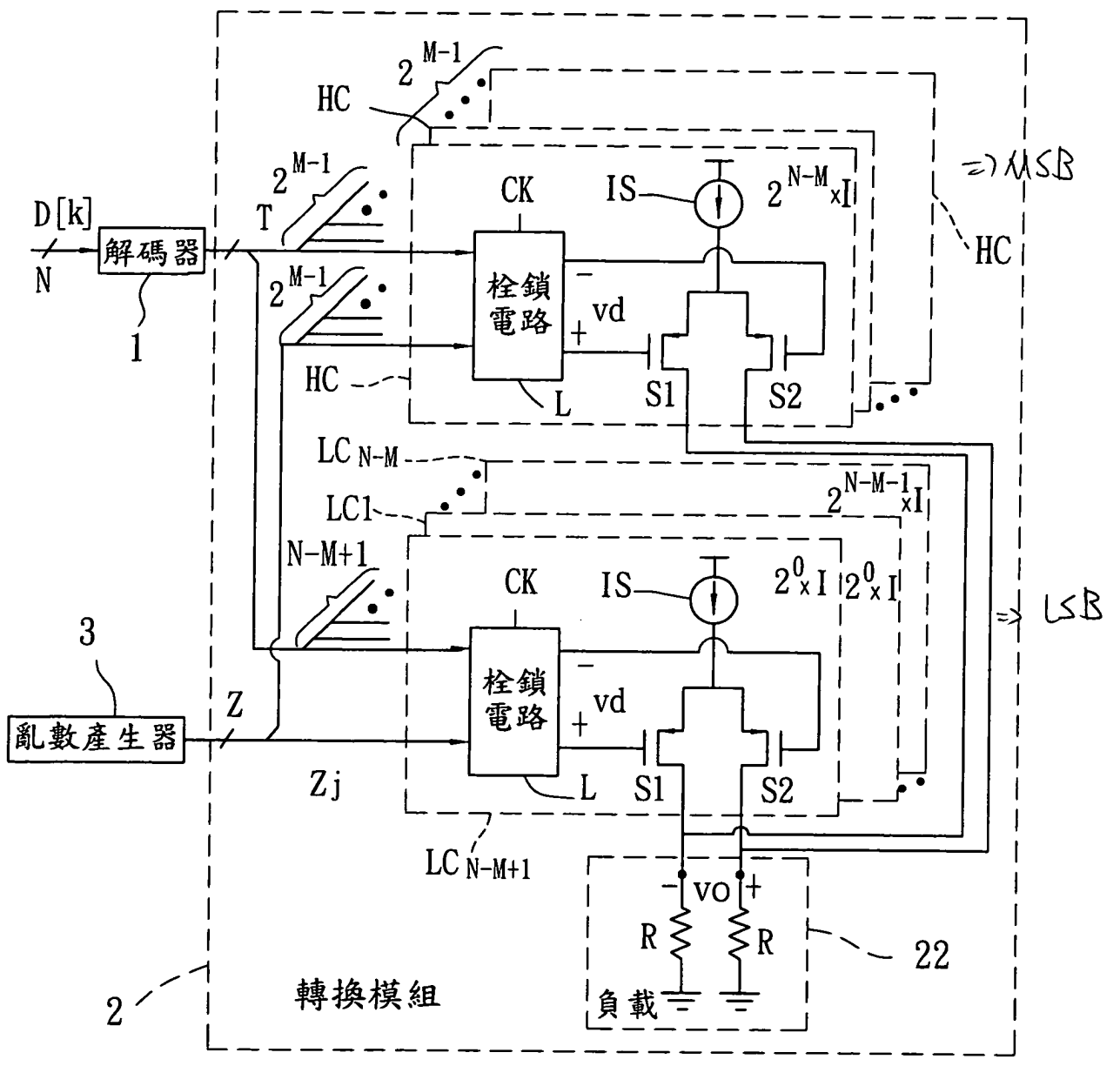


圖5

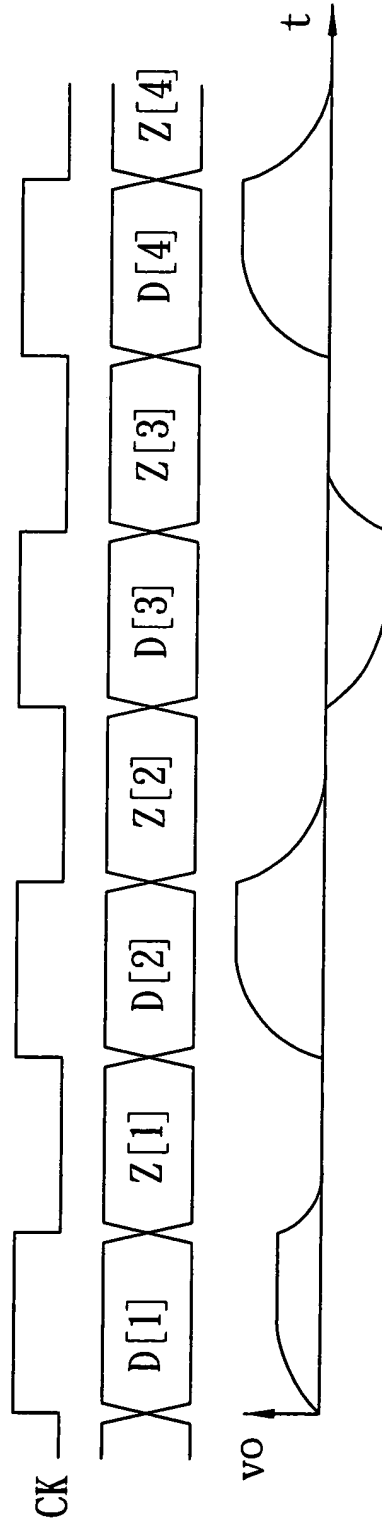


圖6

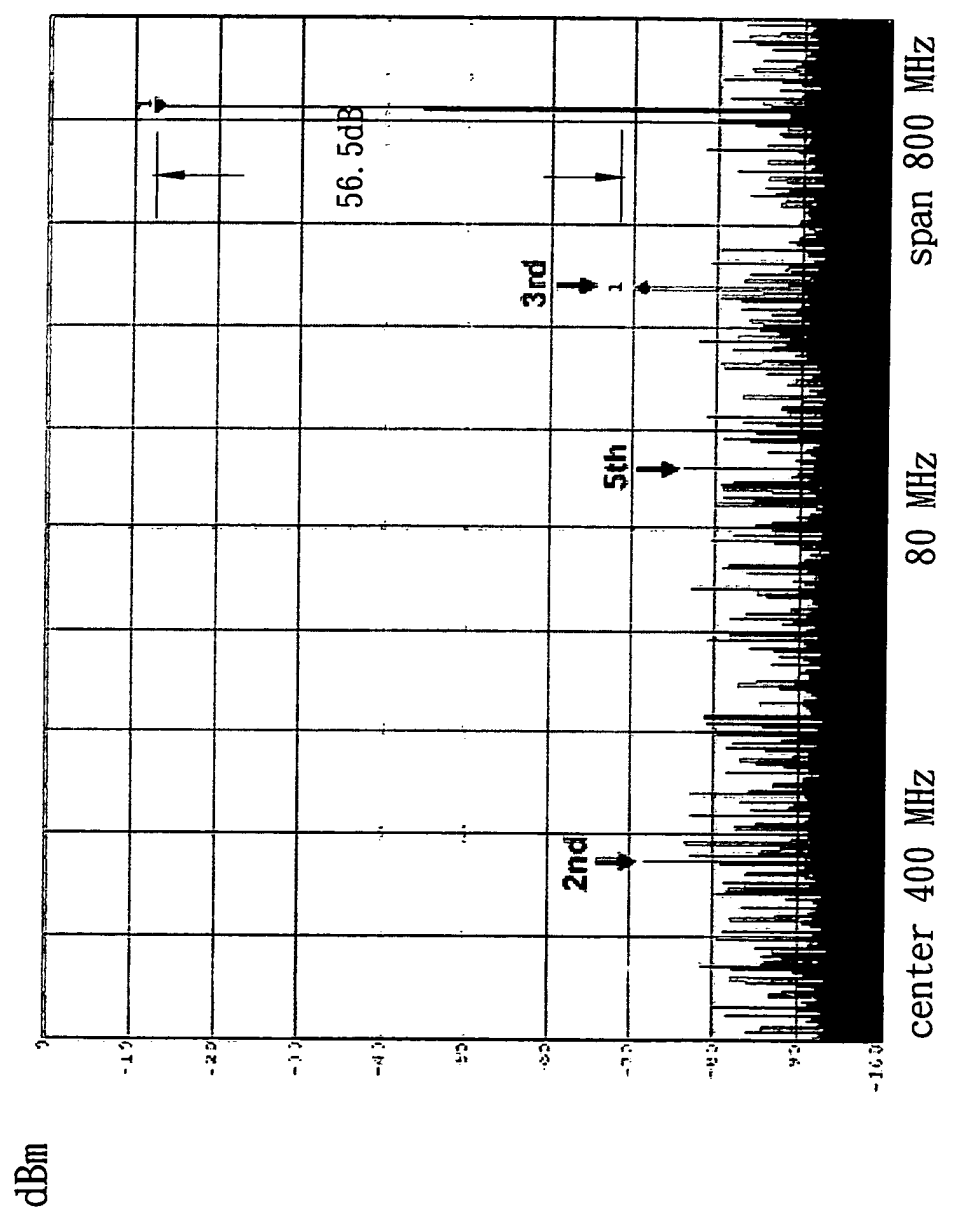


圖7

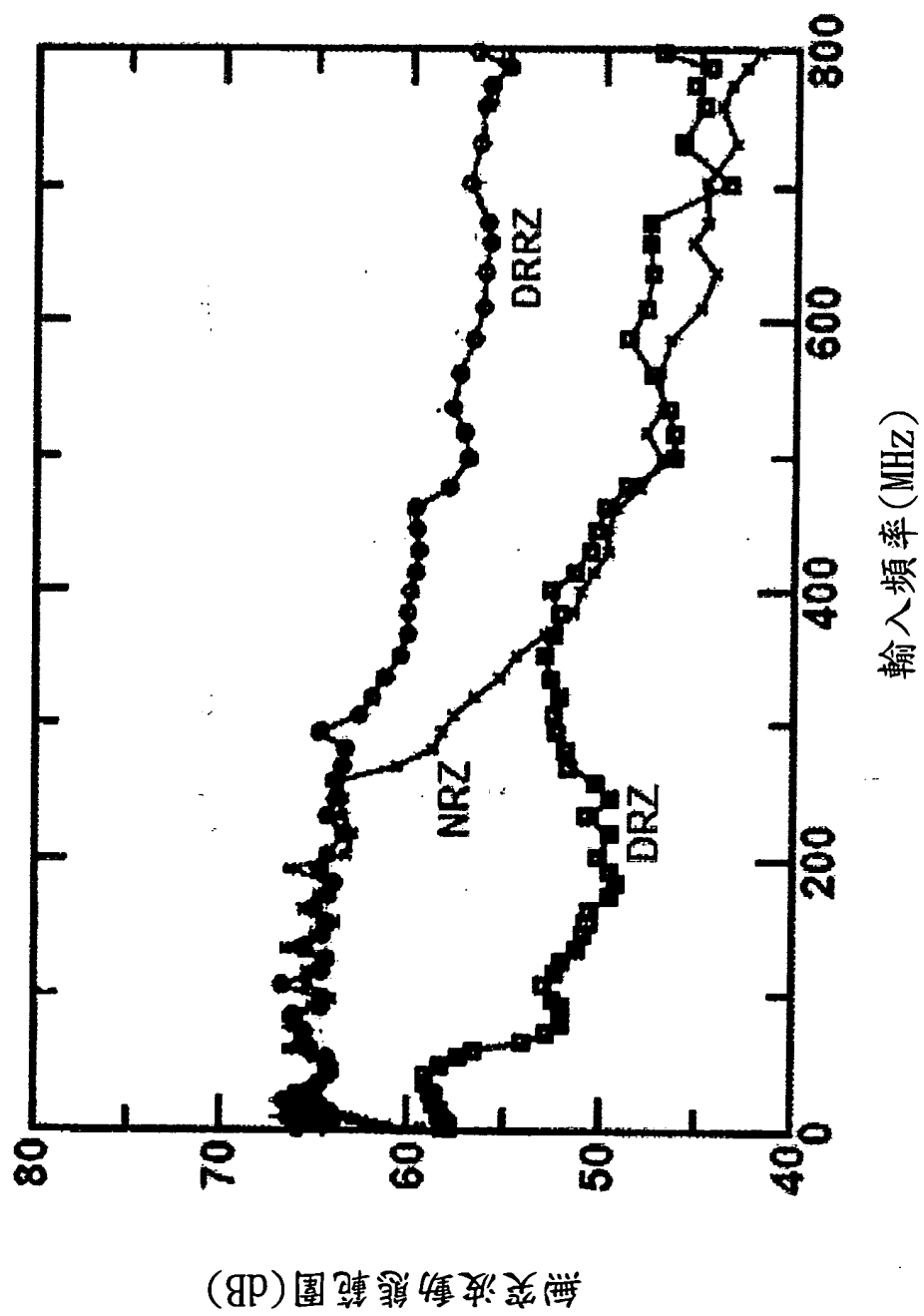


圖8