

(21) 申請案號：101125481

(22) 申請日：中華民國 101 (2012) 年 07 月 16 日

(51) Int. Cl. : **H03K17/296 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：曾煜輝 (TW)；蘇朝琴 (TW)；何盈杰 (TW)；林庭佑 (TW)；吳嘉哲 (TW)

(74) 代理人：張煌壠

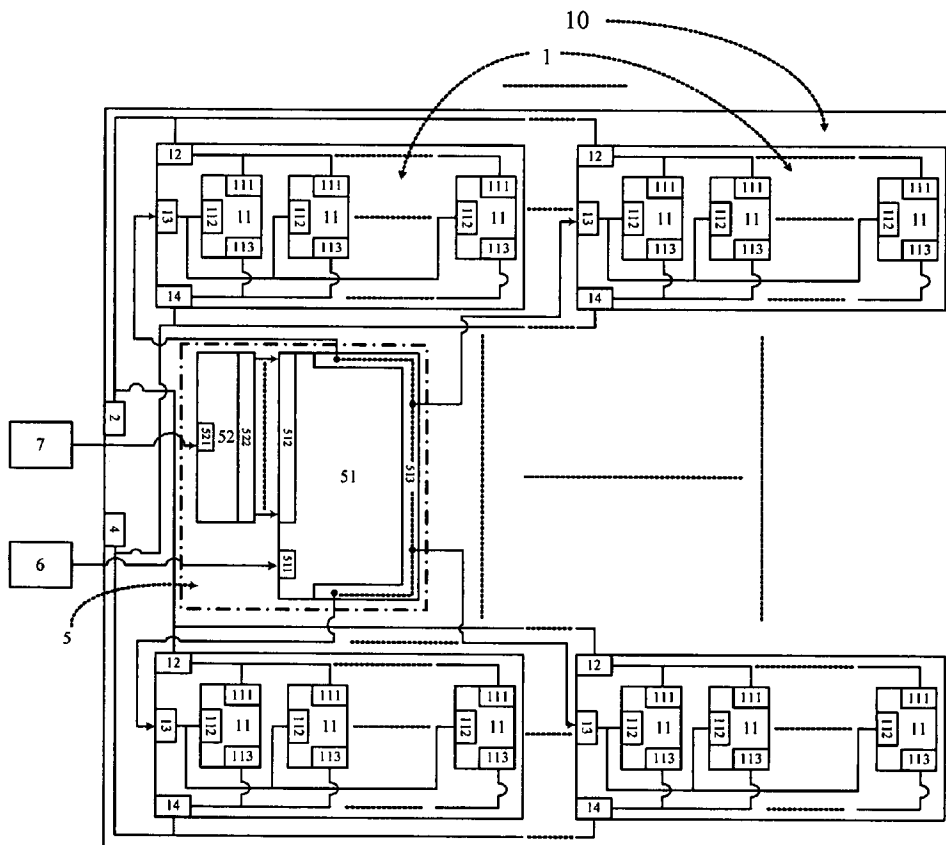
申請實體審查：有 申請專利範圍項數：8 項 圖式數：2 共 18 頁

(54) 名稱

使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制

(57) 摘要

本發明所提出的「一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制」，使用一隨機順序驅動各功率電晶體子元件工作方式，將功率電晶體各子元件間的導通及關閉延遲時間順序做平均分配設計，藉以解決各功率電晶體子元件功率消耗分佈不均，造成各功率電晶體易於損壞之問題。本機制係利用一擬隨機碼產生器產生一組近似隨機的二進位碼，用以驅動一樹狀結構的時序延遲傳遞機制。因每次擬隨機碼產生器的輸出碼其優先順序不同，使得此樹狀結構的時序延遲傳遞路徑優先順序不同，造成功率電晶體中個各子元件導通或關閉動作的時序快慢皆不同，因而平均分配了電晶體各子元件的功率消耗，降低功率電晶體的損壞機率。



- 1：功率電晶體子元件
- 2：功率電晶體共源極端
- 3：功率電晶體共閘極端
- 4：功率電晶體共汲極端
- 5：功率電晶體時序隨機延遲控制機制
- 6：時序控制信號產生器
- 7：時脈信號產生器
- 10：功率電晶體

第二圖(A)

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(0112548)

※申請日：101.7.16

※IPC分類：H03K 17/296 (2006.01)

一、發明名稱：使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制

二、中文發明摘要：

本發明所提出的「一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制」，使用一隨機順序驅動各功率電晶體子元件工作方式，將功率電晶體各子元件間的導通及關閉延遲時間順序做平均分配設計，藉以解決各功率電晶體子元件功率消耗分佈不均，造成各功率電晶體易於損壞之問題。本機制係利用一擬隨機碼產生器產生一組近似隨機的二進位碼，用以驅動一樹狀結構的時序延遲傳遞機制。因每次擬隨機碼產生器的輸出碼其優先順序不同，使得此樹狀結構的時序延遲傳遞路徑優先順序不同，造成功率電晶體中個各子元件導通或關閉動作的時序快慢皆不同，因而平均分配了電晶體各子元件的功率消耗，降低功率電晶體的損壞機率。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第二圖(A)。

(二)本代表圖之元件符號簡單說明：

- 10 功率電晶體
- 1 功率電晶體子元件
- 2 功率電晶體共源極端
- 3 功率電晶體共閘極端
- 4 功率電晶體共汲極端
- 5 功率電晶體時序隨機延遲控制機制
- 6 時序控制信號產生器
- 7 時脈信號產生器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第二圖(A)。

(二)本代表圖之元件符號簡單說明：

- 10 功率電晶體
- 1 功率電晶體子元件
- 2 功率電晶體共源極端
- 3 功率電晶體共閘極端
- 4 功率電晶體共汲極端
- 5 功率電晶體時序隨機延遲控制機制
- 6 時序控制信號產生器
- 7 時脈信號產生器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本案為一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，尤指一種利用隨機碼產生隨機時序，驅動一樹狀結構的時序延遲傳遞機制，以控制功率電晶體中各子元件隨機導通或關閉的一種機制。

【先前技術】

參照第一圖為習用的功率電晶體電路架構圖，其中包含了多個功率電晶體子元件(1)，每個功率電晶體子元件(1)又由複數個N型或P型金氧半(MOS)電晶體(11)所組成。各個功率電晶體子元件(1)中之每個金氧半(MOS)電晶體(11)的源極(111)共接一起後成為該功率電晶體子元件的共源極端(12)，而其每個閘極(112)共接一起後成為該功率電晶體子元件的共閘極端(13)，又其每個汲極(113)連接一起後成為該功率電晶體子元件的共汲極端(14)。各個功率電晶體子元件中的共源極端輸出點(12)接一起成為功率電晶體共源極端(2)，共閘極端輸出點(13)接一起成為功率電晶體共閘極端(3)，共汲極端輸出點(14)接一起成為功率電晶體共汲極端(4)。

習用的功率電晶體其所有的功率電晶體子元件(1)中所包含的金氧半(MOS)電晶體(11)往往高達數千個，這些金氧半(MOS)電晶體(11)的源極(111)與源極(111)間、閘極(112)與閘極(112)間、汲極(113)與汲極(113)間層層的金屬接線過長，因而存在有

大量的寄生電容及寄生電阻。現有技術係將控制訊號或電源直接連接電晶體共源極輸出點(2)、共閘極輸出點(3)及共汲極輸出點(4)，經由這些過長的金屬導線接至每個金氧半(MOS)電晶體(11)。其中控制信號經由閘極金屬連接線控制每個金氧半(MOS)電晶體(11)的導通或關閉，因過長的金屬連接線造成的寄生電阻電容(RC)效應，產生信號延遲作用，控制信號無法在同一時間抵達每個金氧半(MOS)電晶體(11)的閘極(112)，所有的金氧半(MOS)電晶體(11)無法同時導通及同時關閉，其中離信號源越近的金氧半(MOS)電晶體(11)越早導通及關閉，越遠的金氧半(MOS)電晶體(11)越晚導通及關閉，因而使得距離信號源越近及越遠二端的金氧半(MOS)電晶體(11)損耗功率大，也越易損壞。又電源則經由源極或汲極金屬連接線直接連接至每個金氧半(MOS)電晶體(11)，此金屬連接線產生的寄生電阻電容(RC)效應，使得每個金氧半(MOS)電晶體間的源極(111)與汲極(113)電壓、源極(111)與閘極(112)電壓不同，造成每個金氧半(MOS)電晶體(11)間的導通電流不同，其中離電源端越近的金氧半(MOS)電晶體(11)導通電流越大、消耗功率越多，因而越易損壞。

這些金屬連接線寄生電阻電容效應所造成的控制信號傳遞延遲及源極至閘極與汲極間電源電壓分佈不同，使得功率電晶體中每個金氧半(MOS)電晶體(11)功率損耗不均，導致功率電晶體中的某些區域的金氧半(MOS)電晶體(11)因功率消耗過大而損壞，最後

造成整個功率電晶體損壞。

【發明內容】

本案提出一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，包含：一功率電晶體，具有多個功率電晶體子元件(1)；一功率電晶體共源極端(2)；一功率電晶體共閘極端(3)；一功率電晶體共汲極端(4)；一功率電晶體導通及關閉時序隨機延遲控制機制(5)。

本案係利用擬隨機碼產生器(52)控制時序延遲控制器(51)，使經過時序延遲控制器(51)之時序控制信號產生器(6)之導通或關閉控制信號產生隨機延遲之效果後，再輸出至複數個功率電晶體子元件(1)。

功率電晶體導通及關閉時序隨機延遲控制機制(5)中之一擬隨機碼產生器(52)由長度為 M 的複數個移位暫存器、複數個互斥或邏輯閘或複數個互斥及邏輯閘組成，其中 M 為大於 3 的整數，產生 $2^M - 1$ 組不同組合的 M 位元二進位碼輸出信號(522)，用以驅動一具樹狀結構的時序延遲控制器(51)，此一功率電晶體導通及關閉時序隨機延遲控制機制(5)中各複數個輸出端(513)與該功率電晶體(10)中之複數個功率電晶體子元件(1)共閘極端(13)電性連接，藉以隨機控制複數個功率電晶體子元件(1)之導通或關閉的時間順序。

如所述之一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其中各功率電晶體子元件(1)係包含多個 N 型或

P 型金屬氧化半導體 (Metal Oxide Semiconductor, MOS, 金氧半電晶體)(11)。其中對各複數個功率電晶體子元件(1)而言，可經由設計一個經由擬隨機碼產生器(52)驅動的具樹狀結構的時序延遲控制器(51)，隨機產生讓功率電晶體子元件(1)導通及關閉的不同控制信號時序，藉此讓每個功率電晶體的子元件(1)承受相同的功率消耗。

【實施方式】

參照第二圖(A)為本案較佳實施例之一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲控制機制示意圖，其中包含了由複數個功率電晶體子元件(1)組成的功率電晶體、功率電晶體導通及關閉時序隨機延遲控制機制(5)、時序控制信號產生器(6)及時脈信號產生器(7)。其中功率電晶體導通及關閉時序隨機延遲控制機制(5)由一組時序延遲控制器(51)及一組由長度為M的複數個移位暫存器、複數個互斥或邏輯閘或複數個互斥及邏輯閘組成之擬隨機碼產生器(52)所構成，其中M為大於3的整數。功率電晶體中的各個主要組成之功率電晶體子元件(1)，係由多個N型或P型金氧半(MOS)電晶體(11)構成，而每個功率電晶體子元件(1)的閘極端(13)連接時序隨機延遲控制機制(5)中的時序延遲控制器(51)中各個不同控制信號輸出端(513)。

一個時脈信號產生器(7)控制擬隨機碼產生器(52)，輸出一個共有 2^M-1 組不同組合的M位元二進位碼。功率電晶體導通及關閉時序隨機延遲控制機制(5)中的時序延遲控制器(51)的輸入端

(511)電氣性連接時序控制信號產生器(6)，另外 M 個輸入端(512)則電氣性連接 M 個擬隨機碼產生器輸出(522)。

參照第二圖(B)為本案較佳實施例之時序延遲控制器(51)的示意圖，時序延遲控制器(51)由複數個時序延遲元件(514)以複數個階層樹的架構型態組合而成，第一層的時序延遲元件(514)時序信號輸入端(5142)透過時序延遲控制器控制信號輸入端(511)向外連接時序控制信號產生器(6)，其餘各階層的時序延遲元件(514)的時序信號輸入端(5142)連接前一層的時序延遲元件(514)的時序信號輸出端(5143)，最底層的時序延遲元件(514)其時序信號輸出端(5143)透過時序延遲控制器(51)控制信號輸出(513)分別連接不同的功率電晶體子元件(1)的共閘極端(13)。每個階層的時序延遲元件(514)時序延遲控制輸入端(5141)連接擬隨機碼產生器(52)M 位元二進位隨機碼輸出(522)中任一位元輸出，以控制每個時序延遲元件(514)中導通及關閉路徑傳遞速度的優先順序。

因為擬隨機碼產生器(52)每執行一次功率電晶體導通或關閉動作，其每次 2^M-1 組的 M 位元二進位擬隨機碼輸出，隨著時脈信號產生器(7)的輸出時脈順序的不同而隨機產生，又藉由其對樹狀架構的時序延遲控制器(51)傳遞路徑的時序隨機快慢控制，以隨機控制功率電晶體中每次每個功率電晶體子元件(1)的導通或關閉順序，使得每個功率電晶體的子元件(1)可以承受相同的功率消耗，降低每個功率電晶體子元件(1)的損壞率，延長功率電晶體的

使用壽命。

簡言之，本案係利用時脈信號產生器(7)輸出時脈至擬隨機碼產生器(52)，來控制時序延遲控制器(51)；使經過時序延遲控制器(51)之時序控制信號產生器(6)之導通或關閉控制信號產生隨機延遲之效果後，再輸出至複數個功率電晶體子元件(1)，藉以均化每個功率電晶體子元件(1)的功率消耗。

本案具有下列優點：

1. 本案所提出的使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲控制機制，能有效改善功率電晶體子元件因金屬連接線寄生電阻及電容效應引起傳遞延遲所造成功率消耗不均之問題；
2. 本案所提出的使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲控制機制，電路設計十分容易；
3. 本案所提出的使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲控制機制，能讓每個功率電晶體子元件承受相同的功率消耗，降低每個功率電晶體子元件的損壞率，延長功率電晶體的使用壽命。

綜上所述，本案所提之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲控制機制，能改善因金屬連接線寄生電阻及電容效應引起傳遞延遲所造成功率消耗不均之問題，進步新穎且實用，如其變更設計，例如應用至各種類型之功率電晶體隨機延遲

控制，只要是利用所述之擬隨機碼或具有複數個階層樹的架構型態所組成的時序延遲元件以控制功率電晶體之各子元件之導通或關閉動作者，皆為本案所欲揭露及保護者。

本案所揭露之技術，得由熟習本技術人士據以實施，而其前未有之作法亦具備專利性，爰依法提出專利之申請。惟上述之實施例尚不足以涵蓋本案所欲保護之專利範圍，因此，提出申請專利範圍如附。

【圖式簡單說明】

第一圖為習用的功率電晶體電路架構圖；

第二圖(A)為本案較佳實施例之功率電晶體時序隨機延遲控制機制示意圖；

第二圖(B)本案較佳實施例之時序延遲控制器(51)的示意圖。

【主要元件符號說明】

- 10 功率電晶體
- 1 功率電晶體子元件
- 11 N型或P型金氧半(MOS)電晶體
- 111 N型或P型金氧半(MOS)電晶體源極端
- 112 N型或P型金氧半(MOS)電晶體閘極端
- 113 N型或P型金氧半(MOS)電晶體汲極端
- 12 功率電晶體子元件共源極端
- 13 功率電晶體子元件共閘極端
- 14 功率電晶體子元件共汲極端
- 2 功率電晶體共源極端
- 3 功率電晶體共閘極端
- 4 功率電晶體共汲極端
- 5 功率電晶體導通及關閉時序隨機延遲控制機制
- 51 時序延遲控制器
- 511 時序延遲控制器控制信號輸入

- 512 時序延遲控制器 M 位元二進位隨機碼輸入
- 513 時序延遲控制器控制信號輸出
- 514 時序延遲元件
- 5141 時序延遲控制輸入端
- 5142 時序信號輸入端
- 5143 時序信號輸出端
- 52 擬隨機碼產生器
- 521 擬隨機碼產生器時脈信號輸入
- 522 擬隨機碼產生器 M 位元二進位隨機碼輸出
- 6 時序控制信號產生器
- 7 時脈信號產生器
- S1 控制信號輸入
- L1 第一層
- L2 第二層
- L3 第三層

七、申請專利範圍：

1. 一種使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其功率電晶體係由複數個功率電晶體子元件組成，包含：

一擬隨機碼產生器；

一時序控制信號產生器，係產生一導通或關閉控制信號；

一時脈信號產生器，係電氣性連接該擬隨機碼產生器之時脈輸入；

一時序延遲控制器，係電氣性連接該擬隨機碼產生器、該時序控制信號產生器及該複數個功率電晶體子元件；

其中，該擬隨機碼產生器係控制該時序延遲控制器，使經過該時序延遲控制器之該時序控制信號產生器之導通或關閉控制信號產生隨機延遲之效果後，再輸出至複數個功率電晶體子元件。

2. 如申請專利範圍第 1 項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其中該複數個功率電晶體子元件由複數個 N 型或 P 型金屬氧化半導體電晶體組成；每個功率電晶體子元件中之各個 N 型或 P 型金屬氧化半導體電晶體中之源極與源極電氣性連接一起，汲極與汲極電氣性連接一起，閘極與閘極電氣性連接一起。

3. 如申請專利範圍第 1 項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其擬隨機碼產生器由長度為 M 的

複數個移位暫存器、複數個互斥或邏輯閘或複數個互斥及邏輯閘組成，M 個信號輸出端，至多產生 2^M-1 組不同組合的 M 位元二進位碼輸出信號，其中 M 為大於 3 的整數。

4. 如申請專利範圍第 1 項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其時序延遲控制器係具一種時序延遲控制的方法，以複數個階層的樹狀結構疊加而成，其樹狀結構中各層元件係由複數個時序延遲元件組合而成。

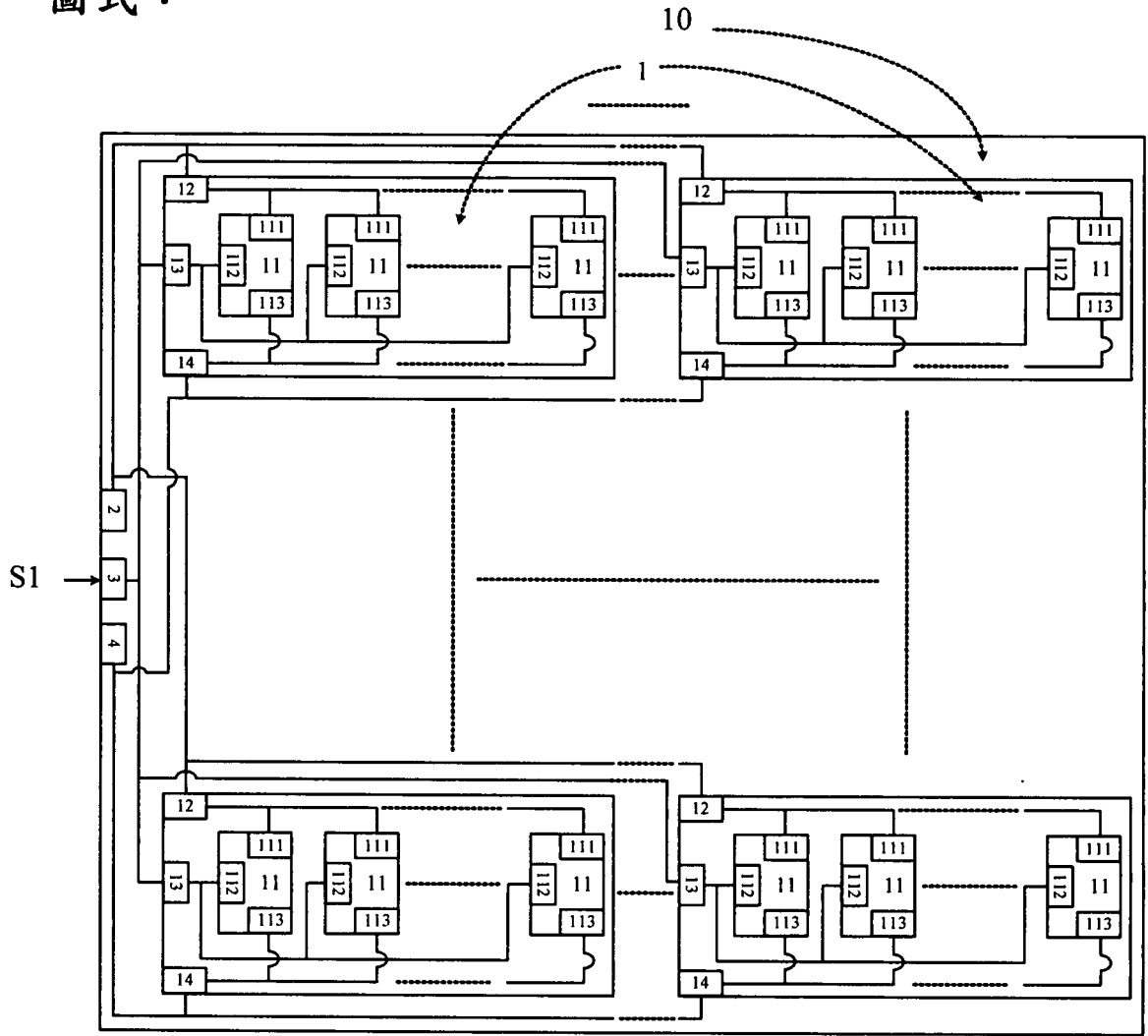
5. 如申請專利範圍第 4 項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其中該時序延遲元件包括一時序延遲控制輸入端、一時序信號輸入端、一時序信號輸出端。

6. 如申請專利範圍第 1 項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其時序延遲控制器具有一個控制信號輸入電氣性連接一個控制信號產生器輸出；M 個二進位信號輸入端電氣性連接 M 位元的擬隨機碼產生器的輸出；複數個輸出端，每個輸出端並與複數個功率電晶體子元件中的複數個功率電晶體子元件閘極端電性連接，藉以控制該功率電晶體子元件的導通或關閉順序。

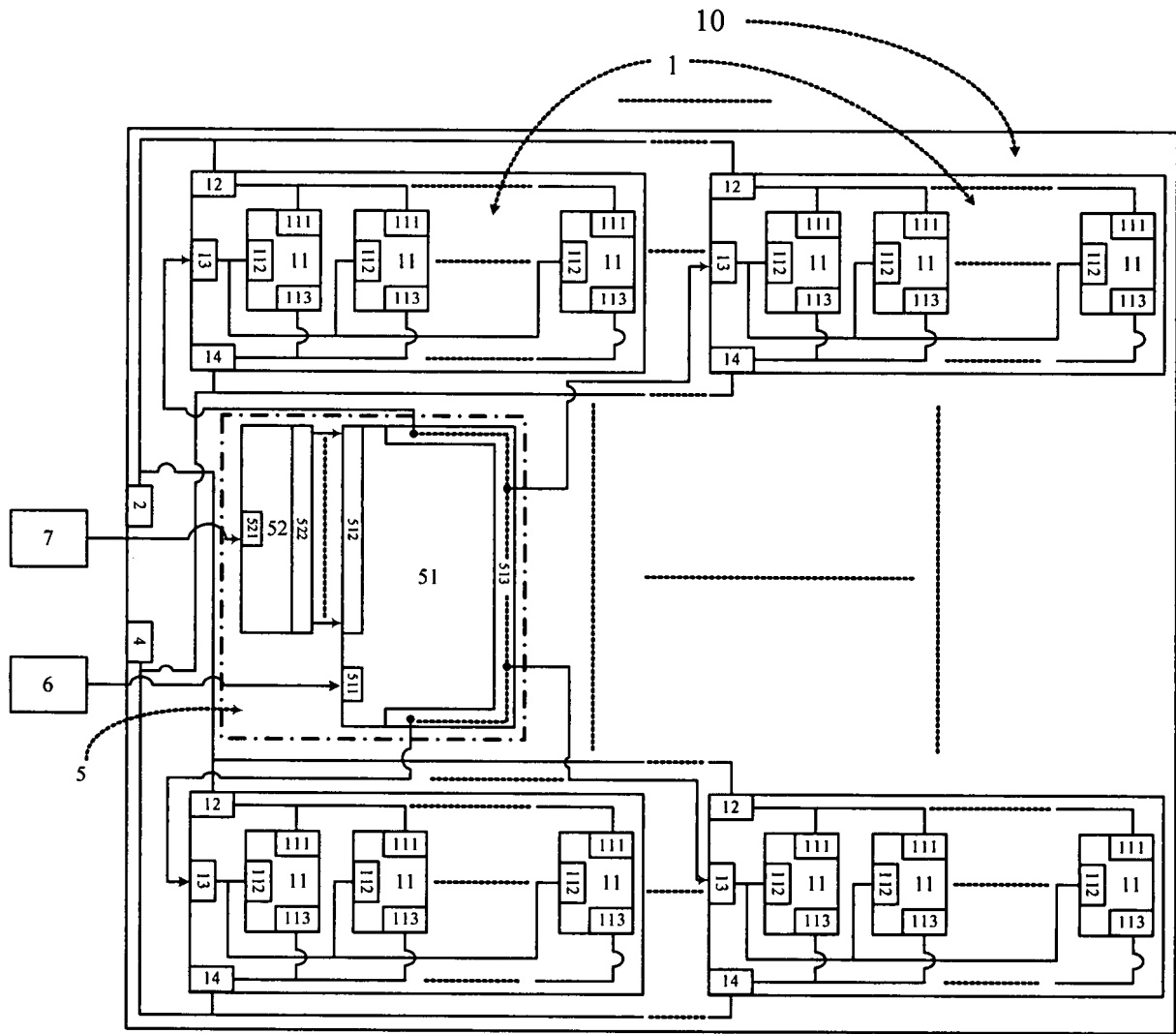
7. 如申請專利範圍第3項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，包含一種時序延遲控制的方法，以複數個階層之樹狀結構疊加而成；第一層的複數個時序延遲元件時序信號輸入端電氣性連接時序控制信號產生器；其餘各層的複數個時序延遲元件時序信號輸入端則連接上一層的複數個時序延遲元件之一個時序延遲元件時序信號輸出端；最底層的複數個時序延遲元件中之各個時序延遲元件的時序信號輸出端則與複數個功率電晶體子元件中之一個功率電晶體子元件的閘極端電氣性連接；同一層的複數個時序延遲元件的時序延遲控制輸入端電氣性共同連接擬隨機控制碼的 M 位元的二進位碼輸出中之其中一個位元。

8. 如申請專利範圍第5項所述之使用擬隨機碼控制功率電晶體導通及關閉時序隨機延遲的機制，其中該時序延遲元件，係為一緩衝器、一反向器、一傳輸邏輯閘、一金屬連接線、一被動元件電阻電容電路、或一主動元件電阻電容電路。

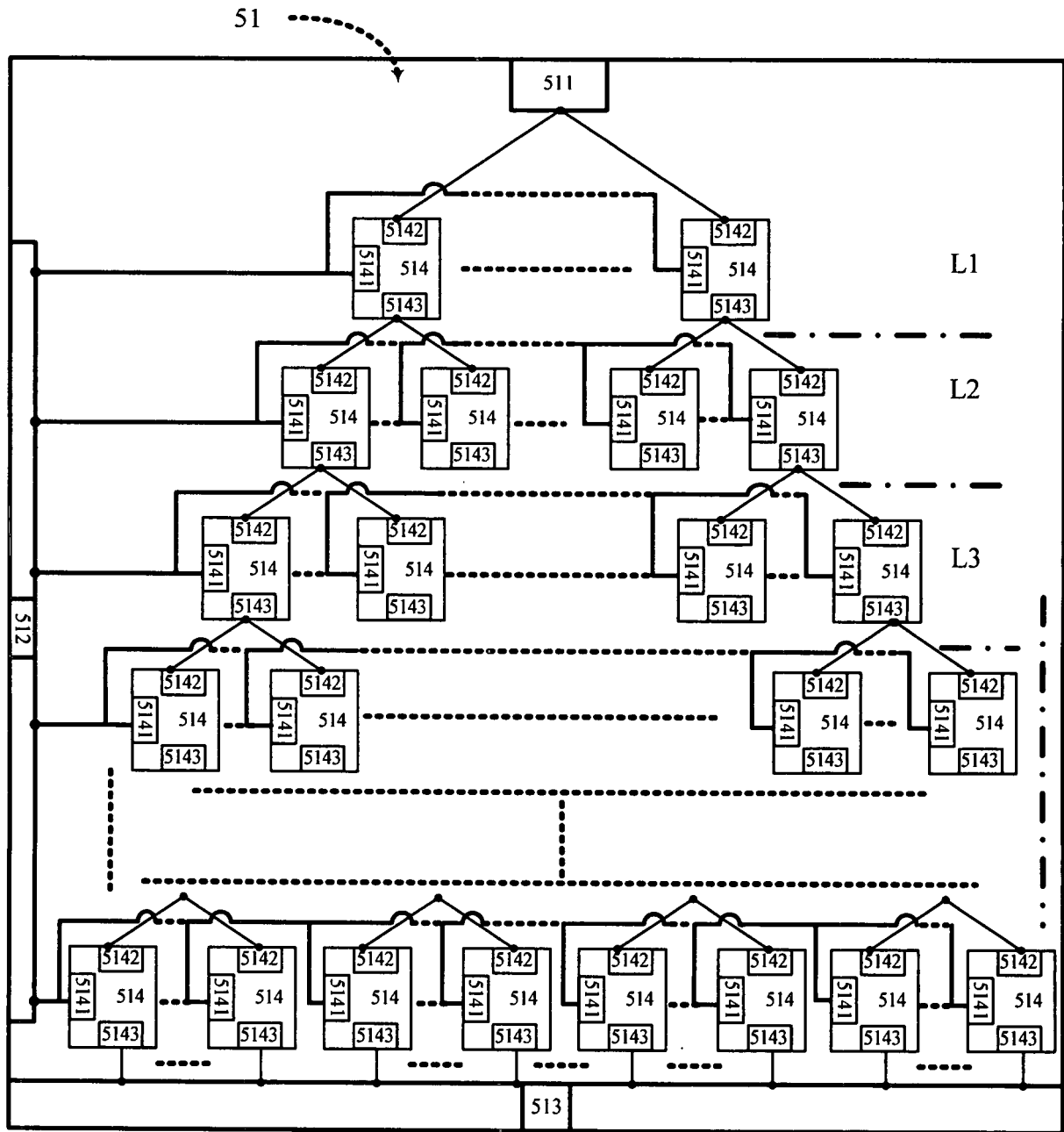
八、圖式：



第一圖



第二圖(A)



第二圖(B)