

(21) 申請案號：102127315

(22) 申請日：中華民國 102 (2013) 年 07 月 30 日

(51) Int. Cl. :

H01L23/52 (2006.01)

H01L21/768 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳冠能 CHEN, KUAN NENG (TW)；張耀仁 CHANG, YAO JEN (TW)

(74) 代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：7 項 圖式數：7 共 26 頁

(54) 名稱

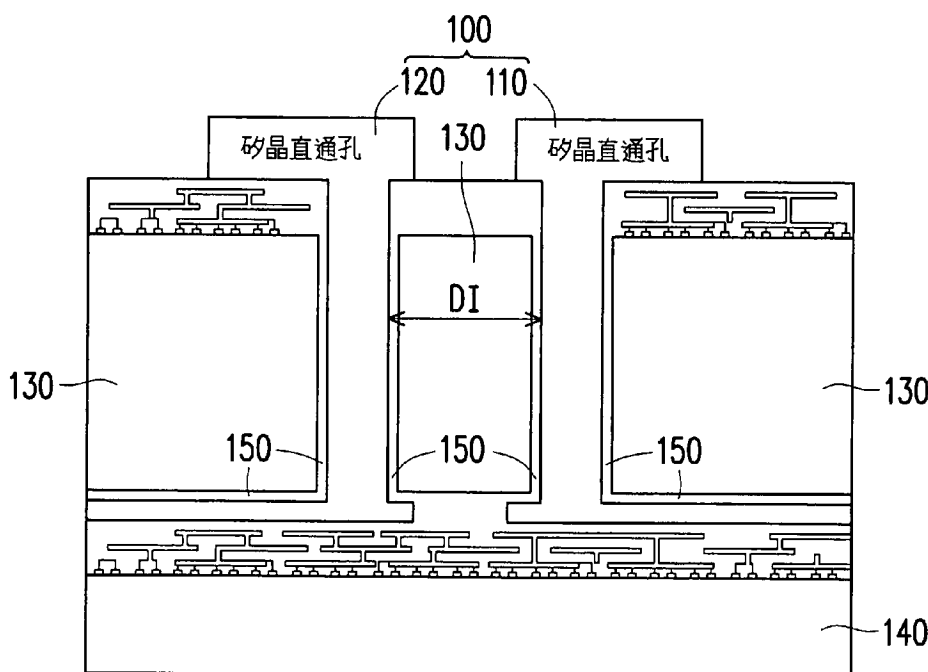
半導體元件之內連接結構

INTERCONNECTION STRUCTURE OF SEMICONDUCTOR DEVICE

(57) 摘要

一種半導體元件之內連接結構，架構於半導體基材內。內連接結構包括第一矽晶直通孔以及第二矽晶直通孔。第一矽晶直通孔貫穿半導體基材。第二矽晶直通孔貫穿半導體基材。第一矽晶直通孔與第二矽晶直通孔相互間隔一距離。其中，該距離介於 $2\mu\text{m}$ 以及 $40\mu\text{m}$ 之間。

An interconnection structure of a semiconductor device is provided, where the interconnection structure is constructed in a semiconductor substrate. The interconnection structure includes a first through silicon via and a second through silicon via both penetrating the semiconductor substrate, and the first through silicon via is spaced from the second through silicon via by a distance ranged from $2\mu\text{m}$ to $40\mu\text{m}$.

100 . . . 半導體元件
之內連接結構110、120 . . . 矽晶
直通孔

130 . . . 半導體基材

140 . . . 晶片

150 . . . 介電層

DI . . . 距離

圖 2

201505149

發明摘要

※ 申請案號：102127315

※ 申請日：102. 7. 30

※IPC 分類：

H01L 23/52 2006.01

【發明名稱】半導體元件之內連接結構

H01L 21/108 2006.01

INTERCONNECTION STRUCTURE OF
SEMICONDUCTOR DEVICE

【中文】

一種半導體元件之內連接結構，架構於半導體基材內。內連接結構包括第一矽晶直通孔以及第二矽晶直通孔。第一矽晶直通孔貫穿半導體基材。第二矽晶直通孔貫穿半導體基材。第一矽晶直通孔與第二矽晶直通孔相互間隔一距離。其中，該距離介於 $2\mu\text{m}$ 以及 $40\mu\text{m}$ 之間。

【英文】

An interconnection structure of a semiconductor device is provided, where the interconnection structure is constructed in a semiconductor substrate. The interconnection structure includes a first through silicon via and a second through silicon via both penetrating the semiconductor substrate, and the first through silicon via is spaced from the second through silicon via by a distance ranged from $2\mu\text{m}$ to $40\mu\text{m}$.

【代表圖】

【本案指定代表圖】：圖 2。

【本代表圖之符號簡單說明】：

100：半導體元件之內連接結構

110、120：矽晶直通孔

130：半導體基材

140：晶片

150：介電層

DI：距離

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體元件之內連接結構

INTERCONNECTION STRUCTURE OF SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明是有關於一種內連接結構，且特別是有關於一種半導體元件之內連接結構。

【先前技術】

【0002】 一般而言，三維積體電路(3D ICs)有許多優勢，例如小外觀尺寸(form factor)、高效能、低功耗以及異質整合(heterogeneous integration)等。在三維積體電路的應用中，為了讓不同堆疊的晶片之間達到通訊的功能，必須透過垂直的矽晶直通孔(Through Silicon Via, TSV)來將上下層晶片進行電性連接。目前為止，TSV在傳輸訊號時所造成的高延遲佔所有時間損耗的50%以上。為了更加增進電路傳輸訊號的速度，對應於TSV的電容值需要具有低而穩定的特性。

【發明內容】

【0003】 有鑑於此，本發明提供一種半導體元件之內連接結構，可使矽晶直通孔具有低而穩定的電容值，進而提升半導體元件之

內連接結構傳輸訊號的速度。

【0004】 本發明提供一種半導體元件之內連接結構，架構於半導體基材內。內連接結構包括第一矽晶直通孔以及第二矽晶直通孔。第一矽晶直通孔貫穿半導體基材。第二矽晶直通孔貫穿半導體基材。第一矽晶直通孔與第二矽晶直通孔相互間隔一距離。其中，該距離介於 $2\mu\text{m}$ 以及 $40\mu\text{m}$ 之間。

【0005】 在本發明之一實施例中，上述距離介於 $10\mu\text{m}$ 與 $40\mu\text{m}$ 之間。

【0006】 在本發明之一實施例中，上述第一矽晶直通孔用以傳輸射頻訊號，且第二矽晶直通孔的第一端連接至預設電壓，第二矽晶直通孔的第二端連接至接地電壓。

【0007】 在本發明之一實施例中，上述第一矽晶直通孔用以傳輸數位訊號，且第二矽晶直通孔的第一端連接至預設電壓，第二矽晶直通孔的第二端連接至接地電壓。

【0008】 在本發明之一實施例中，上述第一矽晶直通孔用以傳輸頻率低於 1 MHz 的數位訊號，且第二矽晶直通孔連接至頻率高於 0.5MHz 的高頻訊號。

【0009】 在本發明之一實施例中，上述第一矽晶直通孔以及第二矽晶直通孔為相互平行的兩柱體。

【0010】 在本發明之一實施例中，上述第一矽晶直通孔為柱體，而第二矽晶直通孔為圍繞第一矽晶直通孔的管體。

【0011】 基於上述，在本發明提供的半導體元件之內連接結構

中，由於配置了兩個矽晶直通孔，使得兩個矽晶直通孔之間可等效形成穩定的電容結構。如此一來，半導體元件之內連接結構可因此電容結構的所提供的低而穩定的電容值而有效地提升訊號傳輸的速度。

【0012】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0013】

圖 1 是典型的單一根 TSV 的電容-電壓特性曲線示意圖。

圖 2 是依據本發明之一實施例繪示的半導體元件之內連接結構示意圖。

圖 3A 是依據本發明之一實施例繪示的半導體元件之內連接結構的等效電路圖。

圖 3B 是依據圖 3A 繪示的半導體元件之內連接結構的等效電路圖。

圖 4 是依據圖 2 實施例繪示的矽晶直通孔的 C-V 量測結果。

圖 5A 是依據本發明之一實施例繪示的當半導體元件之內連接結構用於傳輸射頻訊號的示意圖。

圖 5B 是依據本發明之一實施例繪示的當半導體元件之內連接結構用於傳輸數位訊號的示意圖。

圖 5C 是依據本發明之一實施例繪示的當半導體元件之內連

接結構用於傳輸數位訊號的示意圖。

圖 6A 是依據本發明之一實施例繪示的半導體元件之內連接結構的俯視圖。

圖 6B 是依據本發明另一實施例繪示的半導體元件之內連接結構的俯視圖。

圖 7 是依據本發明之一實施例繪示的半導體元件之內連接結構示意圖。

【實施方式】

【0014】 現將詳細參考本發明之示範性實施例，在附圖中說明所述示範性實施例之實例。另外，凡可能之處，在圖式及實施方式中具有相同標號的元件/構件代表相同或類似部分。

【0015】 本領域具通常知識者應可了解，配置於兩層晶片之間的矽晶直通孔（Through Silicon Via，TSV）可用於在兩層晶片之間傳輸訊號。一般而言，由於矽晶直通孔具有相似於金屬氧化半導體（Metal Oxide Semiconductor，MOS）的結構，因而使得矽晶直通孔的電容值具有 MOS 電容（MOS CAP）的特性。

【0016】 圖 1 是典型的單一根 TSV 的電容-電壓特性曲線示意圖。在本實施例中，圖 1 所繪示的四條曲線分別代表所述 TSV 電容在施加不同頻率的訊號時所呈現的電容-電壓曲線（C-V curve）。其中，曲線 A 例如是當在 TSV 上施加高頻訊號時，較高的平帶電壓的 C-V 曲線。曲線 B 例如是當在 TSV 上施加高頻訊號時，較高的

平帶電壓的 C-V 曲線。曲線 C 例如是當在 TSV 上施加低頻訊號時，較低的平帶電壓的 C-V 曲線。曲線 D 例如是當在 TSV 上施加低頻訊號時，較低的平帶電壓的 C-V 曲線。

【0017】 以曲線 A 為例，隨著施加於 TSV 上電壓（以 V_{TSV} 表示）的增加，TSV 的電容值（以 C_{TSV} 表示）將依序經過累積（accumulation）區域、空乏（depletion）區域以及最大空乏（maximum depletion）區域。其中，累積區域可定義為 $V_{\text{TSV}} \leq V_{\text{FB}}$ 的區域。 V_{FB} 例如是平帶（flat-band）電壓。空乏區域可定義為 $V_{\text{FB}} \leq V_{\text{TSV}} \leq V_{\text{Th}}$ 的區域。 V_{Th} 例如是臨限（threshold）電壓。最大空乏區可定義為 $V_{\text{Th}} \leq V_{\text{TSV}}$ 的區域。從圖 1 應可看出，在累積區域中，TSV 的電容值（ C_{TSV} ）相等於氧化層的電容值（以 C_{ox} 表示），而在最大空乏區中， C_{TSV} 則為最小值。在空乏區域中，由於 C_{TSV} 的值不為常數，因而使得空乏區域成為在 TSV 反應於高頻訊號運作時較不理想的工作區域。此外，由於 C_{TSV} 的值在最大空乏區域中達到其最小值，因而使得最大空乏區域成為在 TSV 反應於高頻訊號運作時較理想的工作區域。相似於曲線 A，隨著 V_{TSV} 的增加，曲線 B 亦會依序經過其對應的累積區域、空乏區域以及最大空乏區域。其中，TSV 在這些區域中個別的特性可參照曲線 A 中的相關說明，在此不再贅述。

【0018】 再以曲線 C 為例，隨著 V_{TSV} 的增加，TSV 的 C_{TSV} 將依序經過累積區域、空乏區域以及反轉（inversion）區域。其中，由於 C_{TSV} 的值在累積區域中達到其最小值，因而使得累積區域成為

在 TSV 反應於低頻訊號運作時較理想的工作區域。而由於 C_{TSV} 的值在空乏區域內仍不為常數，因而使得空乏區域同樣成為在 TSV 反應於低頻訊號運作時較不理想的工作區域。相似於曲線 C，隨著 V_{TSV} 的增加，曲線 D 亦會依序經過其對應的累積區域、空乏區域以及反轉區域。其中，TSV 在這些區域中個別的特性可參照曲線 C 中的相關說明，在此不再贅述。

【0019】 在本發明提出的實施例中，透過在與矽晶直通孔相距一適當距離內配置另一個可與之耦合的矽晶直通孔，可讓主要用於傳輸訊號的矽晶直通孔具有低且穩定的電容值。如此一來，訊號在兩層晶片之間的傳輸速度可有效地提升，進而增進整體電路的效能。

【0020】 圖 2 是依據本發明之一實施例繪示的半導體元件之內連接結構示意圖。請參照圖 2，半導體元件之內連接結構 100 包括矽晶直通孔 110 和 120。如圖 1 所繪示，矽晶直通孔 110 以及 120 分別貫穿半導體基材 130，且其個別與半導體基材 130 的接觸面皆佈有介電層 150（例如為二氧化矽）。在本實施例中，矽晶直通孔 110 可用於在半導體基材 130 之外的晶片（未繪示）以及晶片 140 之間傳輸訊號。基於同樣理由，矽晶直通孔 120 亦可用於在半導體基材 130 之外的晶片（未繪示）以及晶片 140 之間傳輸訊號。在本實施例中，矽晶直通孔 110 和 120 相距距離 DI。其中，距離 DI 設定為介於 $2\mu\text{m}$ 與 $40\mu\text{m}$ 之間。詳細而言，距離 DI 一般至少需大於兩倍的空乏區寬度（depletion width）以符合積體電路設計的設

計原則 (design rule)。同時，為了盡量避免與另一半導體元件之內連接結構 (未繪示) 中的矽晶直通孔相互產生耦合作用，距離 DI 需小於一定的範圍。因此，介於 $2\mu\text{m}$ 與 $40\mu\text{m}$ 之間的距離 DI 可同時滿足大於兩倍的空乏區寬度，同時避免與另一半導體元件之內連接結構中的矽晶直通孔相互產生耦合作用的條件。更具體而言，距離 DI 可設定為介於 $10\mu\text{m}$ 與 $40\mu\text{m}$ 之間。

【0021】 在圖 2 的架構之下，矽晶直通孔 110 和 120 之間可依據其電氣特性而以例如圖 3A 繪示的等效電路來呈現。圖 3A 是依據本發明之一實施例繪示的半導體元件之內連接結構的等效電路圖。在本實施例中，由於矽晶直通孔 110 和 120 自身皆為導電材料，因而可分別以串聯的多個等效電阻 R 及 R' 來表示。此外，由於矽晶直通孔 110 和 120 之間的距離實質上皆等於距離 DI，因而使得矽晶直通孔 110 和 120 之間可等效形成多個具有特定電容值的電容結構 CS (例如包括電容 CC 和 CC')。為了方便說明，以下將圖 3A 的電路結構簡化為以下圖 3B 的形式來表示。

【0022】 圖 3B 是依據圖 3A 繪示的半導體元件之內連接結構的等效電路圖。在本實施例中，分別以等效電阻 R1 及 R2 來表示矽晶直通孔 110 和 120。此外，矽晶直通孔 110 和 120 之間可用電容結構 310 (例如是串聯的電容 312 及 314) 來表徵。由於電容結構 310 是由電容 312 及 314 串聯而成，因此，電容結構 310 的電容值 (以 C_{total} 表示) 可依據 $C_{\text{total}}^{-1} = C_1^{-1} + C_2^{-1}$ 的式子求得，其中， C_1 和 C_2 分別為電容 312 及 314 的電容值。

【0023】 從另一觀點而言，由於矽晶直通孔 110 和 120 之間的距離皆是距離 DI ，使得矽晶直通孔 110 和 120 在相互耦合時所形成的電容結構相當穩定。如此一來，當矽晶直通孔 110（或矽晶直通孔 120）被實際應用在傳輸訊號至晶片 140 時，即可因所述穩定電容結構所對應的穩定電容值而達到較高的傳輸速度。

【0024】 為了驗證圖 2 及圖 3B 中繪示的結構確實可達到較佳的 C-V 特性，本領域具通常知識者可透過分別在矽晶直通孔 110 及 120 下針的方式來量測矽晶直通孔 110 及 120 在不同頻率測試訊號下的 C-V 特性，進而得出例如圖 4 所繪示的結果。

【0025】 圖 4 是依據圖 2 實施例繪示的矽晶直通孔的 C-V 量測結果。在本實施例中，採用了實質上等於 $40\mu\text{m}$ 的距離 DI 來做為驗證半導體元件之內連接結構 100 效能的配置。在圖 4 中，不同的曲線代表在矽晶直通孔 110 及 120 上所施加的不同頻率的測試訊號。其中，曲線 410~450 例如是當測試訊號的頻率分別為 10kHz、100kHz、300 kHz、500 kHz 以及 1MHz 時，矽晶直通孔 110 及 120 所呈現的 C-V 特性曲線。

【0026】 如同圖 4 所繪示，當在矽晶直通孔 110 及 120 施加不同頻率的測試訊號時，矽晶直通孔 110 及 120 所呈現的 C-V 特性曲線實質上皆具有左右對稱（即，對稱於 V_{TSV} 為 0 處）的特性。並且，隨著測試訊號的頻率增加，矽晶直通孔 110 及 120 對應於不同 V_{TSV} 的電容值（ C_{total} ）也越趨下降。此外，當測試訊號的頻率增加到 1MHz 時，其所對應的 C-V 特性曲線呈現低、平均且穩定

的電容值。以下將同時參照圖 1 以及圖 3B 來說明圖 4 中各個曲線的形成原理。

【0027】 舉例而言，當在矽晶直通孔 110 上施加低頻且高 V_{TSV} 的測試訊號時，矽晶直通孔 110 將運作於例如圖 1 中曲線 D 的反轉區域。此時，矽晶直通孔 120 將因具有與矽晶直通孔 110 相反的電壓極性而位於例如曲線 D 中的累積區域。因此，電容結構 310 的電容值 (C_{total}) 可依據 $C_{total}^{-1}=C_1^{-1}+C_2^{-1}=C_{acc}^{-1}+C_{inv}^{-1}$ 的式子而求得。其中， C_{acc} 為矽晶直通孔 110 在累積區域中的電容值， C_{inv} 為矽晶直通孔 120 在反轉區域中的電容值。因此，電容結構 310 的電容值 (C_{total}) 將呈現偏高的電容值。以曲線 410 (即，對應於低頻測試訊號的 C-V 特性曲線) 為例，其對應於高 V_{TSV} 的區域例如是圖 4 中的區域 A1，但本發明不限於此。

【0028】 舉另一例而言，當在矽晶直通孔 110 上施加低頻且低 V_{TSV} 的測試訊號時，矽晶直通孔 110 將運作於例如圖 1 中曲線 D 的空乏區域。此時，矽晶直通孔 120 將因具有與矽晶直通孔 110 相反的電壓極性而同樣位於例如曲線 D 中的空乏區域。因此，電容結構 310 的電容值 (C_{total}) 可依據 $C_{total}^{-1}=C_1^{-1}+C_2^{-1}=C_{d1}^{-1}+C_{d2}^{-1}$ 的式子而求得。其中， C_{d1} 為矽晶直通孔 110 在空乏區域中的電容值， C_{d2} 為矽晶直通孔 120 在空乏區域中的電容值。因此，電容結構 310 的電容值 (C_{total}) 將呈現偏低的電容值。此處同樣以曲線 410 (即，對應於低頻測試訊號的 C-V 特性曲線) 為例，其對應於低 V_{TSV} 的區域例如是圖 4 中的區域 A2，但本發明不限於此。

【0029】此外，當在矽晶直通孔 110 上施加高頻且高 V_{TSV} 的測試訊號時，矽晶直通孔 110 將運作於例如圖 1 中曲線 A 的最大空乏區域。此時，矽晶直通孔 120 將因具有與矽晶直通孔 110 相反的電壓極性而位於例如曲線 A 中的累積區域。因此，電容結構 310 的電容值 (C_{total}) 可依據 $C_{total}^{-1}=C_1^{-1}+C_2^{-1}=C_{acc}^{-1}+C_{dd}^{-1}$ 的式子而求得。其中， C_{dd} 為矽晶直通孔 110 在最大空乏區域中的電容值， C_{acc} 為矽晶直通孔 120 在累積區域中的電容值。因此，電容結構 310 的電容值 (C_{total}) 將呈現偏低的電容值。以曲線 450 (即，對應於高頻測試訊號的 C-V 特性曲線) 為例，其對應於高 V_{TSV} 的區域例如是圖 4 中的區域 A3，但本發明不限於此。

【0030】再者，當在矽晶直通孔 110 上施加高頻且低 V_{TSV} 的測試訊號時，矽晶直通孔 110 將運作於例如圖 1 中曲線 A 的空乏區域。此時，矽晶直通孔 120 將因具有與矽晶直通孔 110 相反的電壓極性而同樣位於例如曲線 A 中的空乏區域。因此，電容結構 310 的電容值 (C_{total}) 可依據 $C_{total}^{-1}=C_1^{-1}+C_2^{-1}=C_{d1}^{-1}+C_{d2}^{-1}$ 的式子而求得。其中， C_{d1} 為矽晶直通孔 110 在空乏區域中的電容值， C_{d2} 為矽晶直通孔 120 在空乏區域中的電容值。因此，電容結構 310 的電容值 (C_{total}) 將呈現偏低的電容值。以曲線 450 (即，對應於高頻測試訊號的 C-V 特性曲線) 為例，其對應於低 V_{TSV} 的區域例如是圖 4 中的區域 A4，但本發明不限於此。

【0031】如同先前所提及的，當矽晶直通孔 110 和 120 的電容值具有低而穩定的特性時，可使得半導體元件之內連接結構 100 在

應用於傳輸訊號時達到更高的傳輸速度。以圖 4 中的參考點 410_1 為例，其為曲線 410 對應於-20V 的 V_{TSV} 的電容值。接著，請參照參考點 450_1，其為曲線 450 對應於-20V 的 V_{TSV} 的電容值。如圖 4 所示，參考點 410_1 所對應的電容值約為 100 fF，而參考點 450_1 所對應的電容值約為 5 fF。換言之，當測試訊號的頻率從 10kHz 增加到 1MHz 時，對應於-20V 的 V_{TSV} 的電容值下降了約 20 倍，因而可大幅提升半導體連接結構 100 在傳輸訊號的速度。

【0032】 並且，由於矽晶直通孔 110 及 120 的結構實質上相當類似，因此在半導體元件之內連接結構 100 的製程中，不需額外付出多餘的成本來研發新的結構，只需同樣以一般製造矽晶直通孔的製程來製造矽晶直通孔 110 及 120 即可。換言之，半導體元件之內連接結構 100 的製程複雜度不會因而增加。

【0033】 在一實施例中，當半導體元件之內連接結構 100 實際應用於傳輸訊號時，一般僅透過矽晶直通孔 110 及 120 的其中之一來傳輸訊號，而另一個未用於傳輸訊號的矽晶直通孔則可依據半導體元件之內連接結構 100 的應用情況而連接至不同的電壓。

【0034】 圖 5A 是依據本發明之一實施例繪示的當半導體元件之內連接結構用於傳輸射頻訊號的示意圖。在本實施例中，在矽晶直通孔 110 用於傳輸射頻訊號 RF 的情況下，矽晶直通孔 120 的第一端可連接至預設電壓 VDD，矽晶直通孔 120 的第二端可連接至接地電壓 GND。或者，在其他實施例中，矽晶直通孔 120 的第二端亦可連接至一浮接電壓 (floating voltage)。

【0035】圖 5B 是依據本發明之一實施例繪示的當半導體元件之內連接結構用於傳輸數位訊號的示意圖。在本實施例中，在矽晶直通孔 110 用於傳輸數位訊號 DS 的情況下，矽晶直通孔 120 的第一端可連接至預設電壓 VDD，矽晶直通孔 120 的第二端可連接至接地電壓 GND。或者，在其他實施例中，矽晶直通孔 120 的第二端亦可連接至浮接電壓。

【0036】圖 5C 是依據本發明之一實施例繪示的當半導體元件之內連接結構用於傳輸數位訊號的示意圖。在本實施例中，矽晶直通孔 110 用於傳輸數位訊號 LDS（例如是頻率低於 1MHz 的數位訊號）的情況下，矽晶直通孔 120 的第一端可連接至高於 0.5MHz 的高頻訊號 HF，矽晶直通孔 120 的第二端可連接至接地電壓 GND。如此一來，矽晶直通孔 120 即可在矽晶直通孔 110 傳輸數位訊號 LDS 時，反應於高頻訊號 HF 而提供矽晶直通孔 110 耦合的效果。

【0037】圖 6A 是依據本發明之一實施例繪示的半導體元件之內連接結構的俯視圖。在本實施例中，半導體元件之內連接結構 600 包括矽晶直通孔 610 及 620。其中，矽晶直通孔 610 及 620 為貫穿半導體基材 630 且相互平行的兩柱體。圖 6B 是依據本發明另一實施例繪示的半導體元件之內連接結構的俯視圖。在本實施例中，矽晶直通孔 610 可為貫穿半導體基材 630 的柱體，而矽晶直通孔 620 可為貫穿半導體基材 630 並圍繞矽晶直通孔 610 的一管體。此外，矽晶直通孔 620 可更以其他與矽晶直通孔 610 相距一距離（介

於 $2\mu\text{m}$ 至 $40\mu\text{m}$) 的方式配置於半導體元件之內連接結構 600 之中。

【0038】 圖 7 是依據本發明之一實施例繪示的半導體元件之內連接結構示意圖。在本實施例中，矽晶直通孔 110 可連接於第一晶片 710 以及第二晶片 720 (例如是晶片 140) 之間，用於在第一晶片 710 以及第二晶片 720 之間傳送例如前述的數位訊號 LDS、DS 及/或射頻訊號 RF 的訊號。矽晶直通孔 720 可耦接乘法器 740。乘法器 140 可用於將預設電壓 VDD 與脈波 PT 相乘，再傳輸至矽晶直通孔 120。在圖 7 的架構下，矽晶直通孔 120 即可在矽晶直通孔 110 傳輸第一晶片 710 以及第二晶片 720 之間的訊號時，與矽晶直通孔 110 產生先前教示的耦合作用。如此一來，矽晶直通孔 110 以及 120 之間即可等效形成穩定的電容結構，進而提升第一晶片 710 以及第二晶片 720 之間的訊號傳輸速度。

【0039】 綜上所述，在本發明實施例提供的半導體元件之內連接結構中，由於在用於傳輸訊號的矽晶直通孔外更配置了具有相似結構的另一矽晶直通孔，使得兩個矽晶直通孔之間可等效形成穩定的電容結構。如此一來，半導體元件之內連接結構可因此電容結構的所提供的低而穩定的電容值而有效地提升訊號傳輸的速度。此外，由於半導體元件之內連接結構所包括的兩個矽晶直通孔實質上為相似的結構，使得半導體元件之內連接結構的製程複雜度不會因配置所述另一矽晶直通孔而增加。

【0040】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的

精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0041】

100、500、600：半導體元件之內連接結構

110、120、610、620：矽晶直通孔

130、630：半導體基材

140：晶片

150：介電層

CS、310：電容結構

CC、CC'、312、314：電容

410_1、450_1：參考點

710：第一晶片

720：第二晶片

740：乘法器

A、B、C、D、410~450：曲線

A1~A4：區域

DI、DI'：距離

DS、LDS：數位訊號

GND：接地電壓

HF：高頻訊號

PT：脈波

R、R'、R1、R2：等效電阻

RF：射頻訊號

VDD：預設電壓

申請專利範圍

1. 一種半導體元件之內連接結構，架構於一半導體基材內，該內連接結構包括：

一第一矽晶直通孔，貫穿該半導體基材；以及

一第二矽晶直通孔，貫穿該半導體基材，該第一矽晶直通孔與該第二矽晶直通孔相互間隔一距離，

其中，該距離介於 $2\mu\text{m}$ 以及 $40\mu\text{m}$ 之間。

2. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該距離介於 $10\mu\text{m}$ 與 $40\mu\text{m}$ 之間。

3. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該第一矽晶直通孔用以傳輸一射頻訊號，該第二矽晶直通孔的一第一端連接至一預設電壓，該第二矽晶直通孔的一第二端連接至一接地電壓。

4. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該第一矽晶直通孔用以傳輸一數位訊號，該第二矽晶直通孔的一第一端連接至一預設電壓，該第二矽晶直通孔的一第二端連接至一接地電壓或是一浮接電壓。

5. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該第一矽晶直通孔用以傳輸頻率低於 1MHz 的一數位訊號，且該第二矽晶直通孔連接至頻率高於 0.5MHz 的一高頻訊號。

6. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該第一矽晶直通孔以及該第二矽晶直通孔為相互平行的兩柱

體。

7. 如申請專利範圍第 1 項所述的半導體元件之內連接結構，其中該第一矽晶直通孔為一柱體，而該第二矽晶直通孔為圍繞該第一矽晶直通孔的一管體。

圖式

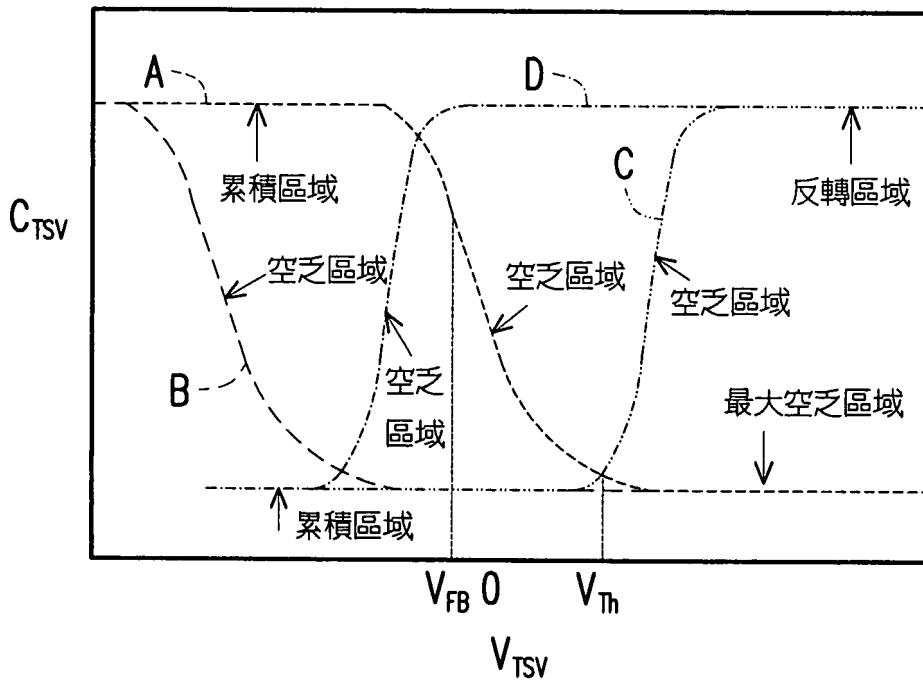


圖 1

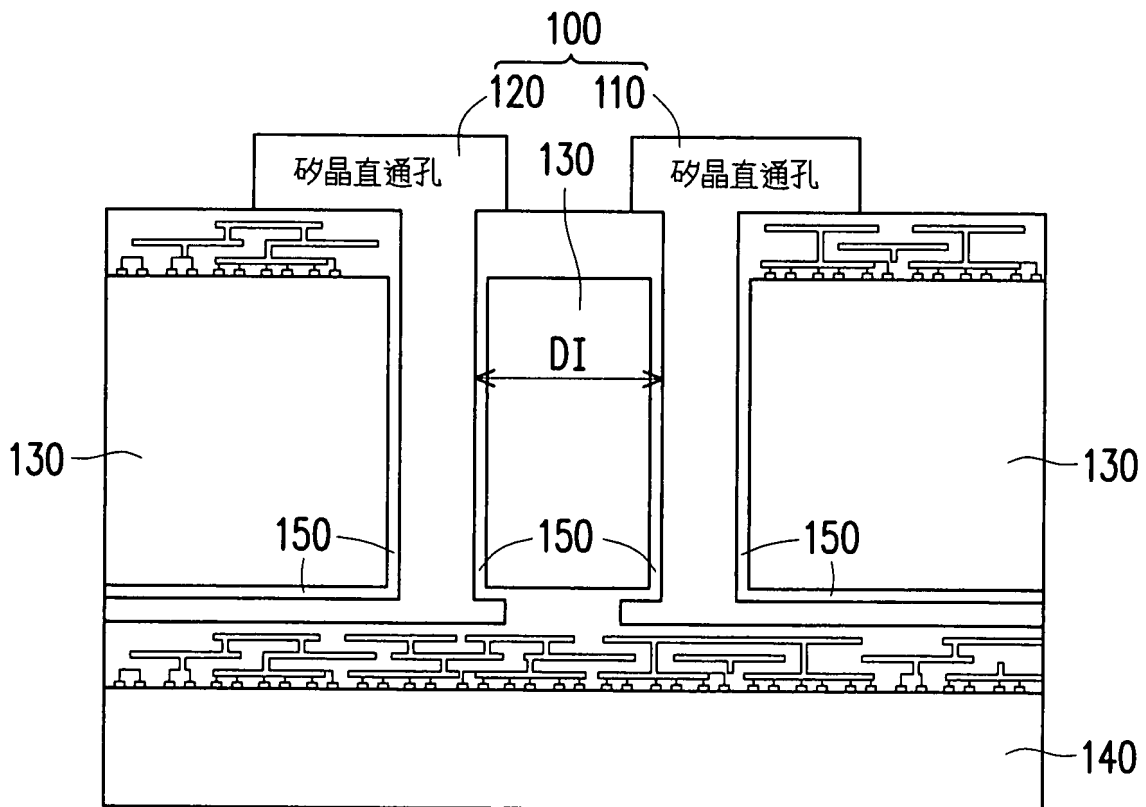


圖 2

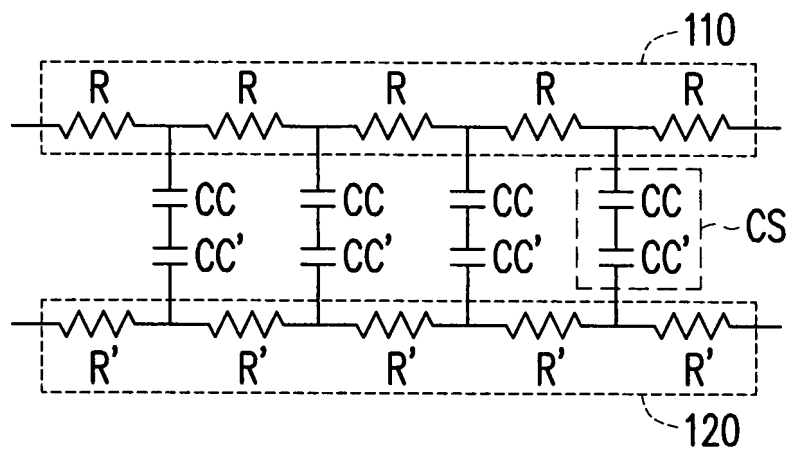


圖 3A

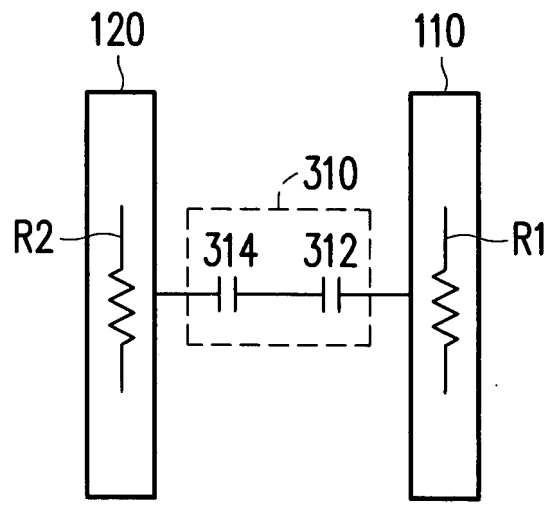


圖 3B

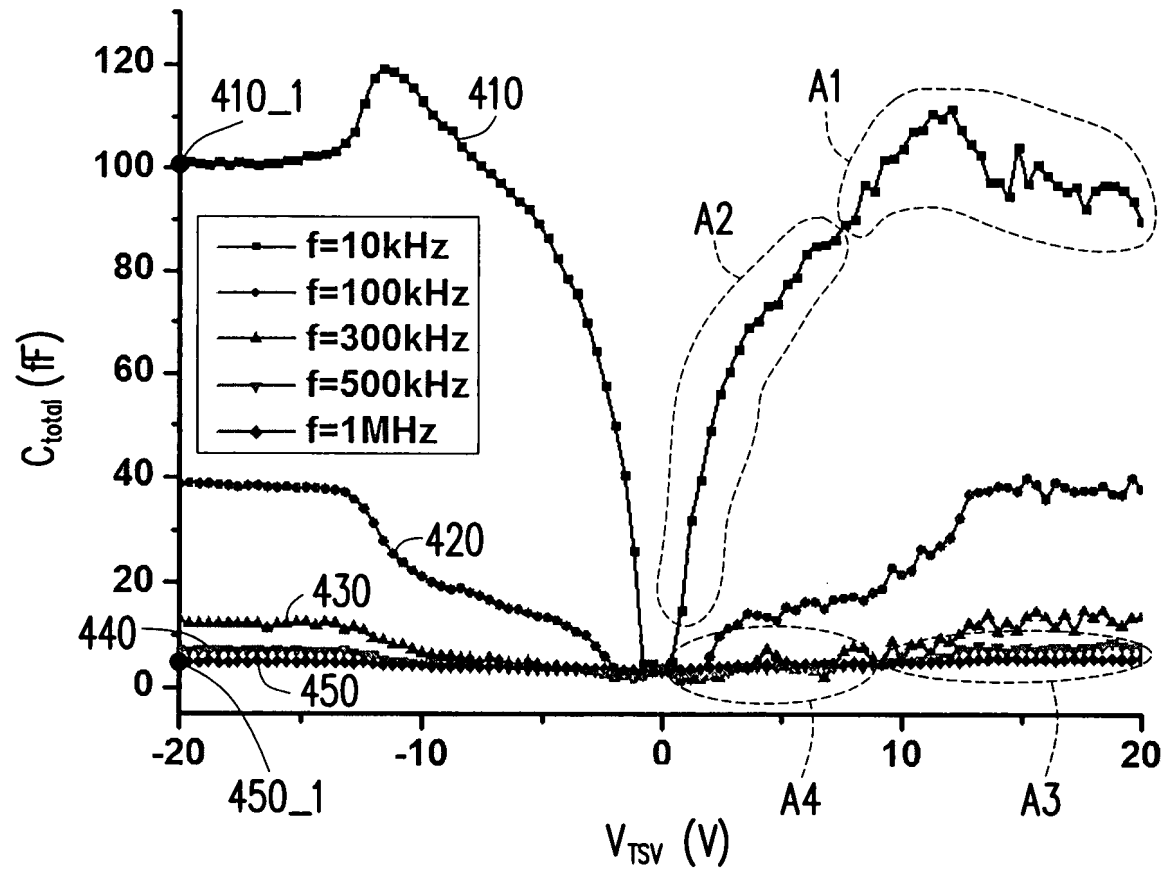


圖 4

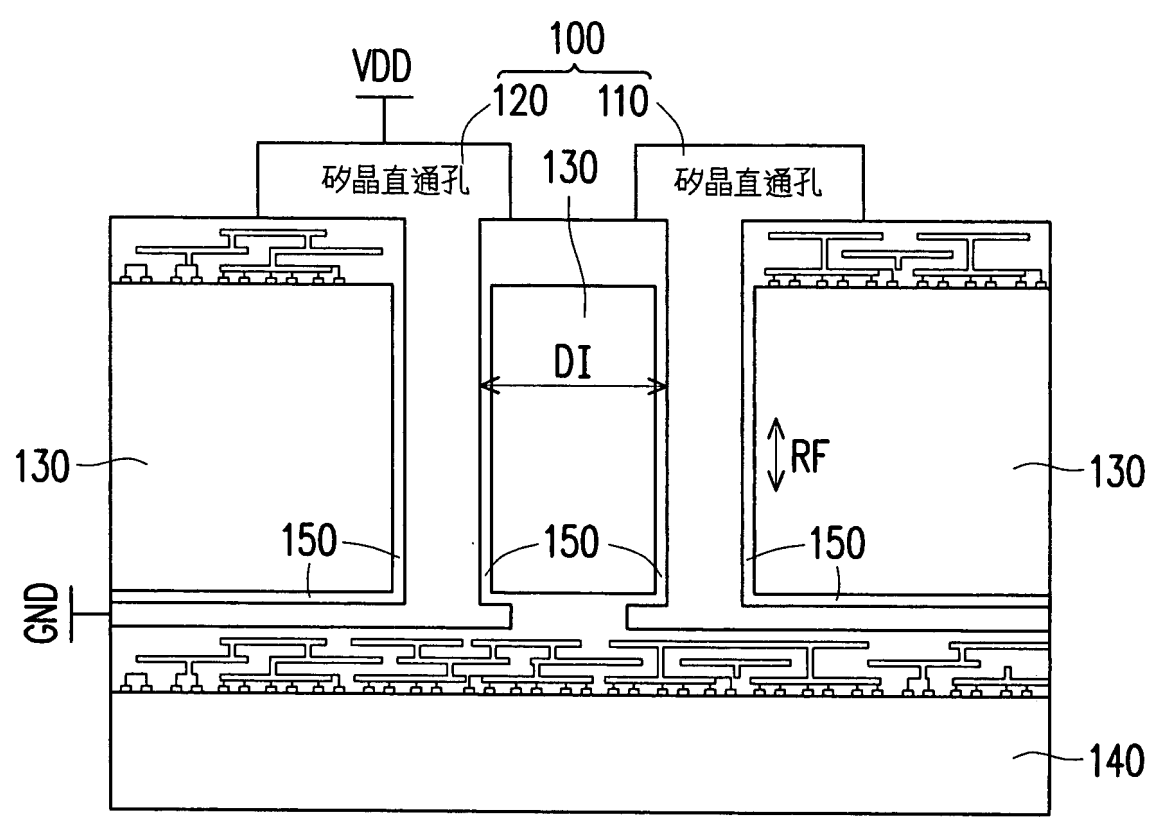


圖 5A

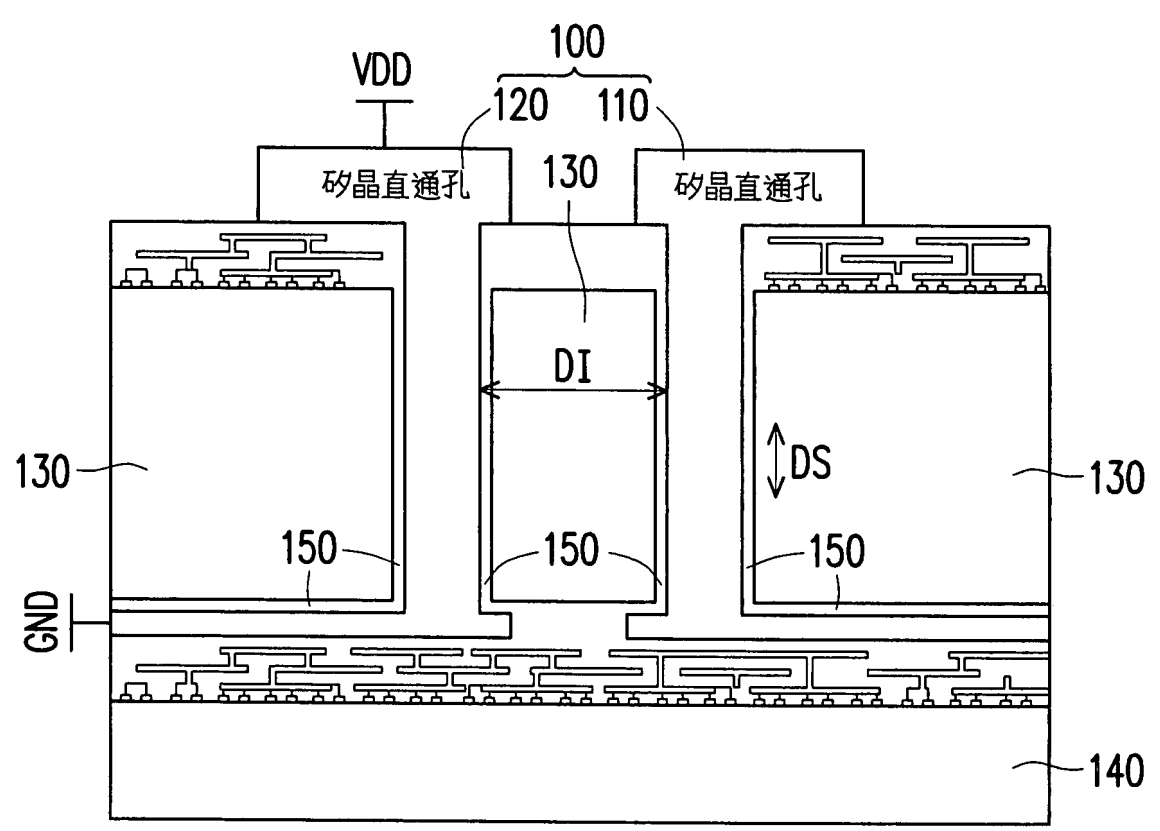


圖 5B

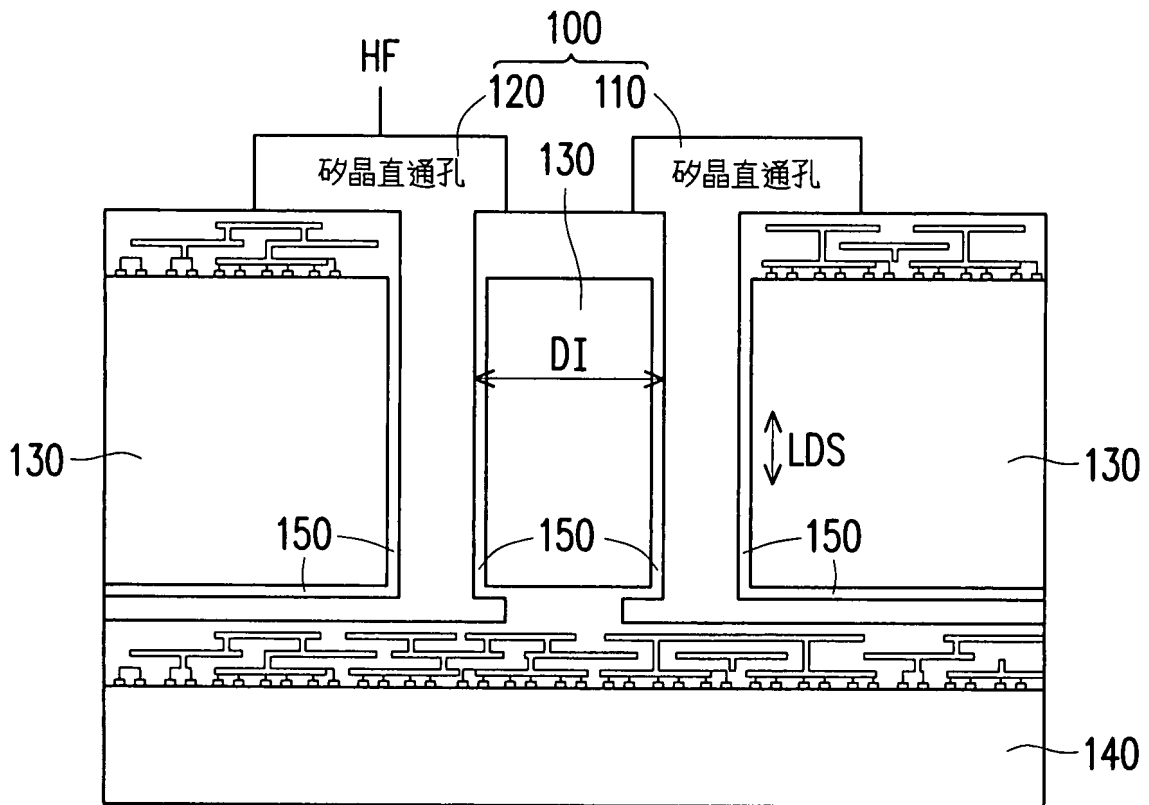


圖 5C

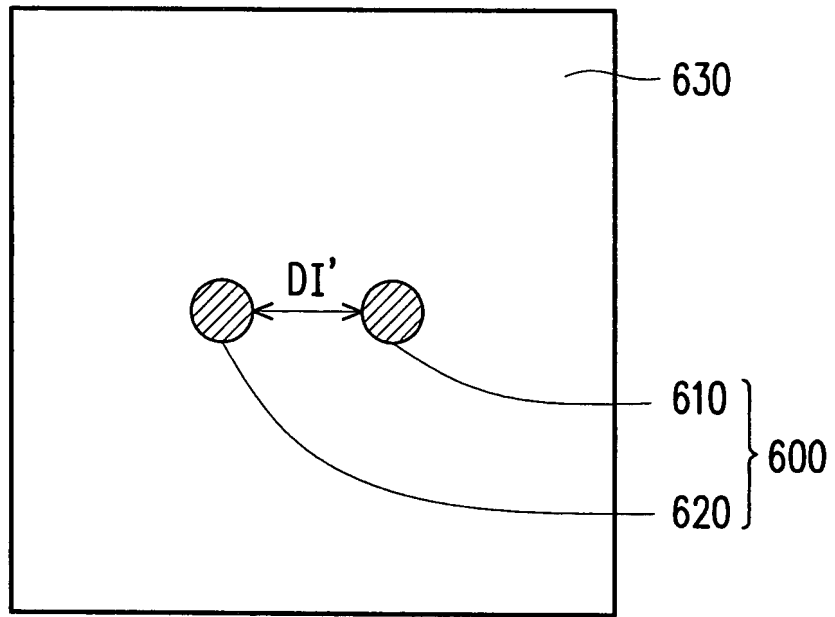


圖 6A

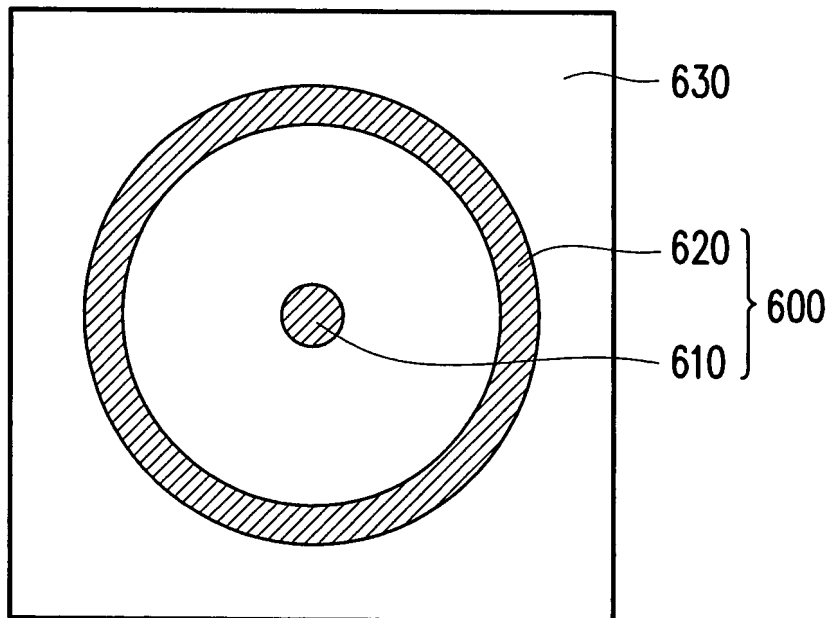


圖 6B

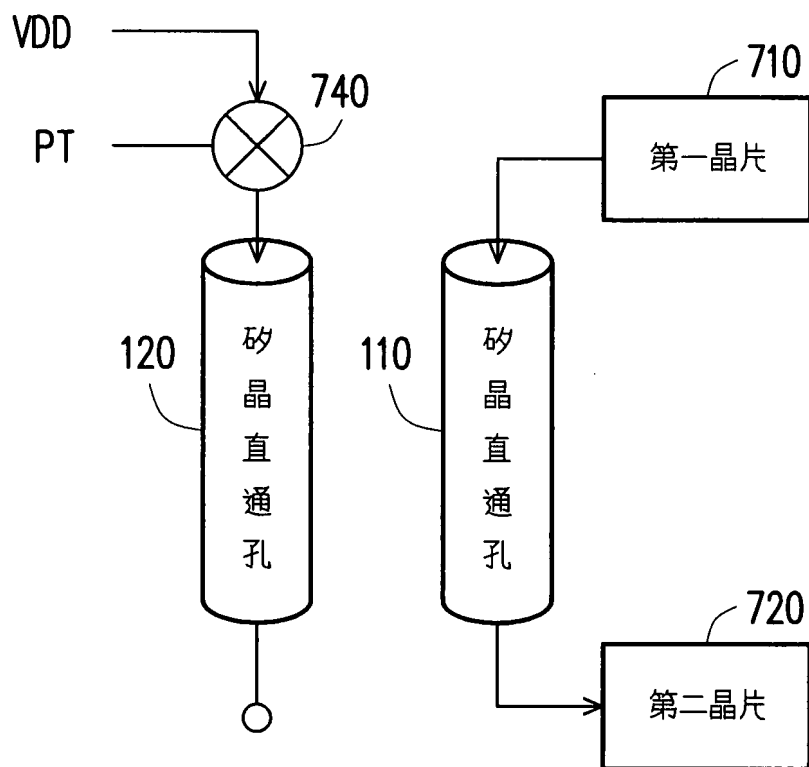


圖 7