



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I476768 B

(45) 公告日：中華民國 104 (2015) 年 03 月 11 日

(21) 申請案號：100138258

(22) 申請日：中華民國 100 (2011) 年 10 月 21 日

(51) Int. Cl. : G11C11/412 (2006.01)

G11C11/417 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW) ; 陳盈年 CHEN, YIN NIEN (TW) ; 謝建宇 HSIEH, CHIEN YU (TW) ; 范銘隆 FAN, MING LONG (TW) ; 胡璧合 HU, PI HO (TW) ; 蘇彬 SU, PIN (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW I267858

TW 201040964

US 20060068531A1

US 2007/0189060A1

US 2008/0084733A1

US 2010/0165707A1

US 2011/0068400A1

審查人員：劉聖尉

申請專利範圍項數：10 項 圖式數：4 共 24 頁

(54) 名稱

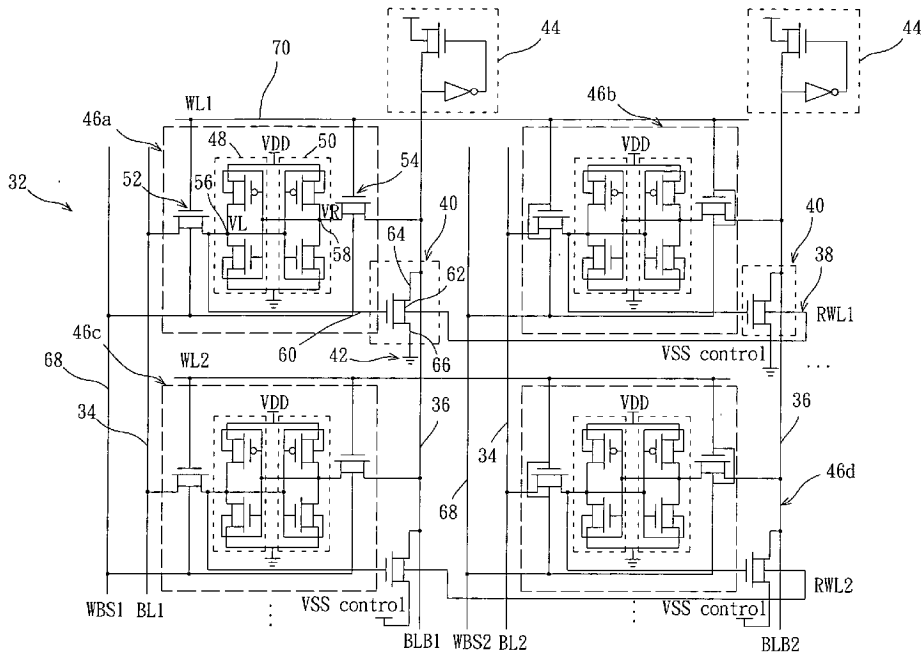
獨立閘極控制靜態隨機存取記憶體

A STATIC RANDOM ACCESS MEMORY (SRAM) CELL

(57) 摘要

本發明提供一種靜態隨機存取記憶體，為七顆鰭狀電晶體架構，其使用獨立閘極超高臨界電壓的鰭狀場效電晶體，達到類似堆疊性質以消除讀取干擾以及半選取干擾，同時使用保持電路和讀取電壓控制，來降低讀取時位元線上的漏電流。再者，能有效解決先前技術使用六顆電晶體的 SRAM 架構，操作於較低電壓下，容易發生讀取錯誤的問題。

The present invention provides a static random access memory (SRAM) cell, which uses 7 Independently controlled Gate FinFET structure. The cell utilizes the "stacking-like" property of split-gate super-high-VT FinFET to eliminate Read disturb and Half-Select disturb, and keeper circuit and read voltage(VSS) control to mitigate Read bit-line leakage. Furthermore, the operations of this new SRAM cell can effectively solve that read failure problem at low voltage in 6T cell.



第 3 圖

- 32 . . . 記憶單元陣列
- 34 . . . 第一位元線
- 36 . . . 第二位元線
- 38 . . . 讀取控制線
- 40 . . . 讀取控制結狀場效電晶體
- 42 . . . 讀取電壓控制線
- 44 . . . 保持電路
- 46a、46b、46c、46d . . . 記憶單元
- 48 . . . 第一反相器
- 50 . . . 第二反相器
- 52 . . . 第一控制結狀電晶體
- 54 . . . 第二控制結狀電晶體
- 56 . . . 第一儲存節點
- 58 . . . 第二儲存節點
- 60 . . . 第一控制閘極
- 62 . . . 第二控制閘極
- 64 . . . 汲極
- 66 . . . 源極
- 68 . . . 寫入位元選擇線
- 70 . . . 寫入控制線

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100138258

※申請日：100.10.21

※IPC 分類：G11C 11/412 (2006.01)

G11C 11/419 (2006.01)

## 一、發明名稱：(中文/英文)

獨立閘極控制靜態隨機存取記憶體 / a static random access memory (SRAM) cell

## 二、中文發明摘要：

本發明提供一種靜態隨機存取記憶體，為七顆鰭狀電晶體架構，其使用獨立閘極超高臨界電壓的鰭狀場效電晶體，達到類似堆疊性質以消除讀取干擾以及半選取干擾，同時使用保持電路和讀取電壓控制，來降低讀取時位元線上的漏電流。再者，能有效解決先前技術使用六顆電晶體的 SRAM 架構，操作於較低電壓下，容易發生讀取錯誤的問題。

## 三、英文發明摘要：

The present invention provides a static random access memory (SRAM) cell, which uses 7 Independently controlled Gate FinFET structure. The cell utilizes the "stacking-like" property of split-gate super-high-VT FinFET to eliminate Read disturb and Half-Select disturb, and keeper circuit and read voltage(VSS) control to mitigate Read bit-line leakage. Furthermore, the operations of this new SRAM cell can effectively solve that read failure problem at low voltage in 6T cell.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

- 32 記憶單元陣列
- 34 第一位元線
- 36 第二位元線
- 38 讀取控制線
- 40 讀取控制鰭狀場效電晶體
- 42 讀取電壓控制線
- 44 保持電路
- 46a、46b、46c、46d 記憶單元
- 48 第一反相器
- 50 第二反相器
- 52 第一控制鰭狀電晶體
- 54 第二控制鰭狀電晶體
- 56 第一儲存節點
- 58 第二儲存節點
- 60 第一控制閘極
- 62 第二控制閘極
- 64 汲極
- 66 源極
- 68 寫入位元選擇線
- 70 寫入控制線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種靜態隨機存取記憶體，特別是指一種使用獨立閘極控制的鰭狀場效電晶體來達到無干擾特性的靜態隨機存取記憶體。

### 【先前技術】

現今各類硬體、通訊、消費性電子產品及微處理器都須要嵌入式記憶體來做儲存，如靜態隨機存取記憶體（Static Random Access Memory, SRAM）。隨著對尺寸縮小的要求更加嚴格，當半導體業界將半導體元件（CMOS 場效電晶體）製程開始微縮至 20nm，傳統平面式 CMOS 達到物理上繼續微縮的極限後，鰭狀場效電晶體（FinFET）成為是下一代極有潛力的競爭者。鰭狀場效電晶體可增強閘極對通道之控制能力，因此有較佳短通道效應（Short Channel Effect）、較好的  $I_{on}/I_{off}$  電流比值、較好的次臨界擺幅、較小的漏電流以及較佳的變異免疫能力，故成為未來世代發展的趨勢。而 SRAM（靜態隨機存取記憶體）尤其為所有內嵌式記憶體中最重要且佔最大比例，因此使用鰭狀場效電晶體，可使半導體晶片尺寸大幅縮小，以及有效降低每一邏輯閘所需功率。

如第 1 圖所示，為先前技術之六顆電晶體（6T）之靜態隨機存取記憶體之示意圖，6T 靜態隨機存取記憶體，係包含複數個記憶胞，在此以四個記憶胞 10a、10b、10c 及 10d 為例說明，其中每一記憶胞的結構皆相同，在此以記憶胞 10a 為例，來進一說明細部結構，其包含一交叉耦接之第一反相器 12 及第二反相器 14、第一通閘電晶體 28 及第二通閘電晶體 30。其中反相器 12 之儲存節點 16 直接連接至反相器 14 之一 P 型電晶體 18 及一 N

型電晶體 20 之閘極。反相器 14 之儲存節點 22 直接連接至反相器 12 之一 P 型電晶體 24 及一 N 型電晶體 26 之閘極。反相器 12 之 N 型電晶體 26 的源極耦接至地，反相器 12 之 P 型電晶體 24 的源極耦接至記憶胞之供應電壓 ( $V_{cs}$ )。反相器 14 之 N 型電晶體 20 的源極耦接至接地，反相器 14 之 P 型電晶體 18 的源極耦接至記憶胞之供應電壓 ( $V_{cs}$ )。其中將至少二共通字元線，如 WL1 及 WL2，WL1 連接同一水平方向的此些記憶胞 10a 及 10b，WL2 及連接同一水平方向的此些記憶胞 10c 及 10d 之第一通閘電晶體 28 及第二通閘電晶體 30。在讀取或寫入反相器 12 之儲存節點 16 時，係由 WL1 或 WL2 打開，以控制第一通閘電晶體 28 來進行動作，其中，第一通閘電晶體 28 連接至位元線 (BL1 或 BL2)。在讀取或寫入反相器 14 之儲存節點 22 時，係由 WL1 或 WL2 打開，以控制第二通閘電晶體 30 來進行動作，其中，第二通閘電晶體 30 連接至互補位元線 (BR1 或 BR2)。第一通閘電晶體 28 及第二通閘電晶體 30 由共通字元線 (WL1 或 WL2) 所控制。以被選取的記憶胞 10a 進行讀取為例說明，當記憶胞進行讀取或寫入前，BL1 及 BR1 會預先充電至高電位為 1，而當記憶胞 10a 進行讀取或寫入時，BL1 及 BR1 是 floating 狀態。若反相器 12 之儲存節點 16 的儲存資料為 0，反相器 14 之儲存節點 22 的儲存資料為 1 之狀態下，由 WL1 同時打開第一通閘電晶體 28 及第二通閘電晶體 30，藉由反相器 12 之 N 型電晶體 26 之放電路徑使得在儲存節點 16 為 0 的情況下 BL1 被成功放電，而 BR1 維持一高電位，因此資料可成功被讀取。然而，此 6T 靜態隨機存取記憶體於讀取時，會產生兩個嚴重的問題，第一，由於 WL1 同時開啟同一水平方向的記憶胞 10a 及 10b，因此未被選擇讀取的此些記憶胞 10b 即會有漏電流現

象，造成鄰近儲存資料"0"的位元線有 discharge 的可能性，甚至進而將儲存的資料翻掉 (flipped the data) 造成之後讀取此 cell 時資料讀取錯誤。第二，記憶胞 10a 之第一通閘電晶體 28 及第二通閘電晶體 30 皆為開啟狀態時，第一通閘電晶體 28 與反相器 12 之 N 型電晶體 26 會形成分壓電路，而原本儲存節點 16 為 0 的情況會有一個電壓形成 (Read Disturb)，當儲存節點 16 的節點電壓再加 N 型電晶體 26 上的雜訊干擾時，操作於低電壓下，就很容易大於反相器 14 之臨界反轉電壓 (Trip Voltage)，因此反相器 14 內存資料就會被改寫而造成資料讀取錯誤的問題。

為了改善上述 6T 靜態隨機存取記憶體因漏電流、雜訊問題及操作於低電壓下會造成資料讀取錯誤的問題，請一併參閱第 2 圖，為 6T 交叉點結構 (6T-Column-Decoupled) 靜態隨機存取記憶體，其與 6T 靜態隨機存取記憶體差異是在於：沿著同一垂直方向的複數記憶胞新增一位元選擇線，在此為配合 6T 靜態隨機存取記憶體架構，故位元選擇線以數量為二，BS1 及 BS2 為例。在此，以被選取的記憶胞 10a 進行讀取為例說明，當讀取時，由於 BS1 係連接第一通閘電晶體 28 及第二通閘電晶體 30 的背閘極，WL1 係連接第一通閘電晶體 28 及第二通閘電晶體 30 的前閘極，於讀取時，只有被選到的記憶胞 10a，其第一通閘電晶體 28 及第二通閘電晶體 30 的前、後閘極會被導通，才進行讀取的動作，如此可改善 6T 靜態隨機存取記憶體於讀取時，記憶胞 10b 漏電流嚴重的問題。惟，於讀取時，WL1 是同時將同一水平方向的記憶胞 10b 之第一通閘電晶體 28 及第二通閘電晶體 30 的前閘極全都導通，且 BS1 同時將同一垂直方向的記憶胞 10c 之第一通閘電晶體 28 及第二通閘電晶體 30 的背閘極全都導通。雖然未被選取的記憶胞



10b、10c 的第一通閘電晶體 28 及第二通閘電晶體 30 只會呈現半導通狀態，也就是所謂的半選擇性干擾（Half-select Disturb），不會實際被執行讀取動作。比起第 1 圖使用 6T 的記憶胞而言，由於讀取時，沿著水平方向未被選取的記憶胞 10b 的第一通閘及第二通閘電晶體只有其中一個閘極是導通的，故其 Half-select Disturb 可以被 mitigate。同時，第 2 圖的架構仍未解決第 1 圖中，由於讀取干擾（Read Disturb）所造成的靜態雜訊邊界（RSNM）下降，甚至可能翻掉儲存資料點的可能性，並限制了所可到的最低操作電壓。除此之外，單一閘極於導通狀態下所產生的漏電流，會漸漸地釋放掉位元線 BL1 或 BR1 上的電壓，而造成讀取錯誤，也就是說，沿著被選取記憶胞的垂直方向，此些記憶胞由於其通閘電晶體的背閘極為導通的而呈現半導通的狀態，隨著一條位元線上掛著的記憶胞數量的增加，此些半導通電晶體所產生的漏電流可能會使得被選取的記憶胞儲存的資料翻掉而造成讀取資料錯誤。同時由於極微小尺寸的元件其更為嚴重的製程變異以及元件本質變異，因此更加限制了一個位元線上所能允許的單元數目。

有鑑於此，本發明遂針對上述先前技術之缺失，提出一種靜態隨機存取記憶體，以有效克服上述之該等問題。

### 【發明內容】

本發明之主要目的在提供一種靜態隨機存取記憶體，將原本 6T 靜態隨機存取記憶體改成獨立閘極控制之 7T 靜態隨機存取記憶體，以改善半選擇性干擾以及讀取時靜態雜訊邊界，進而解決資料讀取錯誤的問題。

本發明之另一目的在提供一種靜態隨機存取記憶體，其將儲存資料點與讀取電路路徑分開，以達到無干擾及提升優異的讀取穩定性。

本發明之再一目的在提供一種靜態隨機存取記憶體，使用鰭狀電晶體作為兩個可獨立閘極控制之功能，可以提供更多的功能性來增加記憶胞的穩定性，以及對於本質參數變異的免疫性。獨立閘極控制和傳統平面 CMOS 相比，能達到相同的功能，使用鰭狀電晶體 (FinFET) 可具體簡化靜態隨機存取記憶體整體的電路佈局及有效縮小面積，因此能製造出較高密度態隨機存取記憶體。

為達上述之目的，本發明提供一種靜態隨機存取記憶體，包括一記憶單元陣列，係供存取至少一資料 (每一 cell 可儲存一資料，於實施例中詳述即可)，記憶單元陣列包含複數個記憶單元，每一記憶單元包含一交叉耦接之第一反相器及第二反相器、連接第一反相器之第一控制鰭狀電晶體以及連接第二反相器之一第二控制鰭狀電晶體。複數個第一、第二位元線，在讀取資料時，提供一高電位電壓，也就是先將第一、第二位元線預先充電至高電位為 1，而當記憶單元進行讀取或寫入時，BL 及 BLB 是 floating 狀態。每一第一、第二位元線分別連接第一控制鰭狀電晶體及第二控制鰭狀電晶體。複數個讀取控制線，每一讀取控制線連接同一水平方向的此些記憶單元，被選取到的記憶單元，讀取控制線即提供一讀取電壓予記憶單元。

複數個讀取控制鰭狀場效電晶體，每一讀取控制鰭狀場效電晶體連接每一記憶單元及第二位元線，用以控制資料讀取；其中，每一讀取控制鰭狀場效電晶體包含一第一控制閘極，連接第一反相器之一第一儲存節點，目的在於：為了考慮資料儲存的各種拓撲，因此藉由上述之電路連接設計可以使漏電流較低；一第二控制閘極，連接對應之讀取控制線；一汲極，

連接第二位元線；及一源極。複數個讀取電壓控制線，每一讀取電壓控制線連接源極，決定此些記憶單元連接的電壓舉例來說，第一控制閘極及第二控制閘極皆為高電位時，讀取控制鰭狀場效電晶體呈導通狀態，第一控制閘極或第二控制閘極為高電位時，讀取控制鰭狀場效電晶體呈半導通狀態，當記憶單元被選取為讀取狀態時，則讀取電壓控制線連接至地，而未被選取為讀取狀態時，則讀取電壓控制線連接至電壓源之電位；如此一來，可有效降低漏電流的問題。複數個保持電路，於第二位元線為高電位時，為了補償讀取控制鰭狀場效電晶體於半導通時，所產生之漏電流及第二位元線之壓降損失，也就是說，沿著被選取的記憶單元，其垂直方向上連接同一位元線的半導通讀取控制鰭狀場效電晶體所產生的漏電流。故提供一保持電壓，每一保持電路係連接同一垂直方向的此些記憶單元。因此，利用讀取電壓控制線及保持電路能有效改善錯誤讀取的機率。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

隨著 bulk CMOS 元件繼續微縮漸達到物理極限，鰭狀場效電晶體元件由於有比較好的短通道效應、較好的次臨界擺幅、較小的漏電流以及因為使用輕微參雜或沒有參雜的矽鰭而有較佳的變異 (RDF) 免疫能力，故被視為下一世極有潛力的靜態隨機存取記憶體。因此，本發明提出了新的使用獨立閘極控制的鰭狀場效電晶體 (FinFET) 靜態隨機存取記憶體 (Independently-controlled-Gate (IG) 7T FinFET SRAM cell, IG-7T)。這個架構除了使用獨立閘極超高臨界電壓的鰭狀場效電晶體 (super-high- $V_T$

FinFET) 達到類似堆疊性質，以消除讀取干擾以及半選取干擾之外，同時使用保持電路和讀取電壓控制，來降低讀取時位元線上的漏電流，避免操作於較低電壓下容易發生讀取錯誤的問題。

如第 3 圖所示，靜態隨機存取記憶體包含一記憶單元陣列 32、複數個第一位元線 (如 BL1 及 BL2) 34、複數個第二位元線 (如 BLB1 及 BLB2) 36 (容後介紹)、複數個讀取控制線 (如 RWL1 及 RWL2) 38、複數個讀取控制鰭狀場效電晶體 40；複數個讀取電壓控制線 (VSS control) 42 及複數個保持電路 44。

為瞭解本發明之新穎的電路設計架構，在此先詳述每個元件之細部結構及連接關係，首先，記憶單元陣列 32 包含複數個記憶單元，在此以四個記憶單元 46a、46b、46c 及 46d 為例說明，其中每一記憶胞的結構皆相同，在此以記憶單元 46a 為例，來進一說明細部結構，其每一記憶單元 46 包含一交叉耦接之第一反相器 48 及第二反相器 50、一第一控制鰭狀電晶體 52 以及一第二控制鰭狀電晶體 54。其中，第一反相器 48 之一第一儲存節點 56 連接第一控制鰭狀電晶體 52 之汲極，第一位元線 (BL1) 34 連接於記憶單元 46a、46c 中的第一控制鰭狀電晶體 52 之源極；第二反相器 50 之一第二儲存節點 58 連接第二控制鰭狀電晶體 54 之汲極，第二位元線 (BLB1) 36 連接第二控制鰭狀電晶體 54 之源極。另，第一位元線 (BL2) 34 連接於記憶單元 46b、46d 中的第一控制鰭狀電晶體 52 之源極；第二反相器 50 之一第二儲存節點 58 連接第二控制鰭狀電晶體 54 之汲極，第二位元線 (BLB2) 36 連接第二控制鰭狀電晶體 54 之源極。

此些讀取控制線 38 在此以二個每一讀取控制線，如 RWL1、RWL2 為

例說明，其中，RWL1 38 連接同一水平方向的此些記憶單元 46a、46b，被選取到的記憶體單元 46a、46b，其讀取控制緒狀場效電晶體 40 之源極都會被予一讀取電壓。另，RWL2 連接同一水平方向的此些記憶單元 46c、46d，被選取到的記憶單元 46c、46d，其讀取控制緒狀場效電晶體 40 之源極都會被予一讀取電壓。

每一讀取控制緒狀場效電晶體 40 連接每一記憶單元及第二位元線，如圖所示，讀取控制緒狀場效電晶體 40 之數量配合四個記憶單元，其中二個讀取控制緒狀場效電晶體 40 分別對應連接記憶單元 46a、46c 及第二位元線 (BLB1) 36；另外二個讀取控制緒狀場效電晶體 40 分別對應連接記憶單元 46b、46d 及第二位元線 (BLB2) 36；上述讀取控制緒狀場效電晶體 40 係用以控制資料讀取。

其中，每一讀取控制緒狀場效電晶體 40 包含一第一控制閘極（如前閘極）60、一第二控制閘極（如背閘極）62、一汲極 64 及一源極 66；第一控制閘極 60 連接第一反相器 48 之第一儲存節點 56，目的在於：為了考慮資料儲存的各種拓撲，因此藉由上述之電路連接設計可以使漏電流較低。第二控制閘極 62 連接對應之讀取控制線 38，例如記憶單元 46a 及 46b 中的第二控制閘極 62 係同時連接於讀取控制線 (RWL1) 38；記憶單元 46c 及 46d 中的第二控制閘極 62 係同時連接於讀取控制線 (RWL2) 38。每一汲極 64 連接對應之第二位元線 36，例如記憶單元 46a 及 46c 中的汲極 64 係同時連接於第二位元線 (BLB1) 36；記憶單元 46b 及 46d 中的汲極 64 係同時連接於第二位元線 (BLB2) 36。

每一讀取電壓控制線 42 分別連接每一讀取控制緒狀場效電晶體 40 之

源極 66，當某一記憶單元被選取為讀取狀態時，此記憶體之讀取電壓控制線 42 則會連接到地。

此些保持電路 44 在此以二個為例說明，分別連接於第二位元線 (BLB1 及 BLB2)，且一個每一保持電路 44 連接同一垂直方向的此些記憶單元 46a、46c，另一個保持電路 44 連接同一垂直方向的此些記憶單元 46b、46d。上述之二保持電路 44 可於第二位元線 36 為高電位時，提供一保持電壓。

靜態隨機存取記憶體更包含複數個寫入位元選擇線 68 及複數個寫入控制線 70，其中，本實施例中係以二個寫入位元選擇線，如 WBS1 及 WBS2 為例說明；二個寫入控制線 WL1 及 WL2 為例說明。WBS1 係連接同一垂直方向的此些記憶單元 46a、46c；WBS2 係連接同一垂直方向的此些記憶單元 46b、46d。上述之寫入位元選擇線 68 係用來，決定此些記憶單元 46a、46b、46c、46d 是否為寫入狀態，舉例來說，只有 WL1 及 WBS1 或是 WL2 及 WBS2 其中一組同時導通的記憶單元，始作為被選取的記憶單元。

再者，且每一記憶單元之第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之一前閘極係連接每一寫入控制線 70，例如記憶單元 46a、46b 之第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之前閘極係連接於 WL1；記憶單元 46c、46d 之第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之前閘極係連接於 WL2。第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之一背閘極係連接每一寫入位元選擇線 68，例如記憶單元 46a、46c 之第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之背閘極係連接於 WBS1；記憶單元 46b、46d 之第一控制緒狀電晶體 52 及第二控制緒狀電晶體 54 之背閘極係連接於 WBS2。

每一寫入控制線 (WL1) 70 係連接同一水平方向的此些記憶單元 46a、46b，係控制第一位元線 (BL1、BL2) 34 及第二位元線 (BLB1、BLB2) 36 之資料寫入對應之記憶單元 46a、46b 中。

瞭解上述元件之間的連接關係之後，後續將一一說明如何應用此靜態隨機存取記憶體的設計，來可提升整體靜態隨機存取記憶體在讀取時的穩定度，以及將讀取與寫入電流路徑分開操作，以解決漏電流的問題。

首先，以讀取操作方式為例，先將二個寫入位元選擇線 (WBS1 及 WBS2) 68 及二個寫入控制線 70 (WL1 及 WL2) 同時關閉；在保持操作方式時，寫入位元選擇線 68 及寫入控制線 70 為低電壓狀態。舉例來說，先把第一位元線 (BL1) 34 及第二位元線 (BLB1) 36 先預先充電到高電位為 1 的狀態，當記憶單元 46a 被選取為讀取狀態時，其對應讀取控制線 (RWL1) 38 會提供一讀取電壓，使讀取控制鰭狀場效電晶體 40 的第二控制閘極 62 導通，呈高電位狀態；同時，沿著記憶單元同一水平方向的此些記憶單元 40a、46b，其對應的讀取控制鰭狀場效電晶體 40 的第二控制閘極 62 也會根據讀取電壓而導通。值得注意的是，被選取的記憶單元，沿著同一水平方向的記憶單元 46a、46b，其對應的讀取電壓控制線 42 會將讀取控制鰭狀場效電晶體 40 的源極 66 都連接至地，使電位為 0。若第一儲存節點 (VL) 為 1 時，則讀取控制鰭狀場效電晶體 40 的第一控制閘極 60 會導通，因此第二位元線 (BLB1) 36 被成功放電。

若第一儲存節點 (VL) 為 0 時，則讀取控制鰭狀場效電晶體 40 的第一控制閘極 60 會截止，因此第二位元線 (BLB1) 36 會維持在高電壓。如此一來，可藉由各種感測器的技巧來辨別存取資料為 0 或 1。此外，於第二位

元線 (BLB1) 36 為高電位時，提供一保持電壓，係為了補償讀取控制鰭狀場效電晶體 40 於半導通時，也就是沿著同一垂直方向記憶單元 46c 上的讀取控制鰭狀場效電晶體 40 所產生之漏電流及第二位元線 (BLB1) 36 之壓降損失。因此，利用讀取電壓控制線 42 及保持電路 44 能有效改善錯誤讀取的機率。其中，未被選取的此些記憶單元 46c，其對應的讀取電壓控制線 42 將讀取控制鰭狀場效電晶體 40 的源極 66 連接至電壓源之電位 (VDD)，藉此，降低漏電流產生，進而可有效解決習知漏電流的問題。

接續，係將先前技術之兩種 SRAM 架構係為第 1 圖及第 2 圖所描述的 6T (六顆電晶體)、6T-Column-Decoupled (交叉點結構) 與本發明提供的 IG-7T (六顆電晶體) 的 SRAM 架構作進一步的比較說明。請同時配合第 4 圖所示，為本發明操作電壓 (VDD) 為 0.5 伏特 (V) 至 0.8 伏特 (V)，可容許讀取靜態雜訊限度 (RSNM) 比較曲線圖，由圖中可得知，本發明擁有讀取時無干擾的架構，當操作電壓  $VDD = 0.5V$  時，相較於 6T 及 6T-Column-Decoupled 記憶單元，分別增加約 132 毫伏特 (mV) 與 70 毫伏特 (mV)，可改善 6T 的讀取穩定度最佳達到 307%。當操作電壓  $VDD = 0.7V$  下，相較於 6T 及 6T-Column-Decoupled 記憶單元，在 RSNM 上面分別改善了 258% 及 80%，因此遠優於先前技術的 SRAM 的架構。

接續，以寫入操作方式為例，先關閉讀取控制線 (RWL1 及 RWL2) 38，當記憶單元 46a 被選取為寫入狀態時，寫入位元選擇線 (WBS1) 68 為高電位狀態，使第一控制鰭狀電晶體 52 及第二控制鰭狀電晶體 54 之背閘極導通。若第一儲存節點 56 為 0，第二儲存節點 58 為 1，則將第一位元線 (BL1) 34 充電至高電位，而第二位元線 (BLB1) 36 接至地，電位為 0。此時，即



可開啟寫入控制線 (WL1) 70，使第一控制鰭狀電晶體 52 及第二控制鰭狀電晶體 54 之前閘極導通。由於寫入位元選擇線 (WBS1) 68 及寫入控制線 (WL1) 70 皆為高電位，故可控制第一位元線 (BL1) 34 及第二位元線 (BLB1) 36 之資料寫入對應之記憶單元 46a 中。再舉例，若欲使第一儲存節點 56 做寫入 1 的動作，而第二儲存節點 58 做寫入 0 的動作，同理上述之作動原理，如此資料即可成功被寫入。此外，若要保存資料，只要將寫入控制線 (WL1) 70 及讀取控制線 (RWL1) 38 同時關閉，即可藉由此些記憶單元 46a 保存內部資料。當然，任一個被選取作動的記憶單元 46b、46c、46d 都與上述所舉例記憶單元 46b 的動作原理一樣。

由上述可得知，本發明係將寫入與讀取電路路徑分開，以達到優異的讀取穩定性，更進一步而言，本發明使用鰭狀電晶體作為兩個可獨立閘極控制之功能，以具體簡化靜態隨機存取記憶體整體的電路佈局及有效縮小面積，因此能製造出較高密度靜態隨機存取記憶體，進而提升記憶單元的穩定度及對製程參數變異的免疫力。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖為先前技術之 6T 靜態隨機存取記憶體之示意圖。

第 2 圖為先前技術之 6T-Column-Decoupled 靜態隨機存取記憶體之示意圖。

第 3 圖為本發明之 7T 獨立閘極控制靜態隨機存取記憶體之示意圖。

第 4 圖為本發明操作電壓時可容許讀取靜態雜訊邊界的比較曲線圖。

**【主要元件符號說明】**

- 10a、10b、10c、10d 記憶胞
- 12、14 反相器
- 16、22 儲存節點
- 18、24 P 型電晶體
- 20、26、34、38 N 型電晶體
- 28 第一通閘電晶體
- 30 第二通閘電晶體
- 32 記憶單元陣列
- 34 第一位元線
- 36 第二位元線
- 38 讀取控制線
- 40 讀取控制緒狀場效電晶體
- 42 讀取電壓控制線
- 44 保持電路
- 46a、46b、46c、46d 記憶單元
- 48 第一反相器
- 50 第二反相器
- 52 第一控制緒狀電晶體
- 54 第二控制緒狀電晶體
- 56 第一儲存節點
- 58 第二儲存節點

- 60 第一控制閘極
- 62 第二控制閘極
- 64 汲極
- 66 源極
- 68 寫入位元選擇線
- 70 寫入控制線

## 七、申請專利範圍：

### 1. 一種靜態隨機存取記憶體，包括：

一記憶單元陣列，係供存取至少一資料，該記憶單元陣列包含複數個記憶單元，每一該記憶單元包含一交叉耦接之第一反相器及第二反相器、連接該第一反相器之一第一控制鰭狀電晶體以及連接該第二反相器之一第二控制鰭狀電晶體；

複數個第一、第二位元線，每一該第一、第二位元線分別連接該第一控制鰭狀電晶體及該第二控制鰭狀電晶體；

複數個讀取控制線，提供一讀取電壓，每一該讀取控制線連接同一水平方向的該些記憶單元；

複數個讀取控制鰭狀場效電晶體，每一該讀取控制鰭狀場效電晶體連接每一該記憶單元及該第二位元線，係控制該資料讀取，每一該讀取控制鰭狀場效電晶體包含：

一第一控制閘極，連接該第一反相器之一第一儲存節點；

一第二控制閘極，連接對應之該讀取控制線；

一汲極，連接該第二位元線；及

一源極；

複數個讀取電壓控制線，每一讀取電壓控制線連接該源極，決定該些記憶單元連接之電壓；及

複數個保持電路，於該第二位元線為高電位時，提供一保持電壓，每一該保持電路係連接同一垂直方向的該些記憶單元。

### 2. 如請求項 1 所述之靜態隨機存取記憶體，其中該第一控制閘極及該第二

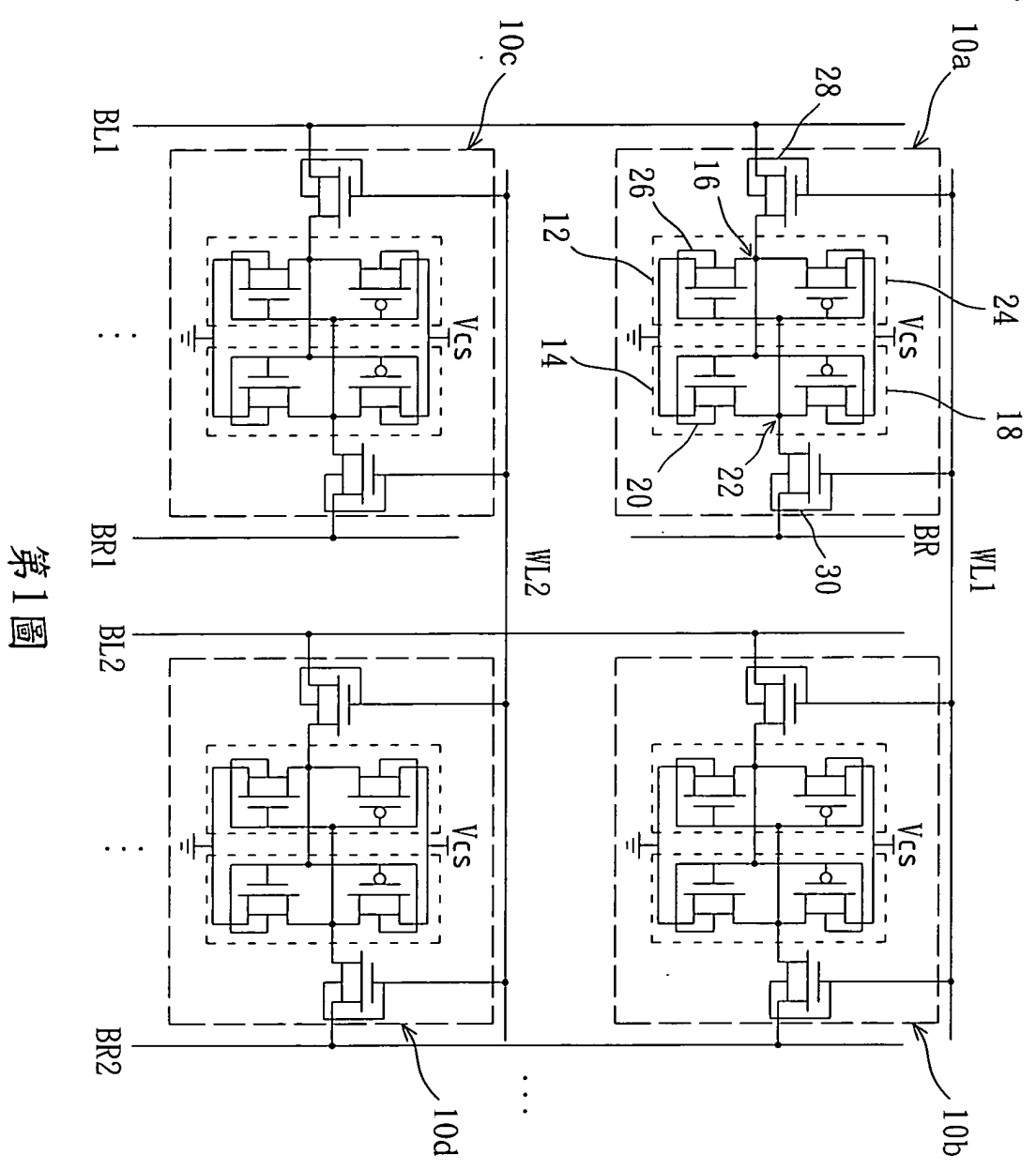
控制閘極皆為高電位時，該讀取控制緒狀場效電晶體呈導通狀態。

3. 如請求項 1 所述之靜態隨機存取記憶體，其中該第一控制閘極或該第二控制閘極為高電位時，該讀取控制緒狀場效電晶體呈半導通狀態。
4. 如請求項 1 所述之靜態隨機存取記憶體，其中被選取之其中一該記憶單元為讀取狀態時，則水平方向之該些記憶單元之該讀取電壓控制線連接至地。
5. 如請求項 1 所述之靜態隨機存取記憶體，其中該些記憶單元未被選取為讀取狀態時，則該讀取電壓控制線連接至電壓源之電位。
6. 如請求項 1 所述之靜態隨機存取記憶體，其中該保持電壓係補償該讀取控制緒狀場效電晶體於半導通時，所產生之漏電流及該第二位元線之壓降損失。
7. 如請求項 1 所述之靜態隨機存取記憶體，更包括：  
複數個寫入位元選擇線，每一該寫入位元選擇線係連接同一垂直方向的該些記憶單元，決定該些記憶單元是否為寫入狀態；及  
複數個寫入控制線，每一該寫入控制線係連接同一水平方向的該些記憶單元，係控制該第一位元線及該第二位元線之資料寫入對應之該記憶單元中。
8. 如請求項 7 所述之靜態隨機存取記憶體，其中至少一該寫入位元選擇線及該寫入控制線為高電位時，控制該第一位元線及該第二位元線之資料寫入對應之該記憶單元中。
9. 如請求項 7 所述之靜態隨機存取記憶體，其中每一該記憶單元之該第一控制緒狀電晶體及該第二控制緒狀電晶體之一前閘極係連接每一該寫入

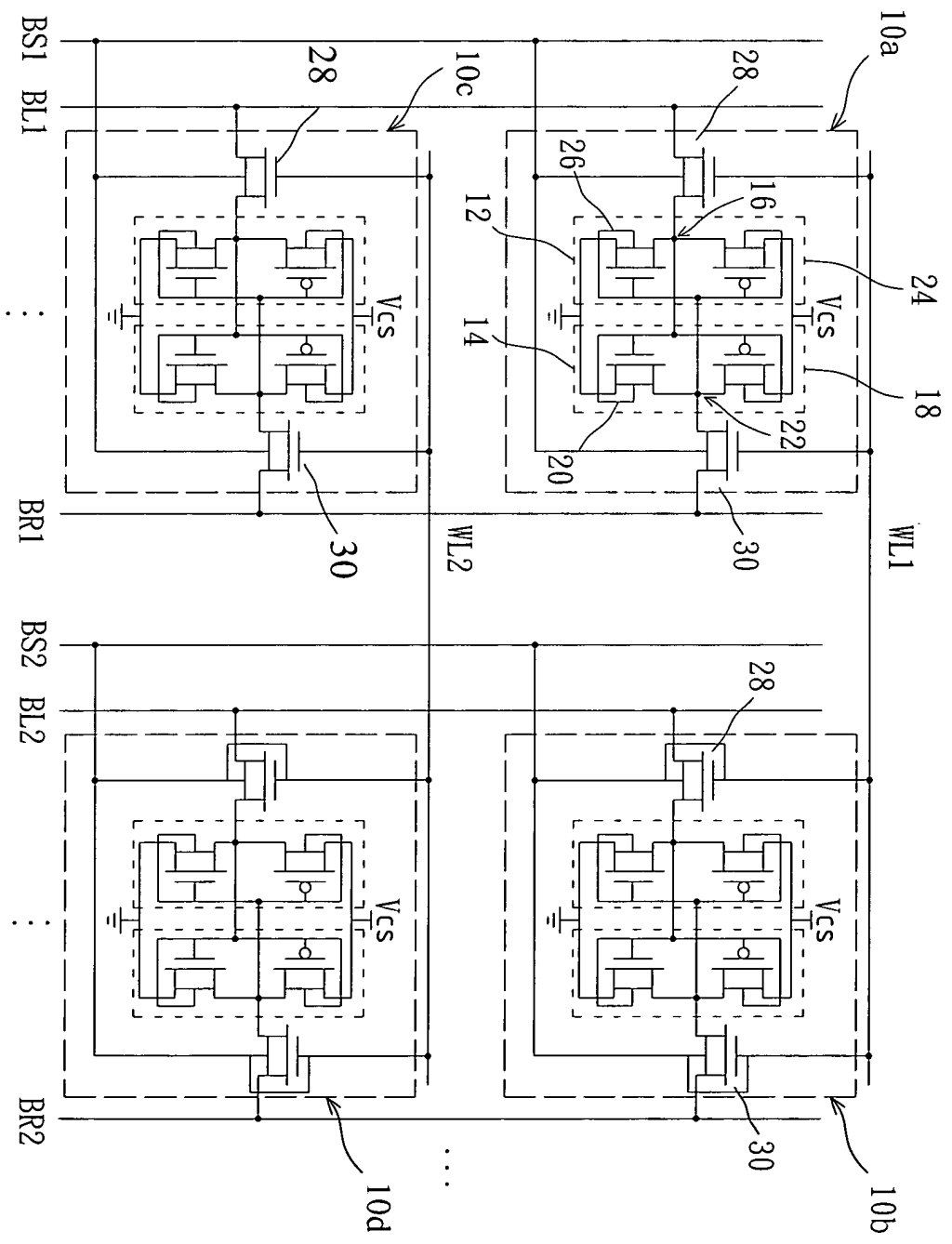
控制線，該第一控制緒狀電晶體及該第二控制緒狀電晶體之一背閘極係連接每一該寫入位元選擇線。

10. 如請求項 7 所述之靜態隨機存取記憶體，其中該些寫入控制線及該些讀取控制線同時為關閉狀態時，則藉由該些記憶單元保存內部該資料。

八、圖式：

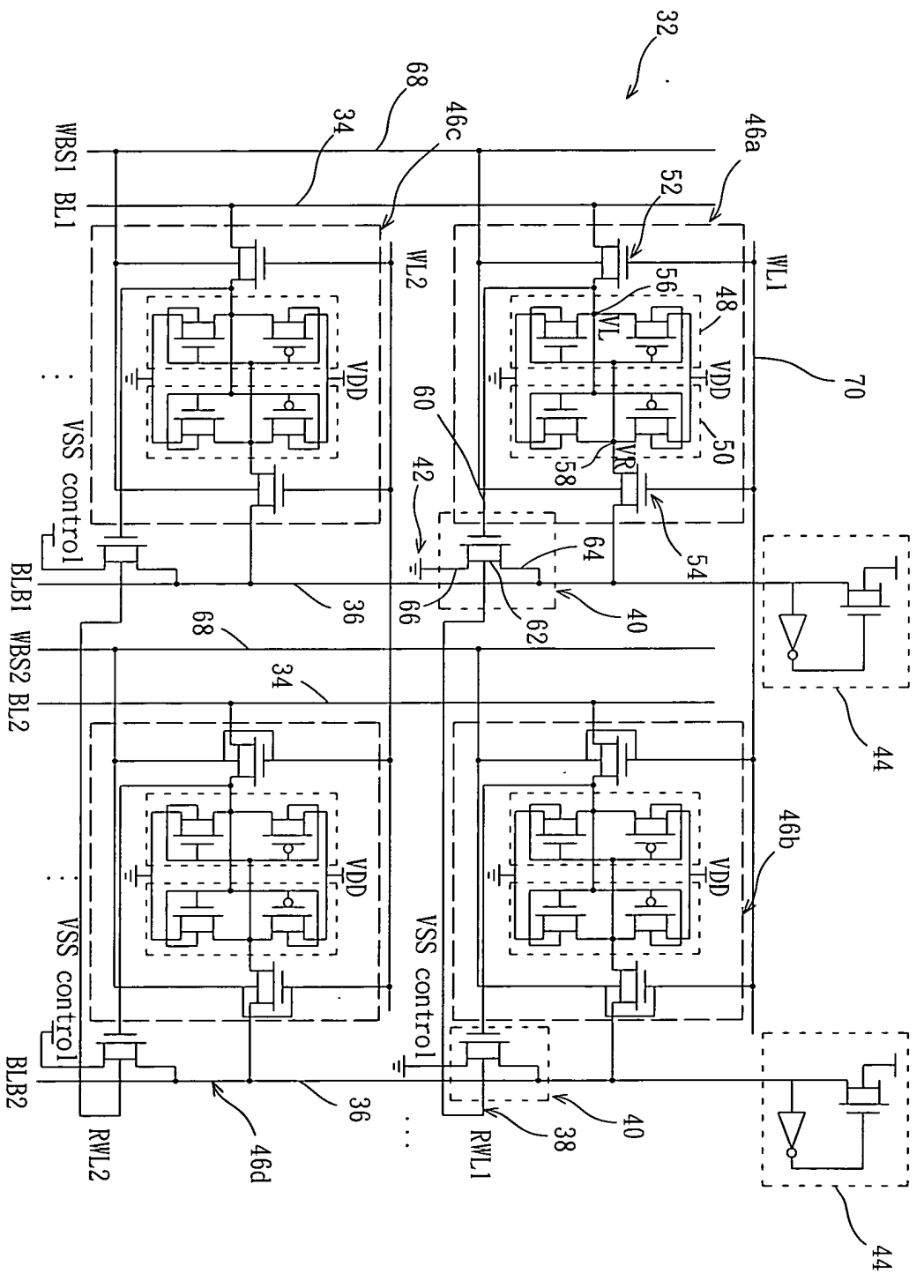


第1圖

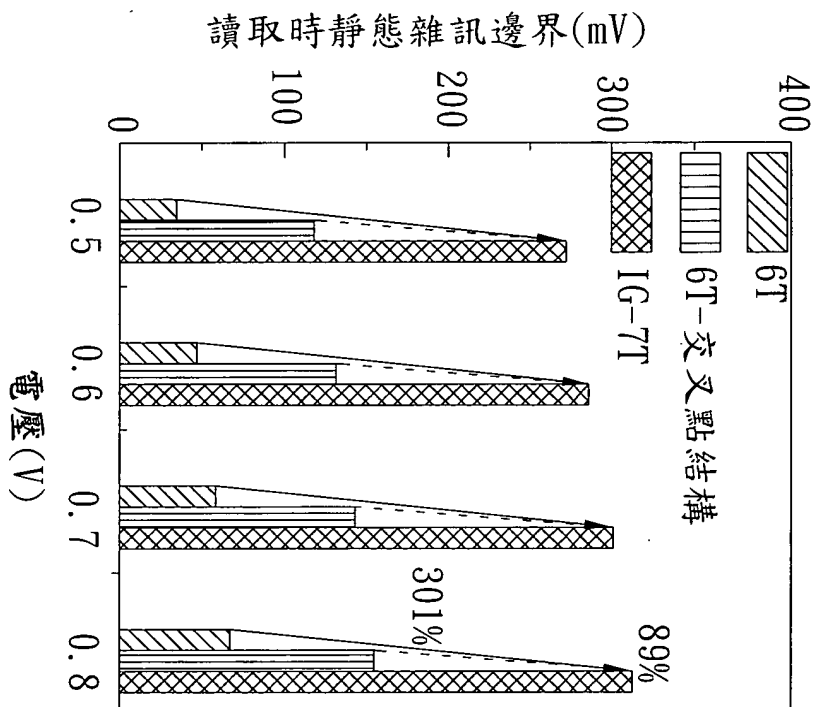


第2圖





第 3 圖



第4圖