



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I475563 B

(45)公告日：中華民國 104 (2015) 年 03 月 01 日

(21)申請案號：101103433

(22)申請日：中華民國 101 (2012) 年 02 月 01 日

(51)Int. Cl. : G11C11/41 (2006.01)

H01L27/11 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：周世傑 JOU, SHYH JYE (TW) ; 林志宇 LIN, JHIH YU (TW) ; 莊景德 CHUANG, CHING TE (TW) ; 杜明賢 TU, MING HSIEN (TW) ; 邱奕璋 CHIU, YI WEI (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

US 5715191

US 5734604

US 5764566

US 7830727B2

US 7986571B2

WO 2010/073166A1

審查人員：蔡明宏

申請專利範圍項數：10 項 圖式數：4 共 22 頁

(54)名稱

單端靜態隨機存取記憶體

SINGLE-ENDED STATIC RANDOM ACCESS MEMORY

(57)摘要

一種單端靜態隨機存取記憶體，包括至少一記憶胞以及第三開關。記憶胞包括資料拴鎖單元、第一開關、第二開關以及資料傳輸單元。資料拴鎖單元拴鎖所接收的輸入資料，並提供儲存資料及此儲存資料的反向資料。第一開關依據第一字元線信號使參考資料傳送至資料拴鎖單元。第二開關依據第二字元線信號使參考資料傳送至資料拴鎖單元。資料傳輸單元依據儲存資料以及控制信號以決定是否傳送參考資料至位元線。第三開關接收參考資料以及控制信號，依據控制信號以傳送參考資料至第一及第二開關以及資料傳輸單元。

A single-ended static random access memory is provided. The static memory includes at least a memory cell and a third switch. The memory cell includes a data lock unit, a first switch, a second switch and a data transfer unit. The data lock unit is used to lock an input data, and provide a saved data and an inverse saved data. The first switch and the second switch transfer a first reference data to the data lock unit according to a first word line signal and a second word line signal. The data transfer unit transfers a first reference data to a bit line according to the save data and a control signal. The third switch receives a first reference data and the control signal. The third switch transfers the first reference data to the first switch, the second switch and the data transfer unit according to the control signal.

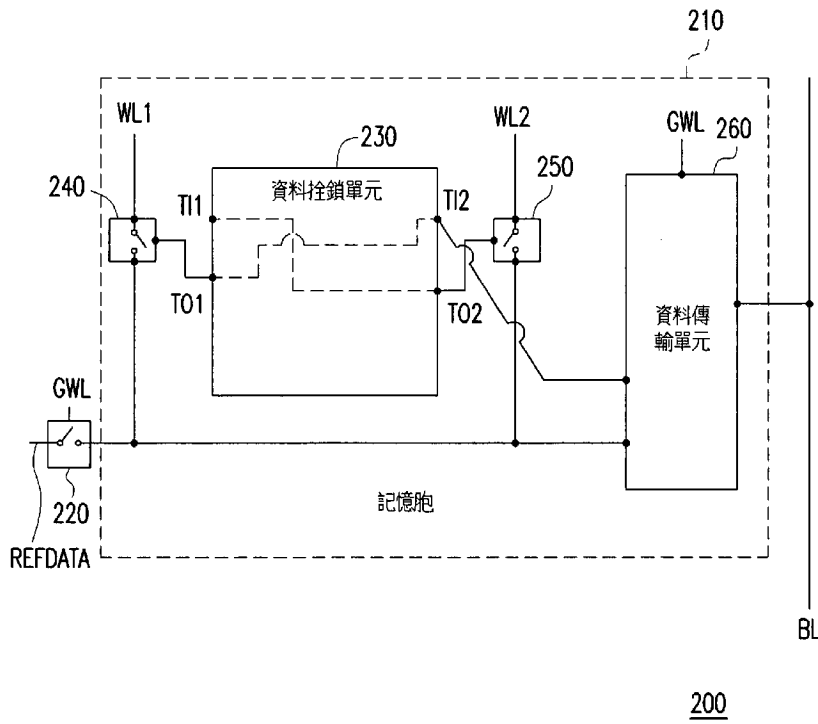


圖 2

- 200 . . . 單端靜態隨機存取記憶體
- 210 . . . 記憶胞
- 220 . . . 第三開關
- 230 . . . 資料拴鎖單元
- 240 . . . 第一開關
- 250 . . . 第二開關
- 260 . . . 資料傳輸單元
- REFDATA . . . 參考資料
- GWL . . . 控制信號
- TI1、TI2 . . . 輸入端
- TO1、TO2 . . . 輸出端
- BL . . . 位元線
- WL1、WL2 . . . 字元線信號

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：1011-3433

※申請日：101.2.11

※IPC 分類：G11C 11/41 (2006.01)

H01L 27/11 (2006.01)

### 一、發明名稱：

單端靜態隨機存取記憶體 / SINGLE-ENDED STATIC  
RANDOM ACCESS MEMORY

### 二、中文發明摘要：

一種單端靜態隨機存取記憶體，包括至少一記憶胞以及第三開關。記憶胞包括資料拴鎖單元、第一開關、第二開關以及資料傳輸單元。資料拴鎖單元拴鎖所接收的輸入資料，並提供儲存資料及此儲存資料的反向資料。第一開關依據第一字元線信號使參考資料傳送至資料拴鎖單元。第二開關依據第二字元線信號使參考資料傳送至資料拴鎖單元。資料傳輸單元依據儲存資料以及控制信號以決定是否傳送參考資料至位元線。第三開關接收參考資料以及控制信號，依據控制信號以傳送參考資料至第一及第二開關以及資料傳輸單元。

### 三、英文發明摘要：

A single-ended static random access memory is provided. The static memory includes at least a memory cell and a third switch. The memory cell includes a data lock unit, a first

switch, a second switch and a data transfer unit. The data lock unit is used to lock an input data, and provide a saved data and an inverse saved data. The first switch and the second switch transfer a first reference data to the data lock unit according to a first word line signal and a second word line signal. The data transfer unit transfers a first reference data to a bit line according to the save data and a control signal. The third switch receives a first reference data and the control signal. The third switch transfers the first reference data to the first switch, the second switch and the data transfer unit according to the control signal.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

200：單端靜態隨機存取記憶體

210：記憶胞

220：第三開關

230：資料拴鎖單元

240：第一開關

250：第二開關

260：資料傳輸單元

REFDATA：參考資料

GWL：控制信號

switch, a second switch and a data transfer unit. The data lock unit is used to lock an input data, and provide a saved data and an inverse saved data. The first switch and the second switch transfer a first reference data to the data lock unit according to a first word line signal and a second word line signal. The data transfer unit transfers a first reference data to a bit line according to the save data and a control signal. The third switch receives a first reference data and the control signal. The third switch transfers the first reference data to the first switch, the second switch and the data transfer unit according to the control signal.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

200：單端靜態隨機存取記憶體

210：記憶胞

220：第三開關

230：資料拴鎖單元

240：第一開關

250：第二開關

260：資料傳輸單元

REFDATA：參考資料

GWL：控制信號

TI1、TI2：輸入端

TO1、TO2：輸出端

BL：位元線

WL1、WL2：字元線信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種單端靜態隨機存取記憶體，且特別是有關於一種可在次臨限低電壓操作單端寫入的單端靜態隨機存取記憶體。

### 【先前技術】

現今關於電腦的科技發展越來越迅速，而其中與電腦科技息息相關的記憶體的技術更是其中至關重要的關鍵。記憶體通常以電源關閉還是否可保存資料分為非揮發性記憶體 (non-volatile memory) 與揮發性記憶體 (volatile memory)，非揮發性記憶體在電源關閉後仍可保存資料，揮發性記憶體在電源關閉後其保存的資料即被消除。而揮發性記憶體又分為動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 與靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。

圖 1 為習知的靜態隨機存取記憶體的電路示意圖，圖中的靜態隨機存取記憶體 100 包括電晶體 M1、M2、M3、M4、M5 以及 M6，其中，電晶體 M1、M2、M3 以及 M4 耦接在參考電源 Vcc 與參考接地端 GND 間，並形成為兩個相互串接的反向器。電晶體 M6 以及 M5 分別的閘極分別接收字元線信號 WWL 及 WRL，且電晶體 M6 以及 M5 的源極(或汲極)則分別接收位元線 BWL 與 BRL。

靜態隨機存取記憶體 100 為一種單端寫入的靜態隨機

存取記憶體，其中要寫入資料可以透過位元線 BWL 經由電晶體 M6 寫入由電晶體 M1~M4 所形成的資料拴鎖單元中。而電晶體 M5 以及位元線 BRL 則提供靜態隨機存取記憶體 100 的資料讀出路徑。

在靜態隨機存取記憶體 100 中，為了使上述的單端寫入動作可以順利達成，電晶體 M6 的通道寬長比要夠大以提供足夠的電流驅動能力。如此一來，靜態隨機存取記憶體 100 的電路面積將不可避免的被增大，致使製造成本的增加。

#### 【發明內容】

本發明提出一種單端靜態隨機存取記憶體，降低其記憶胞所可能產生的漏電流，及增加讀取/寫入雜訊邊界。

本發明提出的單端靜態隨機存取記憶體包括至少一記憶胞以及第三開關。記憶胞包括資料拴鎖單元、第一開關、第二開關以及資料傳輸單元。資料拴鎖單元具有第一輸入端、第二輸入端、第一輸出端以及第二輸出端。資料拴鎖單元用以拴鎖第一或第二輸入端所接收的輸入資料，並在第一及第二輸出端分別提供儲存資料及此儲存資料的反向資料。第一開關接收參考資料，並耦接第二輸入端，且依據第一字元線信號使參考資料傳送至第二輸入端。第二開關接收參考資料，並耦接第一輸入端，且依據第二字元線信號使參考資料傳送至第一輸入端。資料傳輸單元耦接位元線以及第一輸出端，依據儲存資料以及控制信號以



決定是否傳送參考資料至位元線。第三開關接收參考資料以及控制信號，並耦接第一及第二開關以及資料傳輸單元。第三開關依據控制信號以傳送參考資料至第一及第二開關以及資料傳輸單元。

基於上述，本發明提供的單端靜態隨機存取記憶體藉由設置第三開關，在單端靜態隨機存取記憶體所屬的記憶胞要進行寫入動作時，可以藉由第三開關的導通動作，使參考資料被傳送至記憶胞的第一或第二輸入端以作為輸入資料，並藉以寫入記憶胞中，另外，對於未被選中以進行讀寫的記憶胞，其所連接的第三開關則被斷開，並切斷可能產生的漏電途徑。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

圖 2 為本發明一實施例之單端靜態隨機存取記憶體的示意圖。請參照圖 2，單端靜態隨機存取記憶體 200 包括記憶胞 210 以及第三開關 220。記憶胞 210 包括資料拴鎖單元 230、第一開關 240、第二開關 250 以及資料傳輸單元 260。資料拴鎖單元 230 具有輸入端 TI1、輸入端 TI2、輸出端 TO1 以及輸出端 TO2。第一開關 240 接收參考資料 REFDATA，並耦接輸入端 TI2。第二開關 250 接收參考資料 REFDATA，並耦接輸入端 TI1。資料傳輸單元 260 耦接位元線 BL 以及輸出端 TO1。第三開關 220 接收參考資料

REFDATA 以及控制信號 GWL，並耦接第一開關 240、第二開關 250 以及資料傳輸單元 260。

在當單端靜態隨機存取記憶體 200 的記憶胞 210 進行資料的寫入動作時，首先，藉由控制信號 GWL 導通第三開關 220，並使參考資料 REFDATA 可經由第三開關 220 傳送至第一開關 240、第二開關 250 以及資料傳輸單元 260。並且，藉由字元線信號 WL1 以導通第一開關 240 以決定是否將參考資料 REFDATA 傳送至輸入端 TI2 以作為輸入資料，或藉由字元線信號 WL2 以導通第二開關 250 以決定是否將參考資料 REFDATA 傳送至輸入端 TI1 以作為輸入資料。記憶胞 210 拴鎖來自於第一或第二輸入端 TI1 或 TI2 的輸入資料，並依據輸入資料在其第一及第二輸出端 TO1 及 TO2 分別提供儲存資料及儲存資料的反向資料。這裡要注意的是，在對記憶胞 210 進行資料寫入時，第一開關 240 及第二開關 250 只會有一個會被導通，而當記憶胞 210 拴鎖來自於輸入端 TI1 的輸入資料時，其在輸出端 TO2 所提供的儲存資料的邏輯準位等同於輸入資料。相對的，當記憶胞 210 拴鎖來自於輸入端 TI2 的輸入資料時，其在輸出端 TO1 所提供的儲存資料的邏輯準位等同於輸入資料的反向資料。

在當單端靜態隨機存取記憶體 200 的記憶胞 210 進行資料的讀取動作時，首先，藉由控制信號 GWL 導通第三開關 220，並使參考資料 REFDATA 透過第三開關 220 傳送至第一開關 240、第二開關 250 以及資料傳輸單元 260。

並同時藉由字元線信號 WL1 及字元線信號 WL2 將第一開關 240 及第二開關 250 全部斷開。如此一來，參考資料 REFDATA 不會經由第一開關 240 或第二開關 250 傳送至資料拴鎖單元 230，也就是說，當記憶胞 210 進行資料讀取動作時，資料拴鎖單元 230 所儲存的儲存資料並不會被改寫。同時，記憶胞 210 透過輸出端 TO1 提供儲存資料至資料傳輸單元 260，資料傳輸單元 260 則依據所接收的控制信號 GWL 以及儲存資料來決定是否傳送參考資料 REFDATA 至位元線 BL。

在本實施例中，參考資料 REFDATA 例如等於參考接地端 GND 上參考接地電壓，當儲存資料決定傳送參考資料 REFDATA（參考接地電壓）至位元線 BL 時，針對記憶胞 210 所進行讀出的資料即等於邏輯信號“0”。相對的，當儲存資料決定不傳送參考資料 REFDATA 至位元線 BL 時，位元線 BL 上的邏輯準位，會被保持在因記憶胞 210 進行資料的讀取動作前所進行的預充電(pre-charge)的動作而呈現的邏輯高準位電壓，也就是說，此時針對記憶胞 210 所進行讀出的資料即等於邏輯信號“1”。

圖 3 為依據本發明另一實施例的單端靜態隨機存取記憶體電路的電路示意圖，在圖 3 所述的實施例中，資料拴鎖單元 330 包括電晶體 M21、電晶體 M22、電晶體 M23 以及電晶體 M24。其中，電晶體 M21 的第一端（例如源極）可接收參考電源 Vcc，電晶體 M21 的第二端（例如汲極）耦接輸出端 TO1，電晶體 M21 的控制端（例如閘極）耦接輸

入端 TI1。電晶體 M22 的第一端（例如汲極）耦接輸出端 TO1，電晶體 M22 的第二端（例如源極）耦接參考接地端 GND，電晶體 M22 的控制端（例如閘極）耦接輸入端 TI1。電晶體 M23 的第一端（例如源極）接收參考電源 Vcc，電晶體 M23 的第二端（例如汲極）耦接輸出端 TO2，電晶體 M23 的控制端（例如閘極）耦接輸入端 TI2。

電晶體 M24 的第一端（例如汲極）耦接第二輸出端 TI2，電晶體 M24 的第二端（例如源極）耦接參考接地端 GND，電晶體 M24 的控制端（例如閘極）耦接輸入端 TI2。本實施例中，電晶體 M21 與電晶體 M23 為 P 型電晶體，而電晶體 M22 與電晶體 M24 為 N 型電晶體。

資料傳輸單元 360 包括電晶體 M25 以及電晶體 M26。電晶體 M25 的控制端（例如閘極）耦接輸出端 TO1 以接收儲存資料，電晶體 M25 的第二端（例如源極）耦接第三開關 220。電晶體 M26 的第一端（例如源極）耦接電晶體 M25 的第一端（例如汲極），電晶體 M26 的第二端（例如源極）耦接位元線 BL，電晶體 M26 的控制端（例如閘極）接收控制信號 GWL。

本實施例中，第一開關 340 為電晶體 M27，電晶體 M27 的第一端（例如源極）接收參考資料 REFDATA，電晶體 M27 的第二端（例如汲極）耦接輸入端 TI1，且電晶體 M27 的控制端（例如閘極）接收字元線信號 WL1。第二開關 350 則為電晶體 M28，電晶體 M28 的第一端（例如源極）接收參考資料 REFDATA，電晶體 M28 的第二端（例

如汲極) 耦接輸入端 TI2，且電晶體 M28 的控制端 (例如閘極) 接收字元線信號 WL2。

另外，第三開關 320 為電晶體 M29，電晶體 M29 的第一端 (例如源極) 接收參考資料 REFDATA，電晶體 M29 的第二端 (例如汲極) 耦接第一開關 240 及第二開關 250 以及資料傳輸單元 260，且電晶體 M29 的控制端 (例如閘極) 接收控制信號 GWL。

附帶一提的，在本實施例中，參考資料 REFDATA 的電壓準位可以等於參考接地端 GND 上的電壓準位，而在當第三開關 320 被斷開時，電晶體 M29 與電晶體 M27、M28 以及 M25 間相互連接的導線上則呈現虛擬接地的狀態。

在對單端靜態隨機存取記憶體 300 的記憶胞 310 進行邏輯信號等於“1”的資料的寫入動作時，首先，使電晶體 M29 的閘極上所耦接的控制信號 GWL 的電壓準位為邏輯高準位電壓以導通電晶體 M29，並使電晶體 M27 的閘極上所耦接的字元線信號 WL1 上的電壓準位為邏輯高準位電壓以導通電晶體 M27。如此一來，電晶體 M29 的源極所連接的參考接地端 GND 會拉低電晶體 M27 的汲極的電壓準位，也會拉低輸入端 TI2 以及電晶體 M23 的閘極的電壓準位。由於電晶體 M23 是 P 型電晶體，故電晶體 M23 會導通，因此參考電源 Vcc 會透過電晶體 M23 對輸出端 TO2 充電，以使其電壓準位為邏輯高準位電壓。附帶一提，此時會使電晶體 M28 的閘極上所耦接的字元線信號 WL2 上

的電壓準位等於參考接地端 GND 上的參考接地電壓以斷開電晶體 M28，藉以保持輸出端 TO2 的電壓準位。且此時輸出端 TO1 的電壓準位等於參考接地端 GND 上的參考接地電壓。

在對單端靜態隨機存取記憶體 300 的記憶胞 310 寫入邏輯信號等於“0”的資料時，首先，使電晶體 M29 的閘極上所耦接的控制信號 GWL 的電壓準位為邏輯高準位電壓以導通電晶體 M29，並使電晶體 M28 的閘極上所耦接的字元線信號 WL2 上的電壓準位為邏輯高準位電壓以導通電晶體 M28。如此一來，電晶體 M29 的源極所連接的參考接地端 GND 會拉低電晶體 M28 的汲極的電壓準位，也會拉低輸入端 TI1 以及電晶體 M21 的閘極的電壓準位，因此參考電源 Vcc 會透過導通的電晶體 M21 對輸出端 TO1 充電以使其電壓準位為邏輯高準位電壓。同樣地，此時會使電晶體 M27 的閘極上所耦接的字元線信號 WL1 上的電壓準位等於參考接地端 GND 上的參考接地電壓以斷開電晶體 M27，藉以保持輸出端 TO1 的電壓準位。且此時輸出端 TO2 的電壓準位等於參考接地端 GND 上的參考接地電壓。

在對單端靜態隨機存取記憶體 300 的記憶胞 310 進行讀取動作之前，會先對位元線 BL 預充電並使其電壓準位為邏輯高準位電壓。當進行完讀取動作後，位元線 BL 上的電壓準位若依然為邏輯高準位電壓，此時針對記憶胞 310 所進行讀出的資料即可以判定等於邏輯信號“1”。當進行完讀取動作後位元線 BL 上的電壓準位若為邏輯低準位

電壓，此時針對記憶胞 310 所進行讀出的資料即可以判定等於邏輯信號“0”。

在對單端靜態隨機存取記憶體 300 的記憶胞 310 進行讀取動作時，首先，使電晶體 M29 的閘極上以及電晶體 M26 的閘極上所耦接的控制信號 GWL 上的電壓準位為邏輯高準位電壓以導通電晶體 M29 及電晶體 M26。並使 M27 的閘極上及電晶體 M28 的閘極上所耦接的字元線信號 WL1 及字元線信號 WL2 上的電壓準位皆等於參考接地端 GND 上的參考接地電壓，以斷開電晶體 M27 及電晶體 M28，藉以防止記憶胞 310 儲存的電荷從電晶體 M27 或電晶體 M28 流失。

若輸出端 TO2 的電壓準位為邏輯高準位電壓，且輸出端 TO1 的電壓準位等於參考接地端 GND 上的參考接地電壓，電晶體 M25 因其閘極與輸出端 TO1 耦接而斷開，位元線 BL 的電荷無法透過電晶體 M25 傳送至參考接地端 GND。位元線 BL 的電壓準位因此維持在邏輯高準位電壓，此時針對記憶胞 310 所進行讀出的資料即等於邏輯信號“1”。

若輸出端 TO2 的電壓準位等於參考接地端 GND 上的參考接地電壓，且輸出端 TO1 的電壓準位為邏輯高準位電壓，電晶體 M25 因其閘極與輸出端 TO1 耦接而導通，且此時電晶體 M26 亦為導通狀態，故位元線 BL 上的電荷會通過導通的電晶體 M25、電晶體 M26、電晶體 M29 所形成的路徑而流往參考接地端 GND 進而使位元線 BL 上的電

壓準位降至邏輯低準位電壓，此時針對記憶胞 310 所進行讀出的資料即等於邏輯信號“0”。

圖 4 為本發明又另一實施例的單端靜態隨機存取記憶體 400 的示意圖，圖 4 的單端靜態隨機存取記憶體 400 至少有記憶胞 410、記憶胞 510、記憶胞 610、記憶胞 710 等記憶胞，其內部電路架構皆與圖 3 所述的實施例中的記憶胞 310 相同。位元線 BL1 耦接記憶胞 410 以及記憶胞 510，位元線 BL2 耦接記憶胞 610 以及記憶胞 710，字元線信號 WL3 以及字元線信號 WL4 耦接記憶胞 410 以及記憶胞 510，字元線信號 WL5 以及字元線信號 WL6 耦接記憶胞 610 以及記憶胞 710。

第三開關 420 的一端耦接記憶胞 410 以及記憶胞 610，另一端連接參考接地端 GND。控制信號 GWL1 可控制第三開關 420 的導通，在對記憶胞 410 或記憶胞 610 進行資料寫入時，控制信號 GWL1 導通第三開關 420 使記憶胞 410 或記憶胞 610 往參考接地端 GND 放電以達成寫入動作。在對記憶胞 410 或記憶胞 610 進行資料讀取時，控制信號 GWL1 導通第三開關 420 使位元線 BL1 或位元線 BL2 可根據記憶胞 410 或記憶胞 610 所儲存的資料決定是否往參考接地端 GND 放電以達成讀取動作。而在記憶胞 410 及記憶胞 610 未被選擇以作讀寫動作時，可利用控制信號 GWL1 斷開第三開關 420 以切斷記憶胞 410 及記憶胞 610 到參考接地端 GND 的連接路徑。第三開關 520 的一端耦接記憶胞 510 以及記憶胞 710，另一端連接參考接地端



GND，控制信號 GWL2 可控制第三開關 520 的導通，第三開關 520 對於記憶胞 510 以及記憶胞 710 的作用與第三開關 420 相同。

當只選擇對記憶胞 410 進行寫入時，此時控制信號 GWL1 會導通第三開關 420，且字元線信號 WL3 上的電壓準位為邏輯高準位電壓或是字元線信號 WL4 上的電壓準位為邏輯高準位電壓。由於記憶胞 410 以及記憶胞 510 共用字元線信號 WL3 以及字元線信號 WL4，所以記憶胞 510 所儲存的資料可能會改變，此時可利用控制信號 GWL2 斷開第三開關 520，使記憶胞 510 與參考接地端 GND 的連接路徑被切斷，因此，記憶胞 510 所可能產生的漏電現象可以被降低。

綜上所述，本發明提供的單端靜態隨機存取記憶體可在對記憶胞進行寫入時導通第三開關以提供記憶胞放電的路徑以將資料寫入記憶胞中，且可在記憶胞未被選擇讀寫時斷開第三開關以切斷未被選擇讀寫的記憶胞的漏電路徑，因此可以抑制單端靜態隨機存取記憶體的漏電流。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 為習知的單端靜態隨機存取記憶體的電路示意

圖。

圖 2 為依據本發明一實施例的單端靜態隨機存取記憶體  
體的示意圖

圖 3 為依據本發明另一實施例的單端靜態隨機存取記  
憶體的電路示意圖

圖 4 為依據本發明又另一實施例的單端靜態隨機存取  
記憶體的示意圖

### 【主要元件符號說明】

100、200、300、400：單端靜態隨機存取記憶體

210、310、410、510、610、710：記憶胞

220、320、420、520：第三開關

230、330：資料拴鎖單元

240、340：第一開關

250、350：第二開關

260、360：資料傳輸單元

TI1、TI2：輸入端

TO1、TO2：輸出端

M1~M6、M21~M29：電晶體

REFDATA：參考資料

GWL、GWL1、GWL2：控制信號

Vcc：參考電源

GND：參考接地端

BWL、BRL、BL、BL1、BL2：位元線

WWL、WRL、WL1~WL6：字元線信號

## 七、申請專利範圍：

1. 一種單端靜態隨機存取記憶體，包括：

至少一記憶胞，該記憶胞包括：

一資料拴鎖單元，具有一第一輸入端、一第二輸入端、一第一輸出端以及一第二輸出端，拴鎖該第一或該第二輸入端所接收的一輸入資料，並在該第一及第二輸出端分別提供一儲存資料及該儲存資料的反向資料；

一第一開關，接收一參考資料，並耦接該第二輸入端，該第一開關依據一第一字元線信號使該參考資料傳送至該第二輸入端；

一第二開關，接收該參考資料，並耦接該第一輸入端，該第二開關依據一第二字元線信號使該參考資料傳送至該第一輸入端；以及

一資料傳輸單元，耦接一位元線以及該第一輸出端，依據該儲存資料以及一控制信號以決定是否傳送該參考資料至該位元線；以及

一第三開關，接收該參考資料以及該控制信號，並耦接該第一及該第二開關以及該資料傳輸單元，依據該控制信號以傳送該參考資料至該第一及該第二開關以及該資料傳輸單元。

2. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中該資料拴鎖單元包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端接收一參考電源，其第二端耦接該第一輸出端，其

控制端耦接該第一輸入端；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接該第一輸出端，其第二端耦接一參考接地端，其控制端耦接該第一輸入端；

一第三電晶體，具有第一端、第二端以及控制端，其第一端接收一參考電源，其第二端耦接該第一輸出端，其控制端耦接該第一輸入端；以及

一第四電晶體，具有第一端、第二端以及控制端，其第一端耦接該第一輸出端，其第二端耦接一參考接地端，其控制端耦接該第一輸入端，

其中，該第一輸出端耦接至該第二輸入端，該第二輸出端耦接至該第一輸入端。

3. 如申請專利範圍第 2 項所述之單端靜態隨機存取記憶體，其中該第一及該第三電晶體為 P 型電晶體，該第二及該第四電晶體為 N 型電晶體。

4. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中該資料傳輸單元包括：

一第五電晶體，具有第一端、第二端以及控制端，其控制端耦接該第一輸出端以接收該儲存資料，其第二端耦接該第三開關；以及

一第六電晶體，具有第一端、第二端以及控制端，其第一端耦接該第五電晶體的第一端，該第六電晶體的第二端耦接該位元線，該第六電晶體的控制端接收該控制信號。

5. 如申請專利範圍第 1 項所述之單端靜態隨機存取

記憶體，其中該第一開關為一第七電晶體，該第七電晶體具有第一端、第二端以及控制端，其第一端接收該參考資料，其第二端耦接該第二輸入端，且其控制端接收該第一字元線信號。

6. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中該第二開關為一第八電晶體，該第八電晶體具有第一端、第二端以及控制端，該第八電晶體的第一端接收該參考資料，其第二端耦接該第一輸入端，且其控制端接收該第二字元線信號。

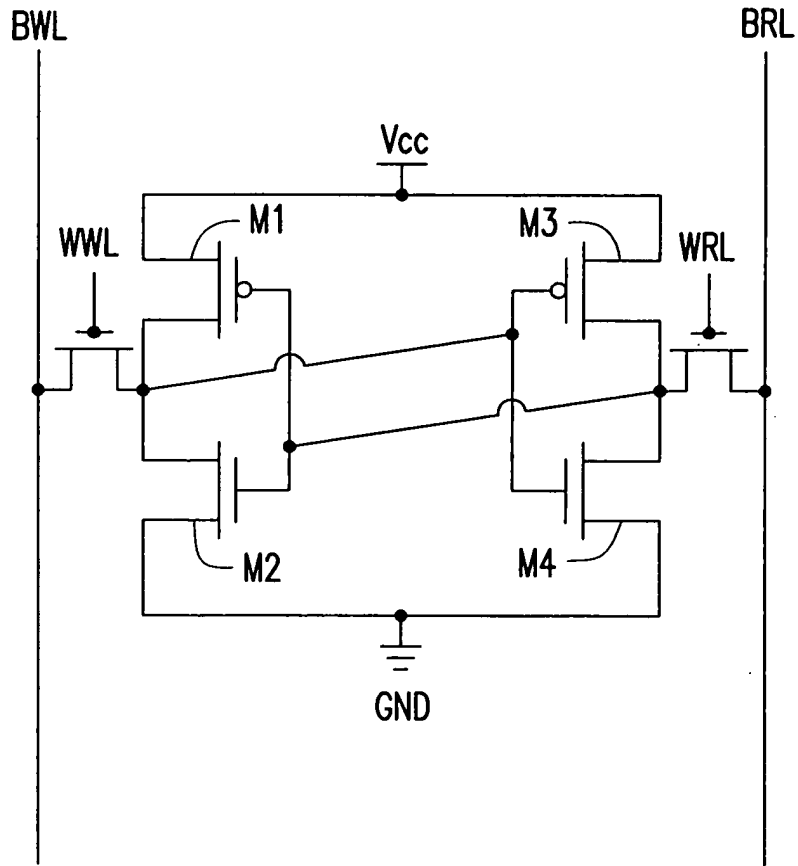
7. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中該第三開關為一第九電晶體，該第九電晶體具有第一端、第二端以及控制端，該第九電晶體的第一端接收該參考資料，其第二端耦接該第一及該第二開關以及該資料傳輸單元，且其控制端接收該控制信號。

8. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中針對該記憶胞進行寫入動作時，該第一開關或該第二開關被導通，並且，該第三開關依據該控制信號被導通。

9. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中針對該記憶胞進行讀取動作時，該第一開關及該第二開關均被斷開，並且，該第三開關依據該控制信號被導通。

10. 如申請專利範圍第 1 項所述之單端靜態隨機存取記憶體，其中該參考資料的電壓準位等於一參考接地端的電壓準位。

八、圖式：



100

圖 1

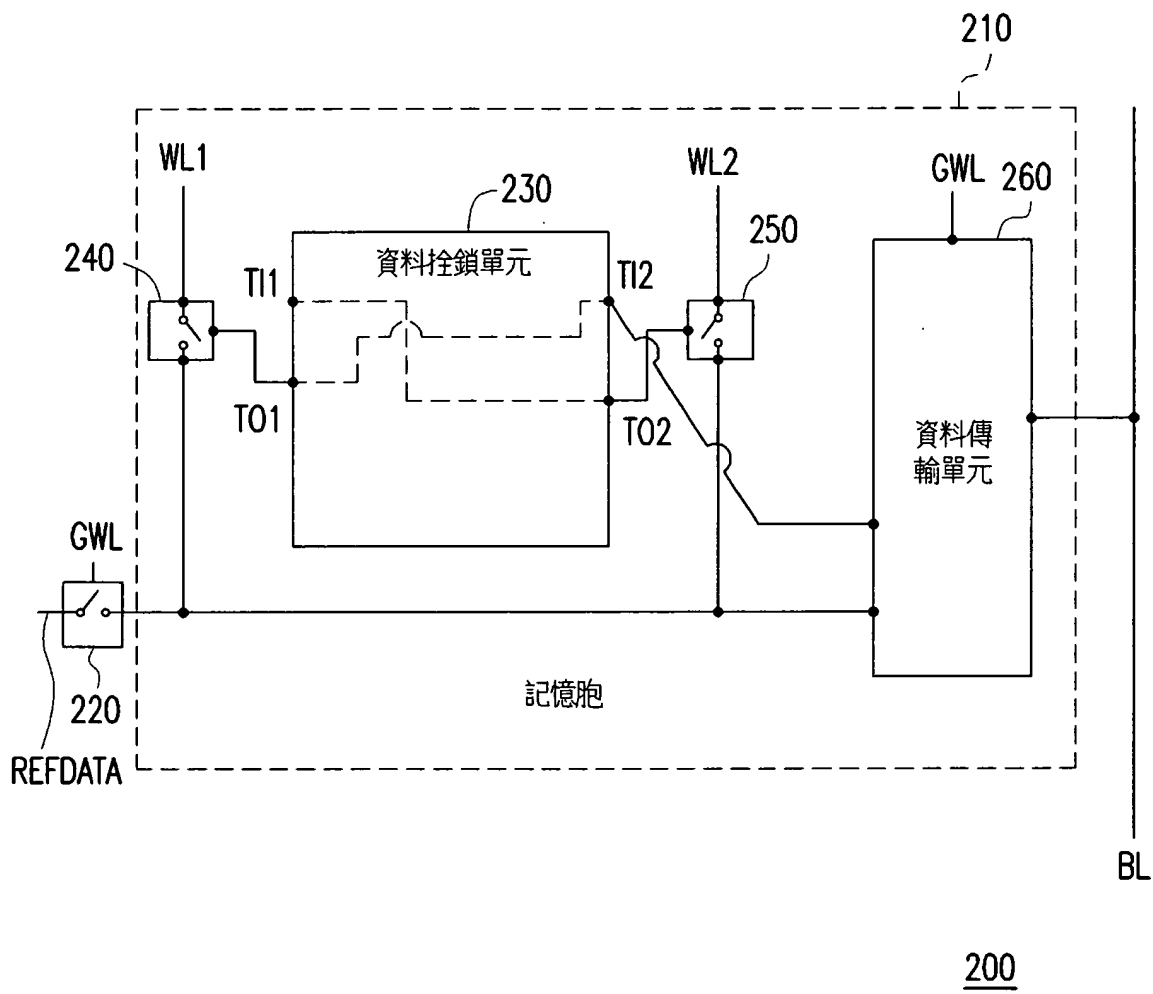


圖 2

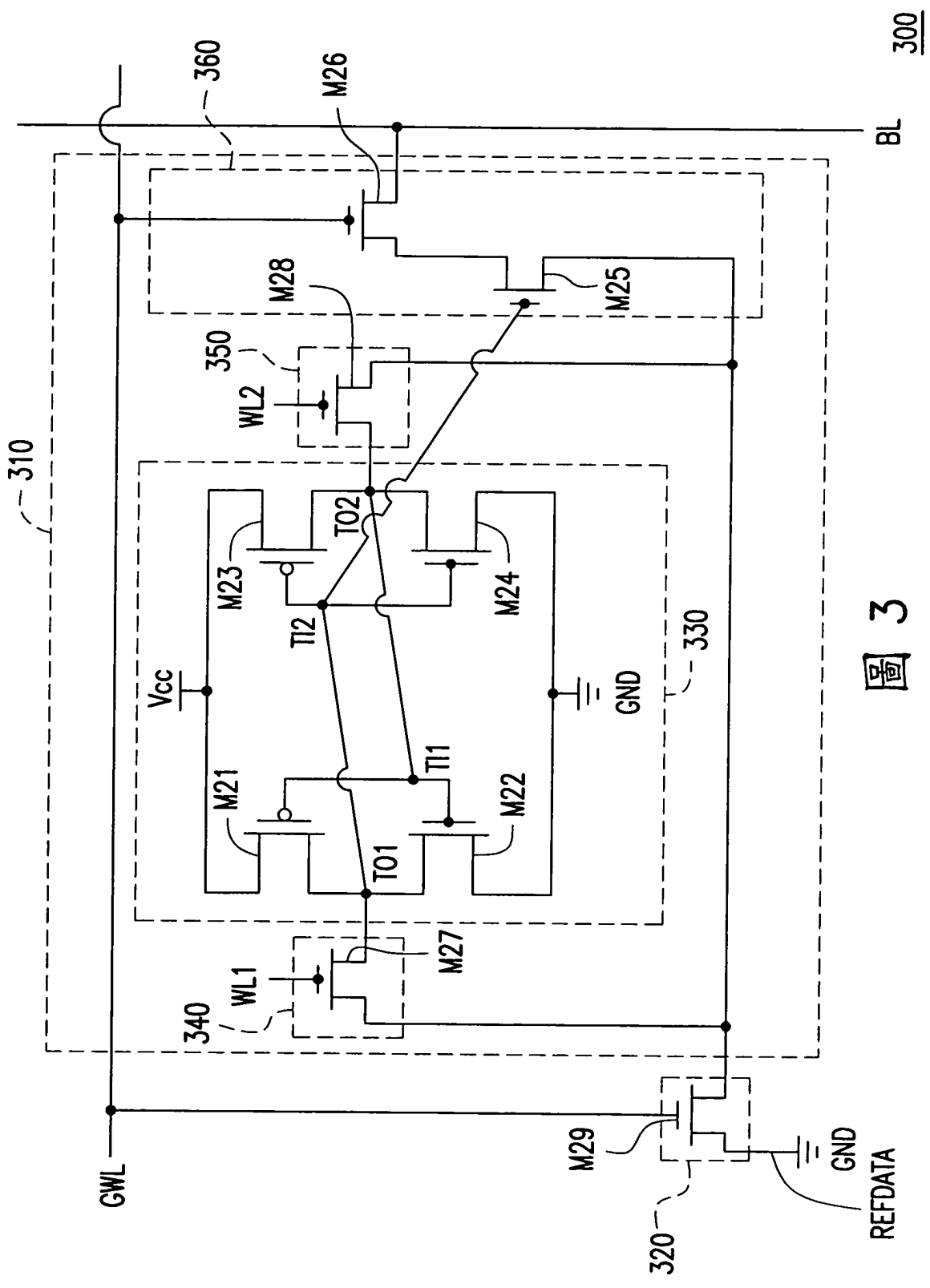


圖 3



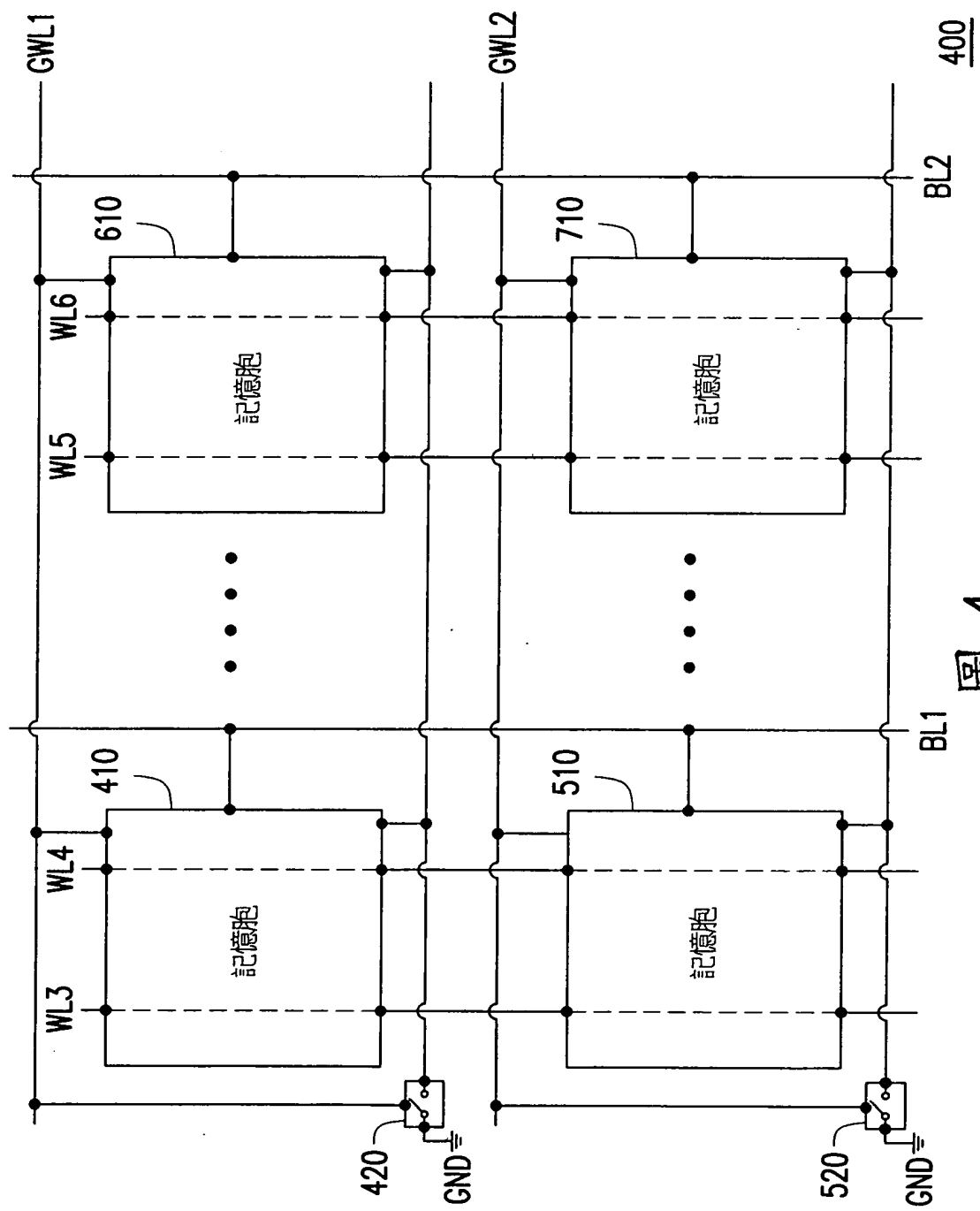


圖 4