

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96179890

※申請日期： 96-10-24

※IPC 分類：

G11C 7/10 (2006.01)

一、發明名稱：(中文/英文)

單端多埠之儲存裝置

二、申請人：(共 1 人)

姓名或名稱：國立交通大學

代表人：吳重兩

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：中華民國 TW

三、發明人：(共 2 人)

姓 名：1. 楊皓義

2. 黃 威

國 籍：1. 中華民國 TW 2. 中華民國 TW

四、聲明事項：

- 主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為：96年04月25-27日。

VLSI Design, Automation and Test, 2007. VLSI-DAT 2007.

International Symposia 25-27 April Page(s): 1-4

- 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

- 有主張專利法第二十七條第一項國際優先權：

- 無主張專利法第二十七條第一項國際優先權：

- 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

- 主張專利法第三十條生物材料：

- 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

- 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係有關於一種單端多埠之儲存裝置，其藉由一第一反相器之第一輸入端耦接於一第二反相器之第二輸出端，第一反相器之第一輸出端耦接於第二反相器之第二輸入端，一均衡器，耦接該第一反相器與該第二反相器，以控制該第一反相器與該第二相器之電位，使耦接於第一反相器與於第二反相器之複數存取埠可存取資料。如此，可降低資料寫入儲存裝置所消耗的功率，並加快資料寫入儲存裝置的速度。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (三) 圖。

(二)本代表圖之元件符號簡單說明：

10	第一反相器
20	第二反相器
30	均衡器
40	存取埠
42	存取埠
44	存取埠

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種儲存裝置，其係尤指一種單端多埠之儲存裝置。

【先前技術】

按，隨著多核心系統單晶片的發展，越來越多的記憶體將被整合於系統晶片中以幫助各核心的運算，因此記憶體在未來的晶片上必定佔有大部分的面積，並成為影響系統晶片效能一個很重要的因子，且將消耗大量的能量；所以，如何有效的降低記憶體的面積及其功率消耗必定成為一個很重要的課題。

請參閱第一圖，係為習知技術之儲存裝置的電路圖。如圖所示，習知技術之儲存裝置包括一第一反相器 10'、一第二反相器 20' 與一存取埠 30'。第一反相器 10' 之輸入端耦接第二反相器 20' 之輸出端；第一反相器 10' 之輸出端耦接第二反相器 20' 之輸入端，存取埠 30' 耦接於第二反相器 20' 與一位元線(Bitline, BL)，並與一字元線(Wordline, WL)相耦接，此存取埠 30' 為一 N 型金氧半場效電晶體(NMOS)，因此當位元線為高電位時，存取埠 30' 打開，將會有一門檻電壓跨在存取埠 30' 上，使得位元線電壓對儲存裝置的有效電壓減小；因此，請一併參閱第二圖，係為另一習知技術之儲存裝置的電路圖，如圖所示，存取埠 30' 被一 P 型金氧半場效電晶體(PMOS)所取代，因此當位元線為高電位時，存取埠 30' 打開後，位元線的電壓將在無耗損的情況下傳入儲存裝置中。

一般位元線在單端儲存裝置進行讀取及寫入邏輯值"1"時，位元線都將先保持在高準位(High)，並字元線將會導通，如此，單端儲存裝置無法得知位元線與字元線如何動作是在進行讀取還是寫入邏輯值"1"。因此，設計出儲存裝置可依據不同準位的位元線，而進行寫入資料或讀取資料，當儲存裝置進行讀取時，位元線必須轉變為較電壓準位稍微低之電壓準位，以透過存取埠 30' 讀取第一反相器 10' 與第二反相器 20' 所儲存的資

料；當儲存裝置進行寫入時，位元線必須轉變為高電壓準位，以透過存取埠 30' 寫入第一反相器 10' 與第二反相器 20' 所形成的儲存單元。惟若，此架構具有較低的靜態雜訊邊界(static noise margin, SNM)，並必須注意儲存裝置之電晶體的大小，且難延伸多個存取埠。

此外，儲存裝置又有另一種設計，以保持良好的靜態雜訊邊界，並使用不同準位的字元線以進行寫入與讀取儲存裝置，其使用低準位的字元線以讀取儲存裝置的資料；使用高準位的字元線以寫入資料於儲存裝置。惟若，此種方式必須額外使用直流對直流轉換器(DC-DC convert)或充電幫浦，如此增加電路的複雜度，並增加功率的消耗。

因此，如何針對上述問題而提出一種新穎單端多埠之儲存裝置，將可運用單端記憶體元件的高密度優勢，多埠供讀寫以加快記憶體效率，以及其對於記憶體單元寫入速度與功率消耗之改進，更進一步的改進多核心系統單晶片上記憶體的效能。

【發明內容】

本發明之目的之一，在於提供一種單端多埠之儲存裝置，其藉由一記憶單元內之均衡器與一虛接地，以降低資料寫入儲存裝置時，所需的功率消耗。

本發明之目的之一，在於提供一種單端多埠之儲存裝置，其藉由一記憶單元內之均衡器與一虛接地，以加快資料寫入儲存裝置的速度。

本發明之目的之一，在於提供一種單端多埠之儲存裝置，其簡化儲存裝置的複雜度，進而節省成本。

本發明之單端多埠之儲存裝置內之記憶單元包含一第一反相器、一第二反相器、一均衡器與複數存取埠。第一反相器具有一第一輸入端與一第一輸出端，並耦接一電源與一虛接地，第二反相器具有一第二輸入端與一第二輸出端，第二輸入端耦接第一輸出端，第二輸出端耦接第一輸入端，並且第二反相器耦接電源與虛接地，均衡器耦接第一反相器與第二反相

器，以控制第一反相器與第二相器之電位，複數存取埠耦接第一反相器與第二反相器，並耦接一位元線與一字元線。

再者，本發明之單端多埠之儲存裝置更包括一阻隔單元，其耦接虛接地與接地之間，以避免當資料寫入儲存裝置時，因儲存裝置內之不穩態而導致大電流流經儲存裝置。

又，本發明之單端多埠之儲存裝置可供多埠同時讀出資料，但若有資料要寫入儲存裝置時，則僅供一埠寫入資料，而其他埠皆必須為關閉狀態（不供讀寫）。

【實施方式】

第三圖，係為本發明之一較佳實施例之方塊圖。如圖所示，本發明之單端多埠之儲存裝置可為任意之具有儲存功能之裝置，例如：一靜態隨機存取記憶體(State Random Access Memory, SRAM)、一檔案暫存器(Register File)，一緩衝器(Buffer)、一內容可定址記憶體(Context Addressable Memory, CAM)；並儲存裝置包含複數記憶單元(memory cell)，該些記憶單元包含一第一反相器 10、一第二反相器 20、一均衡器 30(Equalizer)與複數存取埠 40, 42, 44。第一反相器 10 具有一第一輸入端與一第一輸出端，並耦接一電源 Vdd 與一虛接地 V_Gnd，第二反相器 20，具有一第二輸入端與一第二輸出端，第二輸入端耦接第一輸出端，第二輸出端耦接第一輸入端，第二反相器 20 耦接電源 Vdd 與虛接地 V_Gnd，如此，第一反相器 10 與第二反相器 20 形成一反相器對，以儲存資料供存取埠 40, 42, 44 讀取或寫入資料。其中，請一併參閱第四圖，係為本發明之一較佳實施例之儲存裝置之電路圖。如圖所示，第一反相器 10 與第二反相器 20 為一互補式金氧半場效電晶體(Complemental Metal Oxide Semiconductor Field Effective Transistor, CMOSFET)。第一反相器 10 包括一第一電晶體 12 與一第二電晶體 14。即第一電晶體 12 之一端耦接於電源 Vdd，第二電晶體 14 之一端耦接於虛接地 V_Gnd，另一端與第一電晶體 12 串接，並第一電晶

體 12 之閘極與第二電晶體 20 之閘極相耦接；第二反相器 20 包括一第三電晶體 22 與一第四電晶體 24。第三電晶體 22 其一端耦接於電源 V_{dd}，第四電晶體 24 之一端耦接於虛接地 V_{Gnd}，第四電晶體 24 之另一端與第三電晶體 22 串接，並第三電晶體 22 之閘極與第四電晶體 24 之閘極相耦接，其中，第一電晶體 12 與第二電晶體 14 之串接端耦接於第三電晶體 22 與第四電晶體 24 之閘極，第三電晶體 22 與第四電晶體 24 之串接端耦接於第一電晶體 12 與第二電晶體 14 之閘極，以形成反相器對。此外，上述之第一電晶體 12 與第二電晶體 14 形成之第一反相器 10 與第三電晶體 22 與第四電晶體 24 形成之第二反相器 20 僅為本發明之一較佳的實施方式，但不侷限於上述電路所構成之第一反相器 10 與第二反相器 20，亦可為其他任意形式之反相電路所構成。

均衡器 30 耦接第一反相器 10 與第二反相器 20 之間，以控制第一反相器 10 與第二反相器 20 間的電位，即均衡器 30 接收一控制訊號時，使第一反相器 10 與第二反相器 20 間的電位相同，以進入一準穩定狀態 (meta-stable state)，其中均衡器 30 為一開關電路，如一場效電晶體 (Field Effect Transistor, FET)，如第三圖所示，均衡器 30 並作為一開關之用，當接收到控制訊號 (EQ) 時，使均衡器 30 導通而使反相器對的 N1 點與 N2 點的電壓準位相同。

該些存取埠 40，42，44 耦接第一反相器 10 與第二反相器，並分別耦接位元線 BL₁、位元線 BL₂ 與位元線 BL_n 和字元線 WL₁、字元線 WL₂ 與字元線 WL_n，以作為為一讀寫共用埠、一讀出埠或一寫入埠，如此可存取記憶單元之反相器對中的資料，但若有資料要寫入儲存裝置時，則僅供一埠寫入資料，而其他埠皆必須為關閉狀態 (不供讀寫)。如此，當進行寫入資料進入記憶單元之操作時，在初始階段，均衡器 30 將使記憶單元進入準穩定狀態；當記憶體已進入準穩定狀態，截止均衡器 30，並導通存取埠 40，記憶單元將會感測位元線 BL₁ 上的訊號以進行寫入資料；與此同時，虛接地 V_{Gnd} 之電壓也會增加而導致第一反相器 10 與第二反相器 20 的門

檻電壓上升，使本發明只需使用一半的電源 V_{dd} 於位元線 BL_1 即可進行資料的寫入，故降低資料寫入儲存裝置之記憶單元時，所需的功率消耗。此外，上述之該些存取埠 40，42，44 為一開關電路，並為場效電晶體。

請參閱第五圖，係為本發明之一較佳實施例之儲存裝置之列記憶單元之電路圖，如圖所示，由於在進行資料寫入時，若虛地端 V_{Gnd} 的電壓為零電位，並在均衡器 30 導通時，將會導致大電流流經第一反相器 10 與第二反相器 20，進而增加功率的消耗。所以，本發明之單端多埠之儲存裝置在每一列的記憶單元中的虛接地 V_{Gnd} 與接地間設置一阻隔單元 50，以避免大電流產生而減少功率的消耗。其中阻隔單元 50 包括一電晶體 51，52、一第一邏輯閘 53、一第二邏輯閘 54。電晶體 51 與電晶體 52 相互並接，並耦接於虛接地 V_{Gnd} 與接地間，第一邏輯閘 53 之輸出端耦接電晶體 52 之閘極，第二邏輯閘 55 之輸出端耦接電晶體 51 之閘極，並且第一邏輯閘 53 與第二邏輯閘 54 分別接收一阻隔訊號(PG)與反相之阻隔訊號，阻隔單元 50 在儲存裝置進行寫入時截止，以阻隔虛接地與接地端之連結，使虛接地浮接而避免大電流產生。此外，上述阻隔單元 50 之架構僅為本實施例之一較佳實施例，但不侷限於上述電路所構成阻隔單元 50，亦可為其他架構，如一 P 型金氧半場效電晶體功率閘(PMOS power gate)、一 N 型金氧半場效電晶體功率閘(NMOS power gate)或一資料保留功率閘(data retention power gate)。

請參閱第六圖，係為本發明之一較佳實施例之儲存裝置之寫入資料的時序圖。如圖所示，當儲存裝置欲進行資料寫入時，控制訊號(EQ)與阻隔訊號(PG)將會轉變為高準位，均衡器 30 在控制訊號(EQ)轉變為高準位時導通，並破壞記憶單元原本所儲存的資料，虛接地 V_{Gnd} 將從接地的零電位轉變為浮動的電位，此時第一反相器 10 與第二反相器 20 間的 $N1$ 點與 $N2$ 點之準位相同，此時，當均衡器 30 截止時，儲存裝置之記憶單元進入準穩定狀態，並該些存取埠 40，42，44 之其中之一將導通，並感測位元線上的訊號，之後，字元線將設定為高準位並導通阻隔單元 50，以完成寫入的動

作。

綜上所述，本發明之單端多埠之儲存裝置，其藉由一均衡器與一虛接地以控制第一反相器與第二反相器所形成的反相器對進入一準穩定狀態後，並由多埠之存取埠以存取資料。如此，降低資料寫入儲存裝置時所需的功率消耗，並加快資料寫入儲存裝置的速度，再者，由於本發明為單端的儲存裝置，故可降低儲存裝置的面積與縮小儲存裝置中位元線的繞線面積。

本發明係實為一具有新穎性、進步性及可供產業利用者，應符合我國專利法所規定之專利申請要件無疑，爰依法提出發明專利申請。

惟以上所述者，僅為本發明之一較佳實施例而已，並非用來限定本發明實施之範圍，舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第一圖為習知技術之儲存裝置之電路圖；

第二圖為另一習知技術之儲存裝置之電路圖；

第三圖為本發明之一較佳實施例之儲存裝置之方塊圖；

第四圖為本發明之一較佳實施例之儲存裝置之電路圖；

第五圖為本發明之一較佳實施例之儲存裝置之列記憶單元之電路圖；以及

第六圖為本發明之一較佳實施例之儲存裝置之寫入資料的時序圖。

【主要元件符號說明】

10' 第一反相器

20' 第二反相器

30' 存取埠

10 一反相器

20 第二反相器

107年09月19日修正替換頁

- 30 均衡器
- 40 存取埠
- 42 存取埠
- 44 存取埠
- 50 阻隔單元
- 51 電晶體
- 52 電晶體
- 53 第一邏輯閘
- 54 第二邏輯閘
- Vdd 電源
- V_Gnd 虛接地

十、申請專利範圍：

1. 一種單端多埠之儲存裝置，其包含複數記憶單元(memory cell)，該記憶單元包含：
 - 一第一反相器，具有一第一輸入端與一第一輸出端，並耦接一電源與一虛接地，該虛接地為一浮動電壓；
 - 一第二反相器，具有一第二輸入端與一第二輸出端，該第二輸入端耦接該第一輸出端，該第二輸出端耦接該第一輸入端，該第二反相器耦接該電源與該虛接地；
 - 一均衡器，耦接該第一反相器與該第二反相器，控制該第一反相器與該第二反相器之電位；
 - 複數存取埠，耦接該第一反相器與該第二反相器，並耦接一位元線與一字元線；及
 - 一阻隔單元，包含複數邏輯閘，耦接該虛接地與一接地端之間，且該些邏輯閘之輸入端耦接一阻隔訊號，該阻隔單元在該記憶單元被寫入資料時，該阻隔單元接受訊號進而阻隔該虛接地與該接地端之連結，使該虛接地浮接。
2. 如申請專利範圍第1項所述之儲存裝置，其中該第一反相器包括：
 - 一第一電晶體，其一端耦接於該電源；以及
 - 一第二電晶體，其一端耦接於該虛接地，另一端與該第一電晶體之另一端串接，並該第一電晶體之閘極與該第二電晶體之閘極相耦接；
該第二反相器包括：
 - 一第三電晶體，其一端耦接於該電源；以及
 - 一第四電晶體，其一端耦接於該虛接地，另一端與該第三電晶體串接，並該第三電晶體之閘極與該第四電晶體之閘極相耦接；
其中，該第一電晶體與該第二電晶體之串接端耦接於該第三電晶體與該第四電晶體之閘極，該第三電晶體與該第四電晶體之串接端耦接於該

第一電晶體與該第二電晶體之閘極。

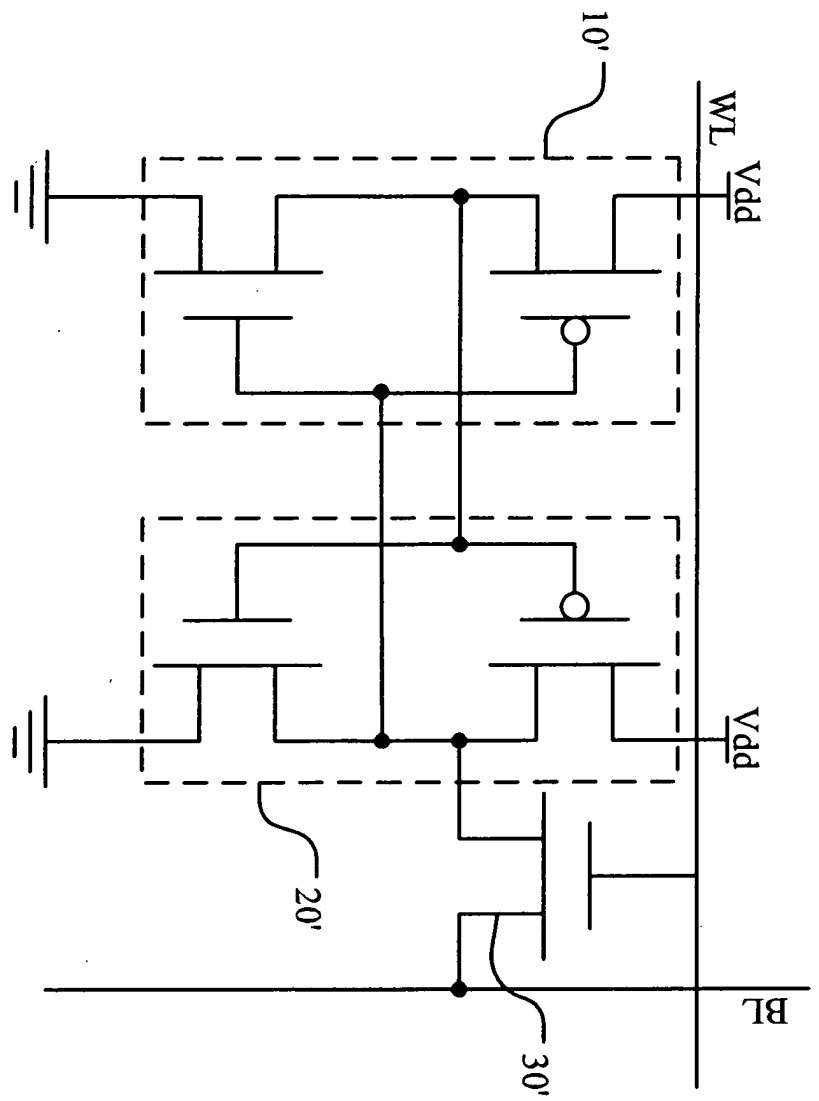
3. 如申請專利範圍第 1 項所述之儲存裝置，其中該均衡器接收一控制訊號，使該第一反相器與該第二反相器之電位相同，以進入一準穩定狀態(meta-stable state)。
4. 如申請專利範圍第 1 項所述之儲存裝置，其中該阻隔單元更包括：
 - 二電晶體，其耦接於該虛接地與該接地端之間且互相並接；
 - 一第一邏輯閘，耦接二電晶體之其中之一之閘極；以及
 - 一第二邏輯閘，耦接二電晶體之另一電晶體的閘極，該第一邏輯閘之一輸入端與該第二邏輯閘之一輸入端耦接該阻隔訊號。
5. 一種單端多埠之儲存裝置，其包含複數記憶單元(memory cell)，該記憶單元包含：
 - 一第一反相器，具有一第一輸入端與一第一輸出端，並耦接一電源與一虛接地，該虛接地為一浮動電壓；
 - 一第二反相器，具有一第二輸入端與一第二輸出端，該第二輸入端耦接該第一輸出端，該第二輸出端耦接該第一輸入端，該第二反相器耦接該電源與該虛接地；
 - 一均衡器，耦接該第一反相器與該第二反相器，控制該第一反相器與該第二反相器之電位；
 - 複數存取埠，耦接該第一反相器與該第二反相器，並耦接一位元線與一字元線；及
 - 一阻隔單元，包括一電晶體及一邏輯閘，該電晶體耦接於該虛接地與一接地端之間，該邏輯閘之輸出端耦接該電晶體，以在該記憶單元被寫入資料時接受訊號，進而阻隔該虛接地與該接地端之連結，使該虛接地浮接。
6. 如申請專利範圍第 1 項所述之儲存裝置，其中該阻隔單元為一 P 型金氧半場效電晶體功率閘(PMOS power gate)、一 N 型金氧半場效電晶體功率閘(NMOS power gate)或一資料保留功率閘(data retention power

107年09月19日修正替換頁

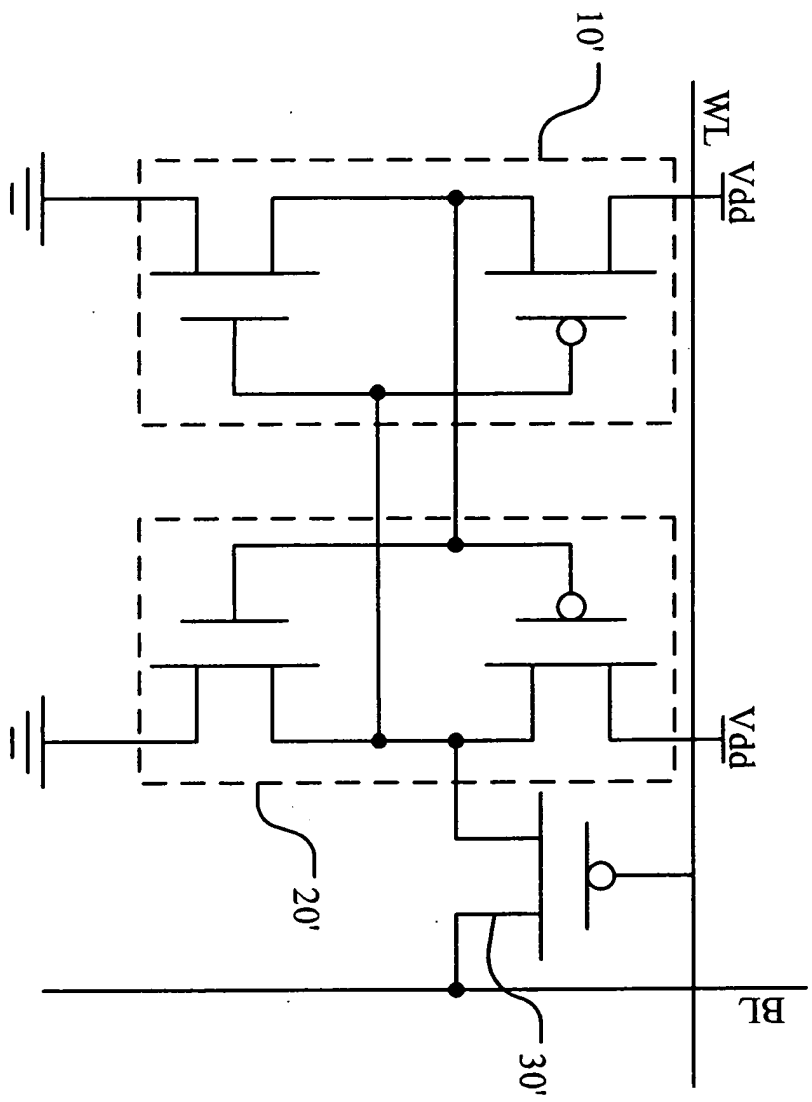
gate)。

7. 如申請專利範圍第 1 項所述之儲存裝置，其中該均衡器為一開關電路。
8. 如申請專利範圍第 1 項所述之儲存裝置，其該些存取埠為一開關電路。
9. 如申請專利範圍第 1 項所述之儲存裝置，其該些存取埠為一讀寫共用埠、一讀出埠或一寫入埠。
10. 如申請專利範圍第 1 項所述之儲存裝置，其中儲存裝置為一靜態隨機存取記憶體(State Random Access Memory, SRAM)、一檔案暫存器(Register File)、一緩衝器(Buffer)、一內容可定址記憶體(Context Addressable Memory, CAM)。

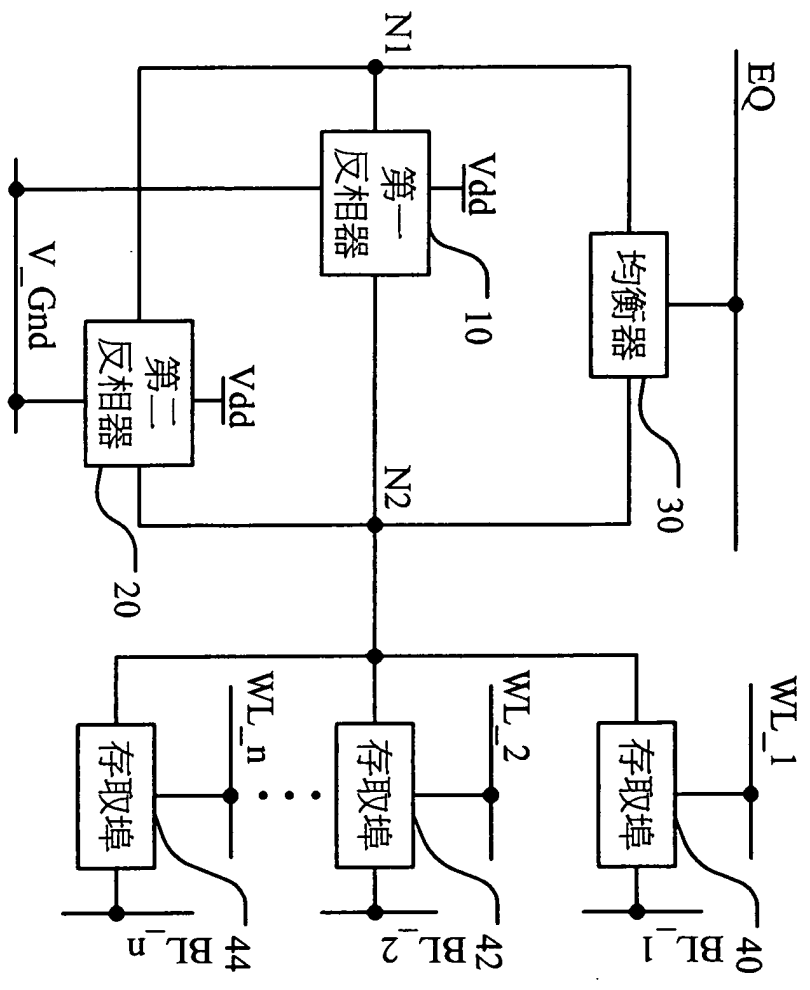
十一、圖式：



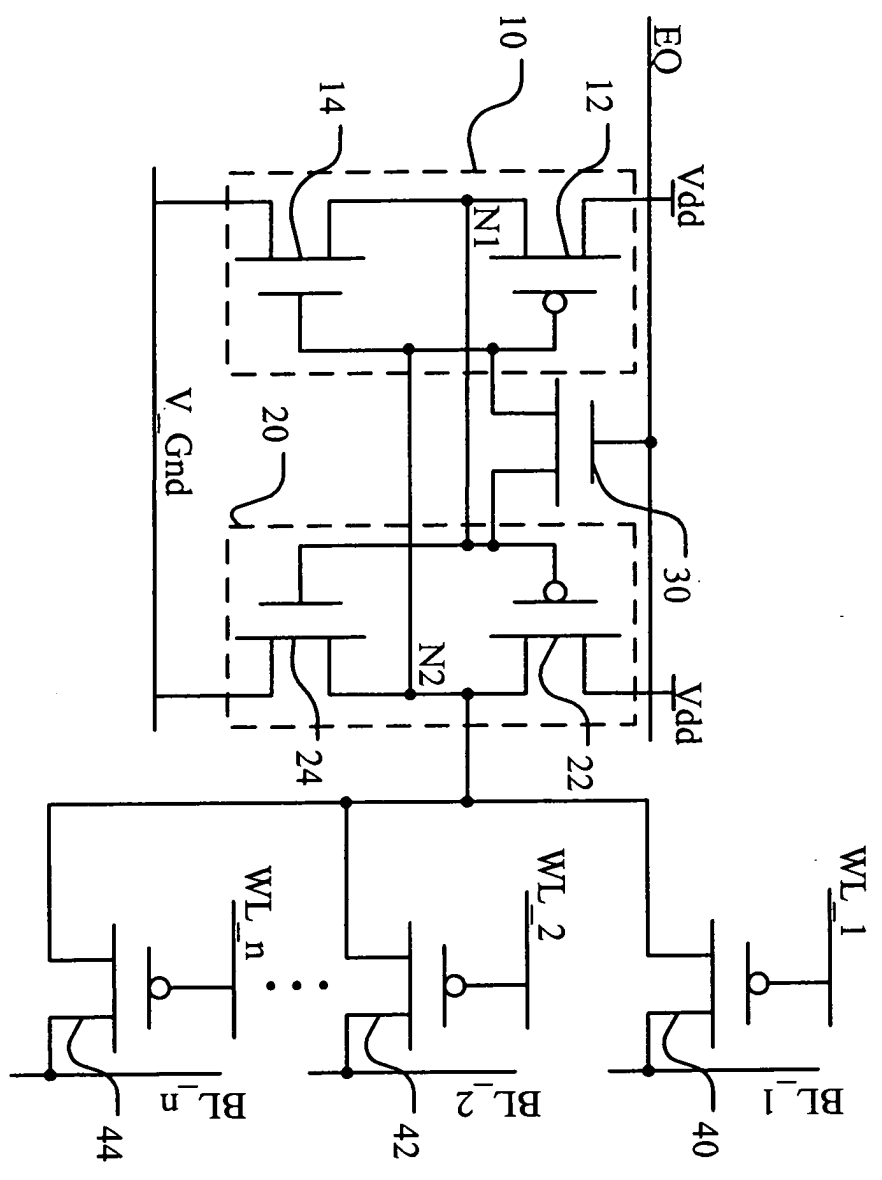
第一圖(習知技術)



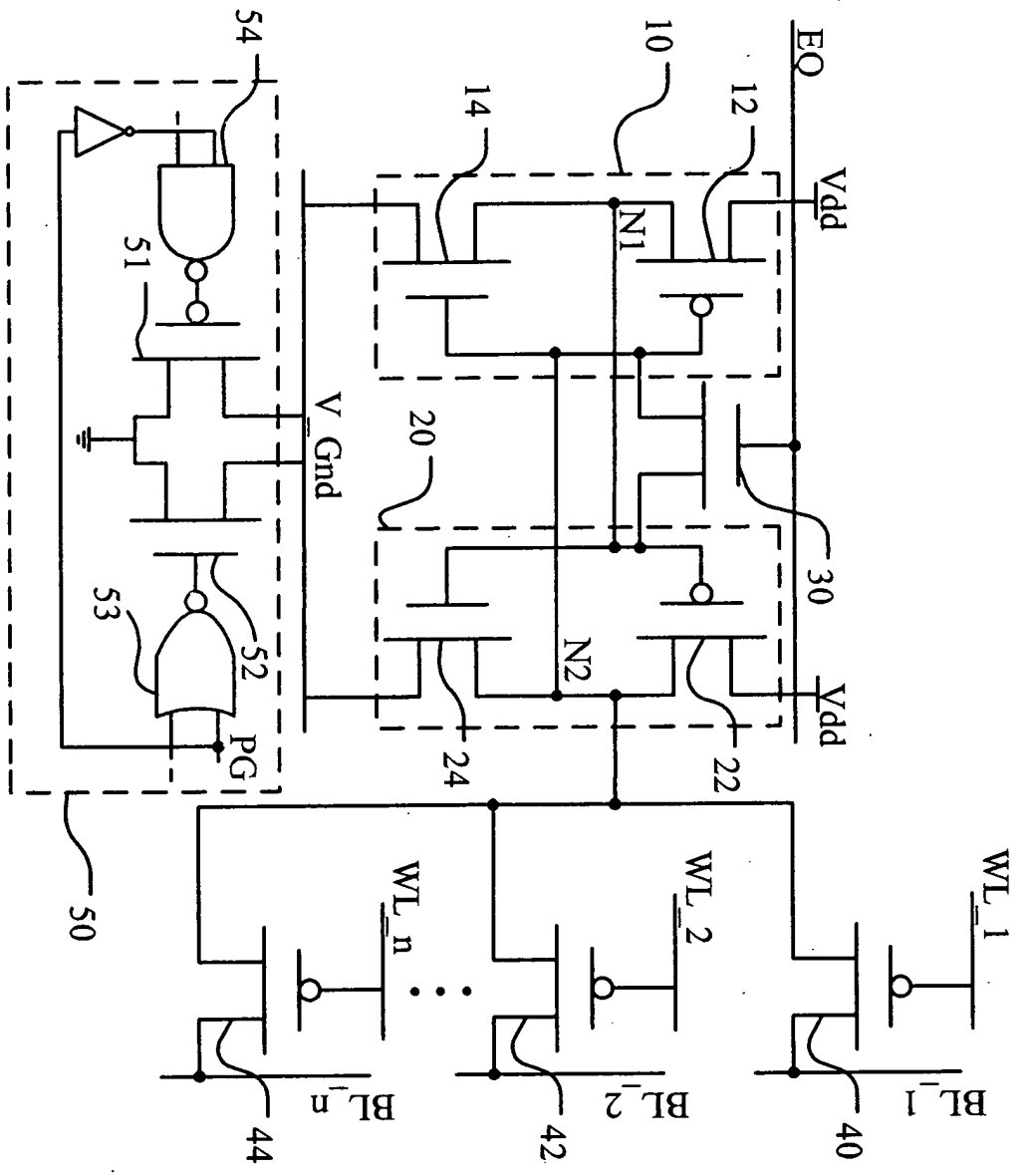
第二圖(習知技術)



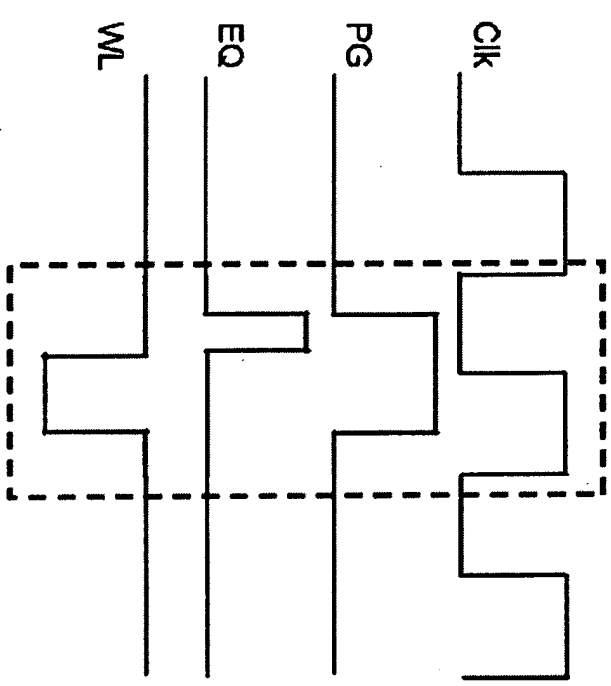
第三圖



第四圖



第五圖



第六圖