



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I470640 B

(45) 公告日：中華民國 104 (2015) 年 01 月 21 日

(21) 申請案號：100102780

(22) 申請日：中華民國 100 (2011) 年 01 月 26 日

(51) Int. Cl. : G11C7/10 (2006.01)

(30) 優先權：2010/07/06 美國 61/361,528

(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市新竹科學工業園區力行三路 5 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW)；楊皓義 YANG, HAO I (TW)；夏茂墀 HSIA, MAO CHIH (TW)；黃威 HWANG, WEI (TW)；陳家政 CHEN, CHIA CHENG (TW)；石維強 SHIH, WEI CHIANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 5497115 US 2007/0236983A1

US 2007/0274124A1 US 2009/0251984A1

審查人員：謝志偉

申請專利範圍項數：12 項 圖式數：14 共 44 頁

(54) 名稱

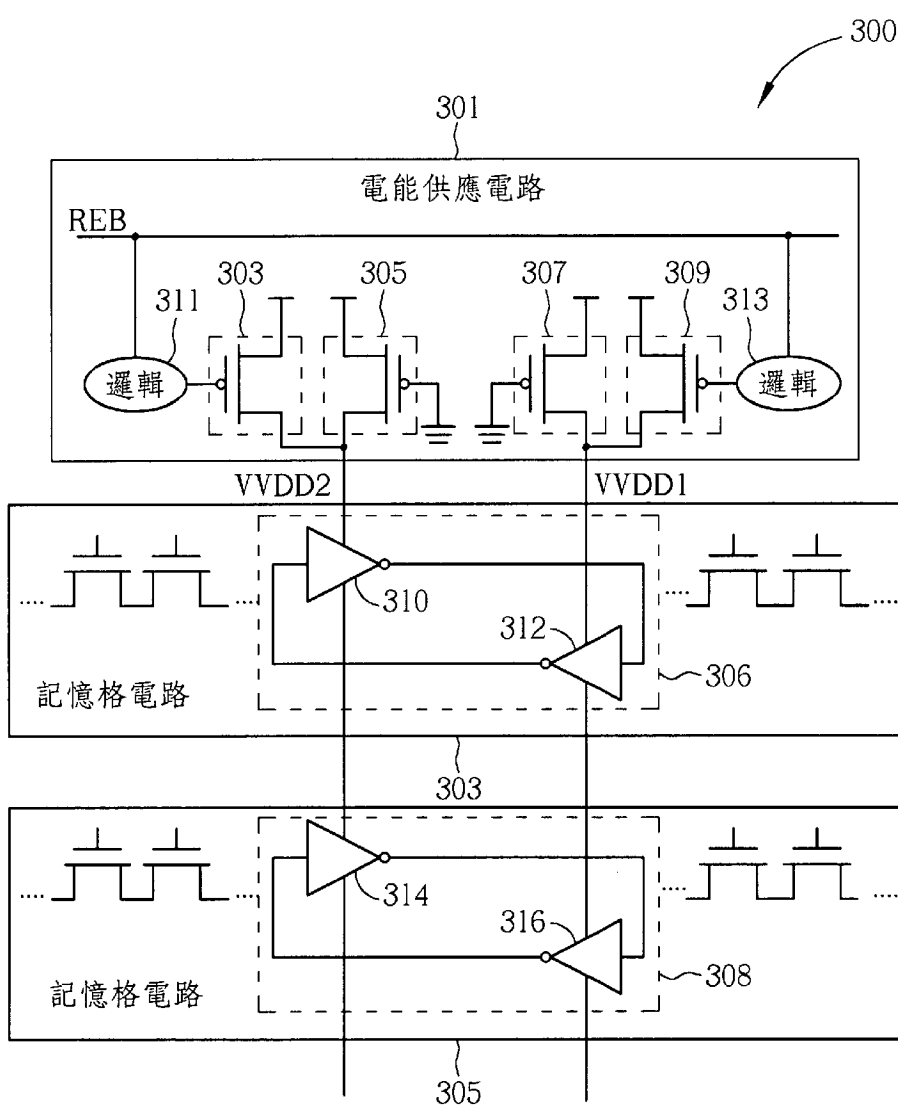
低電能靜態隨機存取記憶體

LOW POWER STATIC RANDOM ACCESS MEMORY

(57) 摘要

一靜態隨機存取記憶體，包含：至少一記憶格電路，包含了具有至少二反相器的一閉鎖電路，且包含用以接收電能的兩電能接收端；以及一電能供應電路，用以提供該電能至該記憶格電路，使得當資料被寫入至該閉鎖電路時，該閉鎖電路的供應電壓低於一預定電壓。

A static random access memory comprising: at least one memory cell circuit, comprising a latch circuit with at least two inverters, and comprising two power receiving terminals for receiving power; and a power supplying circuit, for providing the power to the memory cell circuit, such that supplying voltages of the latch circuit is below a first predetermined voltage level when data is written to the latch circuit.



- 300 . . . 靜態隨機存取記憶體
- 301 . . . 電能供應電路
- 302、309 . . . 電能開關裝置
- 303、305 . . . 記憶格電路
- 304、307 . . . 電能維持裝置
- 306、308 . . . 閉鎖電路
- 310、312、314、316 . . . 反相器
- 311、313 . . . 邏輯電路

第3圖

公告本

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/02780

※申請日：100.1.26 ※IPC 分類：

G11C 7/10

(2006.01)

一、發明名稱：(中文/英文)

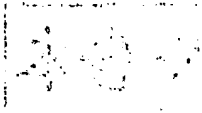
低電能靜態隨機存取記憶體/LOW POWER STATIC RANDOM ACCESS MEMORY

## 二、中文發明摘要：

一靜態隨機存取記憶體，包含：至少一記憶格電路，包含了具有至少二反相器的一閉鎖電路，且包含用以接收電能的兩電能接收端；以及一電能供應電路，用以提供該電能至該記憶格電路，使得當資料被寫入至該閉鎖電路時，該閉鎖電路的供應電壓低於一預定電壓。

## 三、英文發明摘要：

A static random access memory comprising: at least one memory cell circuit, comprising a latch circuit with at least two inverters, and comprising two power receiving terminals for receiving power; and a power supplying circuit, for providing the power to the memory cell circuit, such that supplying voltages of the latch circuit is below a first predetermined voltage level when data is written to the latch circuit.



#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件符號簡單說明：

- 300 靜態隨機存取記憶體
- 301 電能供應電路
- 302、309 電能開關裝置
- 303、305 記憶格電路
- 304、307 電能維持裝置
- 306、308 閉鎖電路
- 310、312、314、316 反相器
- 311、313 邏輯電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明有關於靜態隨機存取記憶體，特別有關於讀取模式中會讓記憶格電路位於一低電壓下，並在寫入模式中會讓記憶格電路位於一高電壓下的靜態隨機存取記憶體。

### 【先前技術】

第 1 圖繪示了習知技術之 6T (6 電晶體) 靜態隨機存取記憶體結構。如第 1 圖所示，6T 靜態隨機存取記憶體結構具有多個記憶格電路，但僅標示其中兩個記憶格電路 101、103 做為說明。

在 6T SRAM 格的讀取動作中 (第 2 圖)，當 WL 根據存取 NMOS (通路電晶體) 以及拉低 NMOS 間的分壓效應被選擇時，會在記憶格存取端 "0" (第 2 圖中的 NT) 產生讀取干擾電壓。此種讀取干擾電壓降低了讀取靜態雜訊邊界 (Read Static Noise Margin, RSNM)，而且可能造成記憶格靜態錯誤而限制了讀取的最低操作電壓。若讀取干擾電壓超過了相對的記憶格反相器預設行程臨界電壓 (trip voltage)，此記憶格可能因而翻轉。在讀/寫動作期間，被選擇的字元線上之半選記憶格施行虛擬讀取動作，因此可能會有 "半選干擾" 的現象，如同第 1 圖所示的被選擇記憶格的讀取干擾現象。

在待機模式下，記憶格陣列的供應電壓可被降低以減少電能消

耗。在讀取模式中，記憶格陣列的供應電壓須被拉升至較高的電壓以維持適當的 RSNM 以及讀取表現。在寫入模式中，為了幫助記憶格的資料寫入，記憶格陣列的供應電壓須維持在低點。然而，低記憶格陣列供應電壓會加劇”半選擇干擾現象”，且半選擇記憶格可能因此反轉。結果，整個主動記憶庫的記憶格陣列供應電壓須被拉升至較高電壓準位，因此會造成更多電能消耗。

### 【發明內容】

因此，本發明之一目的為提供一 SRAM，其可在寫入模式時將記憶格陣列供應電壓維持在低位準以幫助資料的寫入，並降低寫入模式的電能消耗。此外，SRAM 的記憶格陣列供應電壓僅在讀取模式時被拉升以維持適當的 RSNM。而且，SRAM 在寫入模式時將記憶格陣列供應電壓維持在低位準可達成超低電能 (Ultra Low Power, ULP) 模式操作，此種功能是傳統的 6T SRAM 所無法達成的。

本發明之另一目的為提供一 SRAM，其可在寫入模式時將記憶格陣列供應電壓維持在低位準以幫助資料的寫入，並降低寫入模式的電能消耗。而且，在讀取期間僅有被選擇的 SRAM 欄位之記憶格陣列供應電壓被拉升以維持適當的 RSNM 並最小化電能消耗。根據本發明之實施例的 SRAM 在讀取模式時將未被選取的欄位之格陣列供應電壓維持在低位準，並僅拉升被選取的欄位之格陣列供應電壓，因此可達成絕對低電能 (Absolute Low Power, ALP) 模式操作。

本發明之一示範性實施例揭露了一靜態隨機存取記憶體，包含：至少一記憶格電路，包含了具有至少二反相器的一閉鎖電路，且包含用以接收電能的兩電能接收端；以及一電能供應電路，用以提供該電能至該記憶格電路，使得當資料被寫入至該閉鎖電路時，該閉鎖電路的供應電壓低於一預定電壓。在一實施例中，記憶格電路包含多數資料存取端，且資料存取端由至少二通路電晶體開關裝置所控制。

在一示範性實施例中，電能供應電路可更包含一邏輯電路，使得只有被選擇的欄位在讀取模式時其格陣列供應電壓會被拉升至高電壓。

而且，根據前述實施例，僅有記憶格之一邊 (半記憶格) 之記憶格陣列供應電壓在讀取模式時被拉升，使得記憶格供應切換電能以及雜訊可被降低，且記憶格供應切換電能的切換速度會因此增加。而且，在絕對低電能模式中，僅有被選擇的欄位之格陣列供應電壓會被切換，使得切換電能以及雜訊可更加的降低，且可更為增加記憶格供應切換電能的切換速度。此外，僅需要簡單的控制電路結構。舉例來說，每一欄位僅需要一個電能開關裝置以及電能維持裝置。而且，僅需要簡單的解碼邏輯電路便可在絕對低電能模式下動作。裝置和所需要的面積也可藉此縮小。

#### 【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

根據本申請案的內容，記憶格電路可具有兩模式。一個稱為 超低電能模式 (Ultra Low Power, ULP)，另一個稱為絕對低電能模式 (Absolutely Lowest Power, ALP)。

在超低電能模式中，記憶格陣列於不同動作模式下的的供應電壓可如下所示：

待機或睡眠模式：記憶格陣列供應電壓被拉低以降低能量損耗。

寫入模式：記憶格陣列供應電壓維持在低電壓以幫助寫入。

讀取模式：記憶格陣列供應電壓被拉升以維持靜態雜訊邊界以及讀取表現。



在絕對低電能模式中，記憶格陣列於不同動作模式下的的供應電壓可如下所示：

待機或睡眠模式：記憶格陣列供應電壓被降低以降低能量損耗。

寫入模式：記憶格陣列供應電壓維持在低電壓以幫助寫入。

讀取模式：僅有被選擇的欄位之記憶格陣列供應電壓被拉升以維持靜態雜訊邊界以及讀取表現。

第 3 圖 為一方塊圖，係描述依據本發明一實施例之靜態隨機存取記憶體 300。如第 3 圖所示，該靜態隨機存取記憶體 300 包含一電能供應電路 301，及至少一記憶格電路 303 及 305 (該記憶格電路之數量可以大於二，但在本文中僅描述兩記憶格電路之實施例)。該記憶格電路 303 及 305 分別包含閉鎖電路 306 及 308，該閉鎖電路包含至少兩反相器，且包含兩電能接收端 VVDD1 及 VVDD2 用以接收由該電能供應電路 301 傳來之電能。在一實施例中，一點交叉雙層閘結構可被應用至該記憶格電路 303。這表示了該記憶格電路 303 之資料存取端係分別由至少兩個通路電晶體 (pass transistor) 電能開關裝置控制。以下將描述該記憶格電路 303 之詳細實施例。

電能供應電路 301 提供電能至該記憶格電路 303 及 305，也因此該記憶格電路 303 及 305 處於待機模式時，提供給閉鎖電路 306 及 308 之記憶格陣列供應電壓 (VVDD1 以及 VVDD2) 會低於一第一預設電壓位準 VDD。在寫入模式時，記憶格陣列供應電壓 (VVDD1

以及 VVDD2) 仍保持低電壓來協助將資料寫入至被選擇的記憶格。在讀取模式中 (讀取致能條訊號  $REB=0$ )，記憶格陣列供應電壓被拉升 (或耦接) 至 VDD 以改善 RSNM 以及讀取表現。該電能供應電路 301 包含複數之電晶體 303~309。這些電晶體可分類為電能開關裝置 (例如 302 及 309) 或電能維持裝置 (例如 304 及 307)。電能供應電路 301 更可包含邏輯電路 311 及 313 用以控制電能供應電路使得僅有被選擇的記憶格陣列之欄位之記憶格陣列供應電壓增加。

第 4 圖為一電路圖，描述本發明一實施例之一靜態隨機存取記憶體之詳細結構。如第 4 圖所示，該電能維持裝置 401 包含：一讀取致能條信號傳輸線 402，一電能開關裝置 405，及兩個電能維持裝置 407 及 409。該讀取致能條信號傳輸線 402 傳輸一讀取致能條信號  $REB$ 。該電能開關裝置 405 提供電能至該兩電能接收端 VVDD1 及 VVDD2 其中之一，且依據該讀取致能條信號  $REB$  開關。該電能維持裝置 407 及 409 具有一第一端，耦接至該第一預設電壓 VDD，及一第二端分別耦接至該電能接收端 VVDD1 及 VVDD2。在一實施例中，該 PMOSFETs 係用以實現該電能開關裝置 405 及該電能維持裝置 407 及 409，但並不代表限定了本發明的範圍。其他種類的電晶體也可以用來實現該電能開關裝置 405 及該電能維持裝置 407 及 409，例如第 13 圖所示之 NMOSFETs 實施例。

該記憶格電路 403 包含一閉鎖電路 406 電能開關裝置。閉鎖電路 406 包含兩交叉耦接的反相器 (411/413 以及 415/417)。記憶格電

路 403 更包含通路電晶體開關 419, 421 以及 423。通路電晶體開關 423 之控制端 (例如：閘極) 由以列為基礎的字元線 WL 控制。通路電晶體開關 419 和 421 具有其控制端 (也就是，閘極)，此控制端由以欄位為基礎的第一寫入字元線 (WWLB) 408 以及第二寫入字元線 (WWL) 410 所控制。

該記憶格電路 403 之架構如第 4 圖所示，也可被稱為點交叉雙層閘結構。該閉鎖電路 406 具有一第一存取端 QB 及一第二存取端 Q，且具有電能接收端 VVDD1 及 VVDD2 以接收該電能維持裝置 401 傳送來之電能。電能開關裝置通路電晶體開關 419 具有一第一位元轉換端 B1 耦接至該第一存取端 QB，一第一控制端耦接至一第一寫入字元線 (WWLB) 408，及一第二位元轉換端 Q。通路電晶體開關電能開關裝置 421 具有一第三位元轉換端 B3 耦接至該第二存取端 Q，一第二控制端連接至一第二寫入字元線 (WWL) 410，及一第四位元轉換端 B4 耦接至該第二位元轉換端 B2。通路電晶體開關電能開關裝置 423 具有一第五位元轉換端 B5 耦接至該第四位元轉換端 B4，一第三控制端耦接至一字元線 (WL) 412，一第六位元轉換端 B6 耦接至一位元線 (BL) 414。電能開關裝置 425 具有一控制端耦接至該通路電晶體開關電能開關裝置 419 之一第一位元轉換端，一第一端耦接至通路電晶體開關電能開關裝置 423 之一第一位元轉換端 B5，及一第二端耦接至一參考電壓位準 VVSS。

此外，該記憶格電路更可包含一感測放大器，係耦接至該位元線

414，用以決定一在位元線 (BL) 414 上顯示之一位元值。然而，該感測放大器並未顯示在本發明之第 3 圖上。

如第 4 圖所示之實施例，該讀取致能條信號 REB 在待機/寫入模式為 1，以致該電能開關裝置 405 關閉。在讀取模式下，REB 為 0，該電能開關裝置 405 會打開，以致在該電能接收端該點壓  $V_{VDD2}$  之電壓會被提升到該第一預設電壓位準  $V_{DD}$ 。藉由本方法，可改善 RSNM 以及讀取表現，尤其是當在 QB 的邏輯值為 1 的時候。因此，除了在前述的超低電能模式的讀取動作外，記憶格陣列供應可保持低邏輯準位。

如表 1， $V_{VDD1}$  及  $V_{VDD2}$  在不同模式下具有不同的電壓值：

|            | 待機        | 讀取        | 寫入        |
|------------|-----------|-----------|-----------|
| $V_{VDD1}$ | $<V_{DD}$ | $<V_{DD}$ | $<V_{DD}$ |
| $V_{VDD2}$ | $<V_{DD}$ | $V_{DD}$  | $<V_{DD}$ |

表 1: 超低電能模式下  $V_{VDD1}$  和  $V_{VDD2}$  的電壓值

同時，如表 2 所示，該讀取致能條信號 REB，該第一寫入字元線 (WWLB) 408，該第二寫入字元線 (WWL) 410，該字元線 (WL) 412，該位元線 (BL) 414，及該參考電壓位準  $V_{VSS}$ ：

|  | 待機 | 讀取 | 寫入 | 寫入“0” |
|--|----|----|----|-------|
|  |    |    |    |       |

|      |   |   | “1” |   |
|------|---|---|-----|---|
| REB  | 1 | 0 | 1   | 1 |
| 414  | 1 | X | 0   | 0 |
| 412  | 0 | 1 | 1   | 1 |
| 410  | 0 | 0 | 0   | 1 |
| 408  | 0 | 0 | 1   | 0 |
| VVSS | X | 0 | 1   | 0 |

表 2 超低電能模式下的訊號值

藉由以上提到的實施例，即使在點交叉雙層閘結構下，也可維持恰當的保持雜訊免疫力(Hold Static Noise Margin)。電能維持裝置 407 及 409 可以在待機及寫入模式時，提供該記憶格陣列足夠的電能。

第 5 圖為一電路圖，係描述依據本發明另一實施例所示之靜態隨機存取記憶體之詳細結構。第 4 圖中的實施例，每一記憶格陣列的欄位利用至少一相對應之電能維持裝置。然而，第 5 圖中的實施例，係容許一個以上之記憶格陣列的欄位共同使用一電能維持裝置。如第 5 圖所示，該電能供應電路 501 包含：一讀取致能條信號傳輸線 502，一電能維持裝置 505，複數個隔離裝置 507 至 513 及複數個電能開關裝置 515 至 521。類似第 4 圖的實施例，該讀取啟動信號傳輸線 502 傳輸一讀取致能條信號 REB。該電能開關裝置 515 至 521 提供電能至複數個記憶格電路之接收端，且依據該讀取啟動或

關閉信號 REB。該電能維持裝置 505 具有一第一端耦接到該第一預設電壓準位 VDD，及一第二端分別耦接至該記憶格電路 523~529 之電能接收端 (本實施例中僅描述其中一群端)。當在讀取模式時，該電能開關裝置 515~521 係開啟的。

第 4 圖和第 5 圖所描述之實施例一個差異之處，是第 5 圖中的電能維持裝置係被多個欄位中的複數個記憶格電路所共用。由此方法，因為使用複數個記憶格電路，該電能接收端 (第 4 圖中的 VVDD1 和 VVDD2) 的電容增加，漏電流減少。增加的電容降低了待機模式下的記憶格陣列電能供應之變化 (因為相同欄位上的記憶格之漏電流所引起)，並降低了寫入模式中的記憶格陣裂電能供應之下降幅度 (由相同欄位上的記憶格之漏電流所引起)。

第 4 圖和第 5 圖所描述之實施例另一差異之處，是第 5 圖中實施例包含複數個隔離裝置 507~513。該隔離裝置 507~513 分別具有一控制端耦接至一隔離啟動信號 ISE，一第一端耦接至該電能維持裝置 515~521，及一第二端耦接至該記憶格電路 523~529，其中該隔離裝置 507~513 係由該隔離啟動信號 ISE 控制其開啟或關閉，藉此將記憶格陣列之電能接收端之一側 (第 5 圖所示的左側) 的電能維持器 505 電性連接或斷開。第 5 圖之實施例，該隔離啟動信號 ISE 係依據兩信號產生，一為重設信號 Lreset，訊號確立後其邏輯值為 1，另一為一外部控制信號 sig\_end。經由該隔離裝置 507~513，可以決定記憶模式中是虛擬記憶格陣列供應端點 (VVDD1 和 VVDD2)

之一側或兩側被充電 (被拉升)。如果該隔離裝置 507~513 被啟動，在電能接收端 VVDD1 或 VVDD2 之電壓係在讀取模式被同時充電。如果該隔離裝置 507~513 被關閉，僅有電能接收端 VVDD2 之電壓位準在讀取模式時會被電能開關元件 515-521 充電 (拉升)，且 VVDD1 將會在讀取模式中保持低電位。

第 6 圖為一電路圖，係描述依據本發明另一實施例所示之靜態隨機存取記憶體之詳細結構。比較第 5 圖與第 6 圖中之實施例，第 6 圖中之實施例也包含一讀取致能條信號傳輸線 602，一複數之隔離裝置 613~619，及複數之電能開關裝置 621~627。第 5 圖和第 6 圖所描述之實施例一個差異之處，是第 6 圖中之實施例包含複數個電能維持裝置 605~611。該複數個電能維持裝置 605~611 係可程式化，且可提供不同大小之電流。藉此，可適當的調整該複數個電能維持裝置 605~611 提供之電流，且可微調該電能接收端 VVDD1 或 VVDD2 之電壓準位。

第 7 圖為一電路圖，係描述依據本發明另一實施例所示之具有一邏輯電路之靜態隨機存取記憶體之詳細結構。比較第 4 圖與第 7 圖中之實施例，該電能維持裝置 701 也包含一讀取致能條信號傳輸線 702，一電能開關裝置 705，及兩個電能維持裝置 707 及 709。此外，該電能維持裝置 701 更包含一邏輯電路 711 (於此實施例中為一 NAND 閘)。該邏輯電路 711 接收該讀取致能條信號 REB 及一記憶格陣列欄位選擇信號 ColEn 以輸出一電能切換控制信號 PC 以控制

該電能開關裝置 705 之開關。藉此，該電能開關裝置 705 之開關操作不只由該讀取致能條信號 REB 控制，也由該記憶格陣列欄位選擇信號 ColEn 控制。對於這個被選擇的欄位，該記憶格選擇信號 ColEn 邏輯值為 1。因此，在讀取模式中，僅有被選擇的欄位 VVDD2 被拉升。

如表 3，VVDD1 及 VVDD2 在不同動作模式下具有不同的電壓值：

|       | 待機   | 讀取<br>(被選取之欄位) | 讀取<br>(未被選取之欄位) | 寫入   |
|-------|------|----------------|-----------------|------|
| VVDD1 | <VDD | <VDD           | <VDD            | <VDD |
| VVDD2 | <VDD | VDD            | <VDD            | <VDD |

表 3：在絕對低電能模式下 VVDD1 和 VVDD2 的電壓值

參照表 3 之內容，只有該被選擇到的欄位之虛擬記憶格陣列供應端點 VVDD2 會在讀取模式被拉升到 VDD，而被選取欄位的虛擬記憶格陣列供應端點 VVDD1 仍低於 VDD。依此，第 7 圖中之實施例可在上述絕對最低電能模式 (ALP) 下運作。

同時，如表 4 所示，該讀取致能條信號 REB 之邏輯值，該第一寫入字元線 (WWLB) 708，該第二寫入字元線 (WWL) 710，該字元



線(WL) 712，位元線 (BL) 714，及該參考電壓位準 VVSS:

|      | 待機 | 讀取 | 寫入“1” | 寫入“0” |
|------|----|----|-------|-------|
| RE   | 0  | 1  | 0     | 0     |
| 714  | 1  | X  | 0     | 0     |
| 712  | 0  | 1  | 1     | 1     |
| 710  | 0  | 0  | 0     | 1     |
| 708  | 0  | 0  | 1     | 0     |
| VVSS | X  | 0  | 1     | 0     |

表 4: 絕對低電能模式下的訊號值

第 8 圖為一電路圖，係描述依據本發明另一實施例所示之共享一電能維持裝置之靜態隨機存取記憶體之詳細結構，其中數個欄位在絕對低電能模式中共享一電能維持器。類似於第 5 圖實施例，該電能供應電路 801 包含一電能維持裝置 805，複數個隔離裝置 815~821 及複數個電能開關裝置 823~829。該電能維持裝置 801 更包含一複數之邏輯電路 802~808。於本實施例中，每一該邏輯電路具有一 NOR 閘 (807~813) 及一反相器 (831~837)。該邏輯電路 802~808 接收該讀取致能條信號 REB 及一記憶格選擇信號 (Col 0~Col3、Select=0) 以輸出一電能切換控制信號 PC 以控制電能換裝置 823~829，及一隔離控制信號 IS 以控制隔離裝置 815~821。類似第 5 圖之隔離裝置 507~513，可決定在讀取模式中，僅有被選擇的欄位之電能接收端之一側 (VVDD2) 被充電，或是所有欄位之電能接收端的兩側都被充電 (VVDD1、VVDD2)。

第 9 圖為一電路圖，係描述依據本發明另一實施例所示之利用一可程式化之電能維持裝置之靜態隨機存取記憶體之詳細結構，其係在一絕對低電能模式下運作。第 9 圖的實施例中，可程式化電能維持裝置 901~907 取代了該單一電能維持裝置 805。如第 6 圖實施例所示，該電能維持裝置 901~907 係為可程式化，且可提供不同大小之電流。

第 10 圖為一電路圖，係描述依據本發明另一實施例所示之利用雙電能電能之靜態隨機存取記憶體之詳細結構，其係在絕對低電能模式下運作。第 10 圖所有之裝置幾乎都與第 8 圖相同，除了該電能維持裝置 805。電能維持裝置 805 是被一第二預設電壓供給源 VDDL 取代，其電壓位準係低於一第一預設電壓位準 VDD。依據第 8 圖之描述，第 10 圖中的電能接收端 VVDD1 及 VVDD2 之電壓位準係被描述於表 5。

|       | 待機   | 讀取<br>(被選取之欄位) | 讀取<br>(未被選取之欄位) | 寫入   |
|-------|------|----------------|-----------------|------|
| VVDD1 | VDDL | VDDL           | VDDL            | VDDL |
| VVDD2 | VDDL | VDD            | VDDL            | VDDL |

表 5 具有雙電源供應的絕對低電能模式下之 VVDD1 和 VVDD2 的電壓值

第 11 圖為一電路圖，係描述依據本發明另一實施例所示之利用一降壓裝置之靜態隨機存取記憶體之詳細結構，其係運作在絕對低電能模式中。第 11 圖之實施例中，該第二預設電能供應源 VDDL 包含一降壓裝置 1101 耦接至該第一預設電壓位準 VDD。一 PMOSFET 具有一閘及端連接至汲極（也就是，二極體形式的 PMOSFET），但必需注意的是，其他降壓裝置也可被應用於本實施例。

第 12 圖為一電路圖，係描述依據本發明另一實施例所示之具有一加速寫入之邏輯電路之靜態隨機存取記憶體之詳細結構。第 12 圖之實施例中，該電能供應電路 1201 包含一讀取致能條信號傳輸線 1204，二電能開關裝置 1209 及 1211，該電能維持裝置 1206 及 1208。該讀取致能條信號傳輸線 1204 傳送一讀取致能條信號 RE。該邏輯電路 1202 包含一 NOR 閘 1205 及一反相器 1207，用以接收該讀取致能條信號 RE 及被寫入該閉鎖電路 1210 之資料（亦即在該寫入字元線 1212 (WWLB) 及 1214 (WWL) 之資料) 以分別對電能開關元件產生電能控制信號 PC1 和 PC2。依據該電能控制信號 PC1 和 PC2，該電能開關裝置 1209 及 1211 提供電能至該電能接收端 VVDD1 及 VVDD2。該電能維持裝置 1206 及 1208 具有一第一端耦接至該第一預設電壓位準 VDD，一第二端分別耦接至該電能接收端 VVDD1 及 VVDD2。當該資料存取端 QB 被讀取時，該電能開關裝置 1209 及 1211 於讀取模式中是導通的，與第 4 圖中的超低電能模式相似。此外，在寫入模式中，而該電能接收端 VVDD1 及 VVDD2 的電壓位準根據被寫入至閉鎖電路 1210 之資料而適當的被

電能開關元件 1209 和 1211 拉升。

在待機模式下，該寫入字元線 1212 (WWLB) 及 1214 (WWL) 之邏輯值為 0，而該讀取致能條信號之邏輯值為 0。因此該電能開關裝置 1209 及 1211 會被關閉。在讀取模式下，該寫入字元線 1212 (WWLB) 及 1214 (WWL) 之邏輯值為 0，而該讀取致能條信號之邏輯值為 1。因此該電能開關裝置 1209 會被開啟以加強讀取模式。在寫入模式下，當寫入資料 1 至該資料存取端 Q 時，該電能開關裝置 1211 會被開啟以拉升 VVDD1，因此加強了右半邊閉鎖 (也就是包含了 PMOS 415 以及 NMOS 417 的反相器) 以加速其回饋，並增加了寫入範圍 (write margin) 以及寫入表現。同樣的，當把資料 0 寫入至資料存取端 Q 時，電能開關裝置 1209 會被開啟以拉升 VVDD2，加強了左半閉鎖 (也就是，包含 PMOS 411 和 NMOS 413 的反向器) 以加速其回饋，並增加了寫入範圍 (write margin) 以及寫入表現。

而當寫入資料 0 至該資料存取端 Q 時，該電能開關裝置 1209 會被開啟。

該電能存取端 VVDD1 及 VVDD2 之電壓位準如表 6 所示。

|       | 待機   | 讀取   | 寫入“1” | 寫入“0” |
|-------|------|------|-------|-------|
| VVDD1 | <VDD | <VDD | VDD   | <VDD  |
| VVDD2 | <VDD | VDD  | <VDD  | VDD   |

表 6: 超低電能模式下的 VVDD1 和 VVDD2 之電壓值，其在寫入模

式下具有被適當加強的半閉鎖

因此，第 12 圖揭露之電路可被操作於上述超低電能模式，且具有可適當拉升 VVDD1 和 VVDD2 的能力，以在寫入模式下加強右半邊或左半邊閉鎖能力，以增加寫入範圍 (write margin) 以及寫入表現。

該讀取致能條信號 RE，該寫入字元線 1212 (WWLB) 及 1214 (WWL)，位元線 1216 (BL)，該字元線 1218 (1218) 及該參考電壓 VVSS 之邏輯值列於表 7。

|      | 待機 | 讀取 | 寫入“1” | 寫入“0” |
|------|----|----|-------|-------|
| RE   | 0  | 1  | 0     | 0     |
| 1216 | 1  | X  | 0     | 0     |
| 1218 | 0  | 1  | 1     | 1     |
| 1212 | 0  | 0  | 1     | 0     |
| 1214 | 0  | 0  | 0     | 1     |
| VVSS | X  | 0  | 1     | 0     |

表 7 超低電能模式下的訊號值，在寫入模式中具有被適當加強的半邊閉鎖

第 13 圖為第 4 圖之擴充實施例。類似於第 4 圖之實施例，電能供應電路 1301 包含：一讀取致能條信號傳輸線 1302，一電能開關裝置 1305 及兩個電能維持裝置 1307 及 1309。該記憶格電路 1303 包

含一閉鎖電路 1306，通路電晶體電能開關裝置 1311、1321、1323 及開關裝置 1325。第 4 圖及第 13 圖實施例之差異為，第 13 圖之實施例係用 NMOSFET 取代 PMOSFET 作為該電能開關裝置 1305 及該電能維持裝置 1307 及 1309。

第 13 圖實施例中之該電能存取端 VVDD1 及 VVDD2 之電壓值與表 1 所示相同。除此之外，該讀取致能條信號 RE、第一寫入字元線 (WWLB) 1308、第二寫入字元線 (WWL) 1310、該字元線 (WL) 1312、該位元線 (BL) 1314 及該參考電壓 VVSS 之邏輯值列於表 8。

|      | 待機 | 讀取 | 寫入“1” | 寫入“0” |
|------|----|----|-------|-------|
| RE   | 0  | 1  | 0     | 0     |
| 1314 | 1  | X  | 0     | 0     |
| 1312 | 0  | 1  | 1     | 1     |
| 1310 | 0  | 0  | 0     | 1     |
| 1308 | 0  | 0  | 1     | 0     |
| VVSS | X  | 0  | 1     | 0     |

表 8

第 14 圖亦為第 4 圖之擴充實施例。比較第 4 圖與第 14 圖之實施例，該記憶格電路 1403 更包含一電能開關裝置 1405。依此，第 14 圖實施例中之該記憶格電路 1403 利用了一 9T 之結構。該電能存取端 VVDD1 及 VVDD2 之電壓位準，與該讀取致能條信號 (REB)、該寫入字元線 WWLB 和 WWL、該字元線 WL、該位元線

(BL) 及該參考電壓  $V_{VSS}$  之邏輯值與第 4 圖相同，因此為簡潔起見在此省略。

借由上述之實施例，於超低電能模式中，僅有虛擬記憶格陣列電能供應端之一側在讀取模式中被切換。因此，記憶格陣列電能供應切換雜訊被降低且記憶格陣列電能供應切換速度增加。再者，在絕對最低電能模式下，只有該被選取的記憶格陣列電能供應被切換供應的電能，因此更可減少電能的消耗及降低雜訊，且可更提升記憶格陣列電能供應切換速度。此外，只需要簡單的電路架構。例如，每一欄位僅需依電能開關裝置及一電能維持裝置。如果電路想要在絕對最低電能模式下操作，只需要一簡單之解碼邏輯電路。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【圖式簡單說明】

第 1 圖繪示了習知技術之靜態隨機存取記憶體結構。

第 2 圖繪示了 6T 的 SRAM 中”半干擾”問題的示意圖。

第 3 圖 為一方塊圖，係描述依據本發明一實施例之靜態隨機存取記憶體 300 。

第 4 圖為一電路圖，描述本發明一實施例之一靜態隨機存取記憶體之詳細結構。

第 5 圖為一電路圖，係描述依據本發明另一實施例所示之靜態

隨機存取記憶體之詳細結構，其中數個欄位共享一電能維持器。

第 6 圖為一電路圖，係描述依據本發明另一實施例所示之靜態隨機存取記憶體之詳細結構，其中該靜態隨機存取記憶體使用了一可程式的電能維持器。

第 7 圖為一電路圖，係描述依據本發明另一實施例所示之具有一邏輯電路之靜態隨機存取記憶體之詳細結構，其中僅有被選擇的欄位之記憶格陣列電能供應會在讀取模式時被拉升至高電壓。

第 8 圖為一電路圖，係描述依據本發明另一實施例所示之共享一電能維持裝置之靜態隨機存取記憶體之詳細結構。其中電能維持器由數個欄位所共享以增加記憶格陣列虛擬供應點的電容，以在待機模式中降低記憶格陣列電能供應的變化（由同陣列中的記憶格之漏電所引起），並在寫入模式時減少記憶格陣列電能供應的降低（由同陣列中的記憶格之漏電和寫入電流所引起）。在讀取模式中，僅有被選取欄位之一側的記憶格陣列電能供應有增加。

第 9 圖為一電路圖，係描述依據本發明另一實施例所示之利用一可程式化之電能維持裝置之靜態隨機存取記憶體之詳細結構。其中電能維持器由數個欄位所共享，且在讀取模式中，僅有被選取欄位之一側的記憶格陣列電能供應有增加。

第 10 圖為一電路圖，係描述依據本發明另一實施例所示之利用雙電能電能供應之靜態隨機存取記憶體之詳細結構，其中 VDDL 係為比 VDD 低的電能供應源。

第 11 圖為一電路圖，係描述依據本發明另一實施例所示之利用一壓降裝置之靜態隨機存取記憶體之詳細結構，此實施例中係利用



一二極體壓降元件來提供比 VDD 低的電能供應源 VDDL。

第 12 圖為一電路圖，係描述依據本發明另一實施例所示之具有一加速寫入之邏輯電路之靜態隨機存取記憶體之詳細結構，使得記憶格之一側（也就是，半記憶格）具有其虛擬供應電壓，且此虛擬供應電壓被拉升（根據何種資料被寫入）以加強半閉鎖並加速回饋程序。

第 13 圖為第 4 圖之擴充實施例。

第 14 圖亦為第 4 圖之擴充實施例。

### 【主要元件符號說明】

300 靜態隨機存取記憶體

301、501、801、1201、1301、1401 電能供應電路

302、309、411、417、419、423、515、521、621~627、705、713~727、

823~829、1209、1211、1305、1311、1321、1323、1325、1405 電

能開關裝置

101、103、303、305、523~529、839~845、1303、1403 記憶格電路

304、307、401、407、409、505、515~521、605~611、701、707、

709、805、901~907、1206、1208、1307、1309 電能維持裝置

306、308、1210、1306 閉鎖電路

310、312、314、316、831~837、1207 反相器

311、313、711、802~808、1202 邏輯電路

402、502、602、1204、1302 讀取致能條信號傳輸線

406 閉鎖電路

408、708、1308 第一寫入字元線

410、710、1310 第二寫入字元線

412、712、1312 字元線

414、714、1314 位元線

507-513、613~619、815~821 隔離裝置

807~813、1205 NOR 閘

1211、1214 寫入字元線

## 七、申請專利範圍：

### 1. 一靜態隨機存取記憶體，包含：

至少一記憶格電路，包含了具有至少二反相器的一閉鎖電路，且包含用以接收電能的兩電能接收端；以及  
一電能供應電路，用以提供該電能至該記憶格電路，使得當資料被寫入至該閉鎖電路時，該閉鎖電路之電能接收端的供應電壓低於一預定電壓；

其中該電能供應電路包含：

一讀取致能條訊號傳輸線，用以傳送一讀取致能條訊號；

一電能開關裝置，用以提供該電能至該些電能接收端其中之一，並根據該讀取致能條訊號開啟/關閉；

至少二電能維持裝置，具有一第一端耦接至一第一預定電壓位準，以及一第二端耦接至該閉鎖電路的該電能接收端；

其中該電能開關裝置為該讀取致能條訊號所控制，且當耦接該電能開關裝置的該反相器儲存之該資料被讀取時，該電能開關裝置開啟。

2. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該記憶格電路包含多數資料存取端，且該些資料存取端由至少二通路電晶體開關裝置所控制。

3. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該電能開關裝置為一 P 型金氧半導體電晶體，具有一閘極耦接至該讀取

致能條訊號傳輸線、一源極耦接至該第一預定電壓，以及一汲極耦接至該些電能接收端之一。

4. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該電能開關裝置為一 P 型金氧半導體電晶體，具有一閘極耦接至一地電壓位準、一源極耦接至該第一預定電壓，以及一汲極耦接至該些電能接收端其中之一。
5. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該電能開關裝置為一 N 型金氧半導體電晶體，具有一閘極耦接至該讀取致能條訊號傳輸線、一汲極耦接至該第一預定電壓，以及一源極耦接至該些電能接收端其中之一。
6. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該些電能維持裝置其中至少其一為一 N 型金氧半導體電晶體，具有一閘極耦接至該第一預定電壓、一汲極耦接至該第一預定電壓、以及一源極耦接至該些電能接收端其中之一。
7. 如申請專利範圍第 2 項所述之靜態隨機存取記憶體，其中該電能供應電路更包含一邏輯電路，接收該讀取致能條訊號以及一記憶格欄位選擇訊號 以輸出一電源切換控制訊號，其中該電能開關裝置根據該電源切換控制訊號開啟或關閉。

8. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該電能供應電路包含：
- 一 第二預定電壓位準提供來源，用以提供低於該第一預定電壓位準的一第二預定電壓位準；
  - 一 讀取致能條訊號傳輸線，用以傳輸一讀取致能條訊號 (REB)；
  - 多數邏輯電路，接收該讀取致能條訊號以及一記憶格選擇訊號 以輸出電源切換控制訊號以及隔離控制訊號；
  - 多數隔離裝置，分別具有一控制端耦接至該些邏輯電路其中之一、一第一端耦接至該第二預定電壓位準、以及一第二端耦接至該記憶格電路，其中該隔離裝置由該隔離控制訊號所控制以決定開啟或關閉；
  - 多數電能開關裝置，用以提供該電能至多數該記憶格電路的該些電能接收端，並根據該些電源切換控制訊號決定開啟或關閉。
9. 如申請專利範圍第 8 項所述之靜態隨機存取記憶體，其中該第二預定電壓位準提供來源包含一降壓裝置，用以降低該第一預定電壓位準來產生該第二預定電壓位準。
10. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該電能供應電路包含：
- 一 讀取致能條訊號傳輸線，用以傳送一讀取致能條訊號；
  - 一 邏輯電路，用以接收該讀取致能條訊號以及欲被寫入至該閉鎖電路的資料來產生一電源控制訊號；

至少二電能開關裝置，用以根據該電源控制訊號提供該電能至該閉鎖電路的該些電能接收端；

至少二電能維持裝置，具有一第一端耦接至該第一預定電壓位準，以及一第二端分別耦接至該電能接收端；

其中當耦接該電能開關裝置的該反相器儲存之該資料被讀取時，該電能開關裝置開啟；且該些電能接收端的電壓位準根據欲被寫入至該閉鎖電路的資料而改變。

11. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該記憶格電路包含：

一閉鎖電路，具有一第一存取端以及一第二存取端，並具有電能接收端，用以接收來自該電能供應電路的該電能；

一第一通路電晶體電能開關裝置，具有一第一位元傳送端耦接於該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端；

一第二通路電晶體電能開關裝置，具有一第三位元傳送端耦接於該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端；

一第三通路電晶體電能開關裝置，具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端耦接於一字元線，和一第六位元傳送端耦接於一位元線；

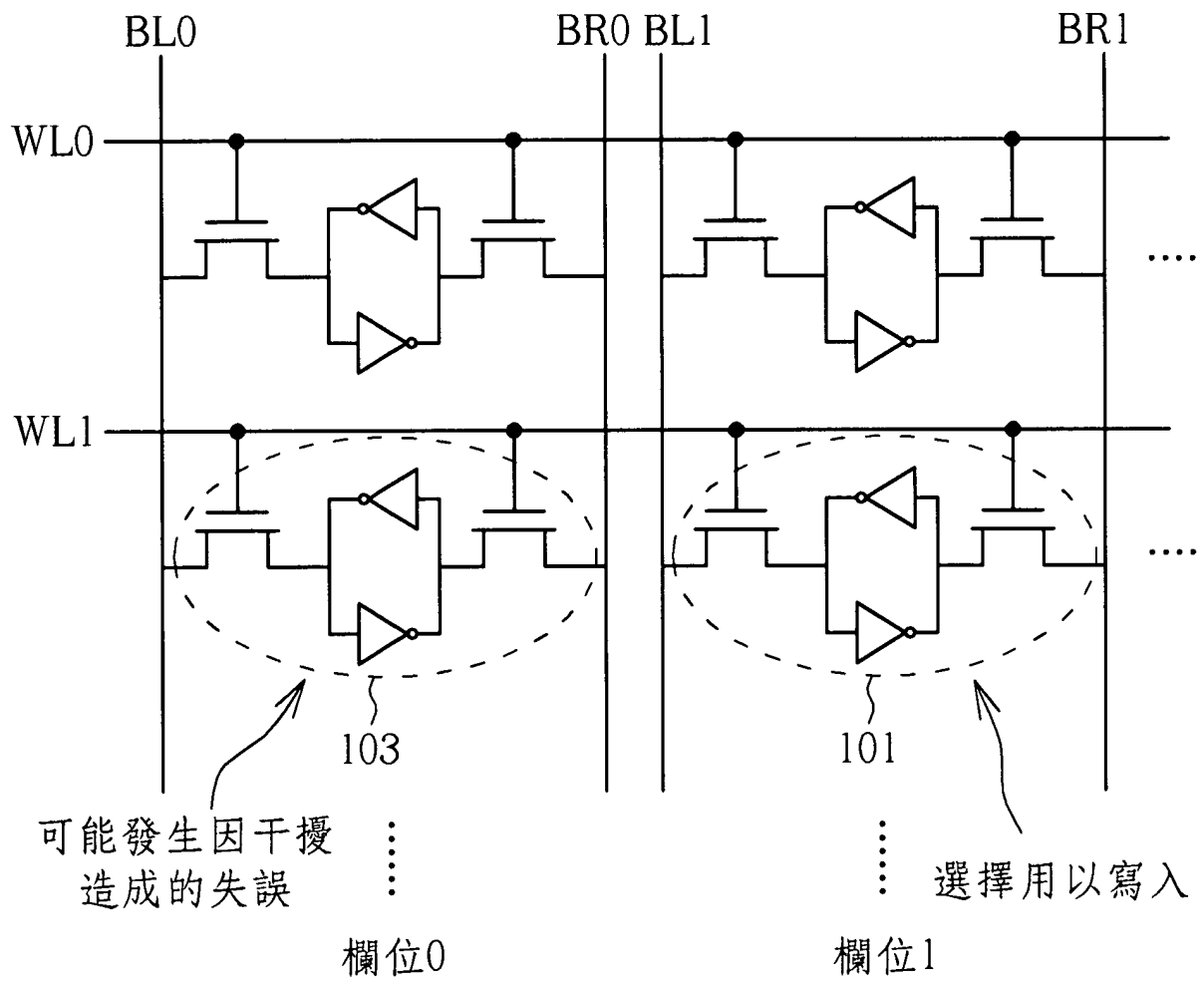
一感測放大器，耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值；以及

一 第四通路電晶體電能開關裝置，具有一控制端耦接於該第一通路電晶體開關裝置之該第一位元傳送端，一第一端耦接於該第三通路電晶體開關裝置之該第五位元傳送端，以及一第二端耦接於一參考電位。

12. 如申請專利範圍第 11 項所述之靜態隨機存取記憶體，其中該記憶格電路包含：

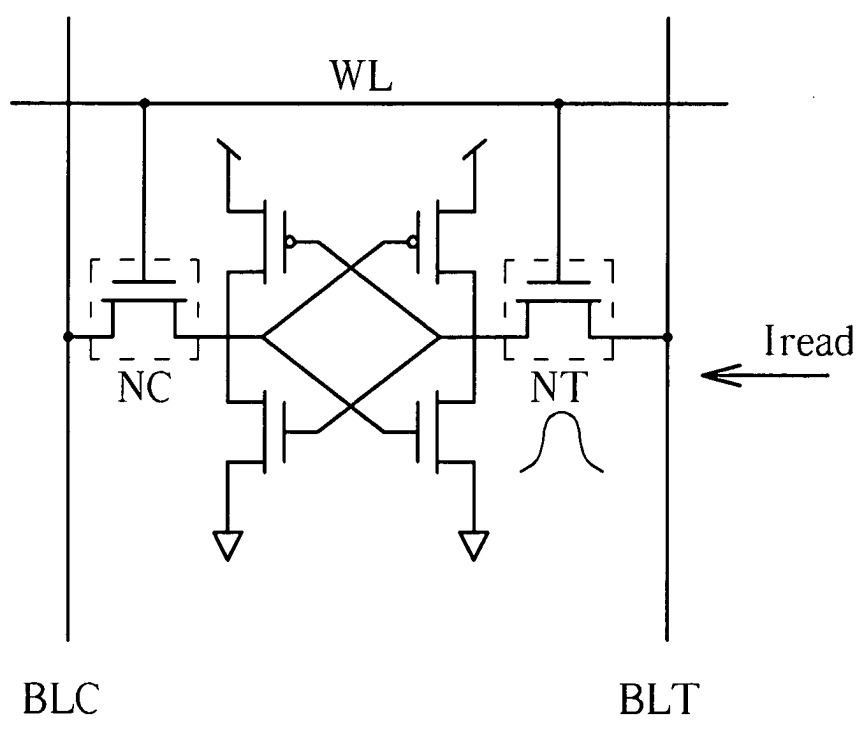
一 第五通路電晶體電能開關裝置，具有一第一端耦接於該第四通路電晶體電能開關裝置之該第一端，一第二端耦接於該第三通路電晶體電能開關裝置之該第五位元傳送端以及一控制端耦接於該字元線。

八、圖式：

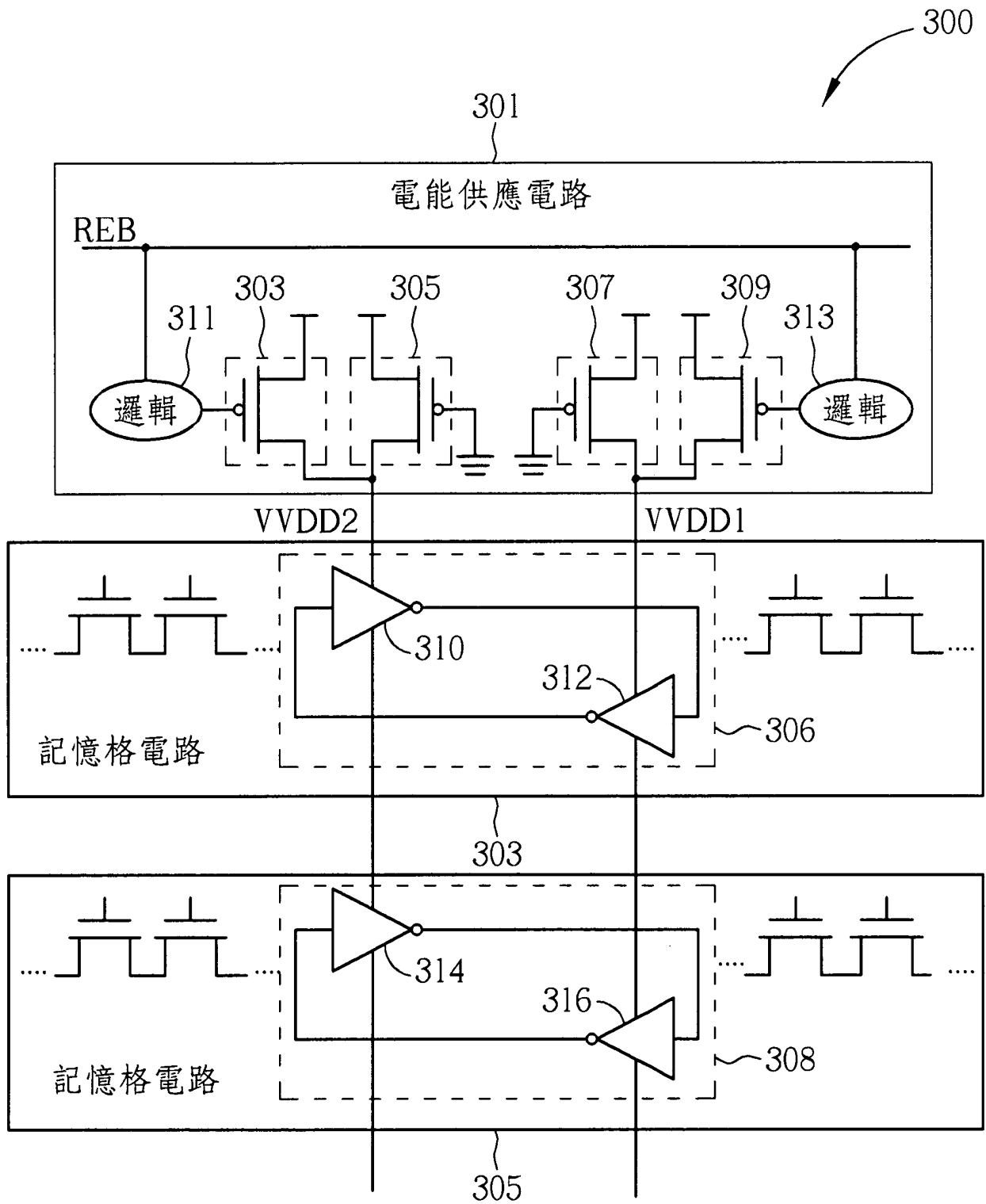


第1圖

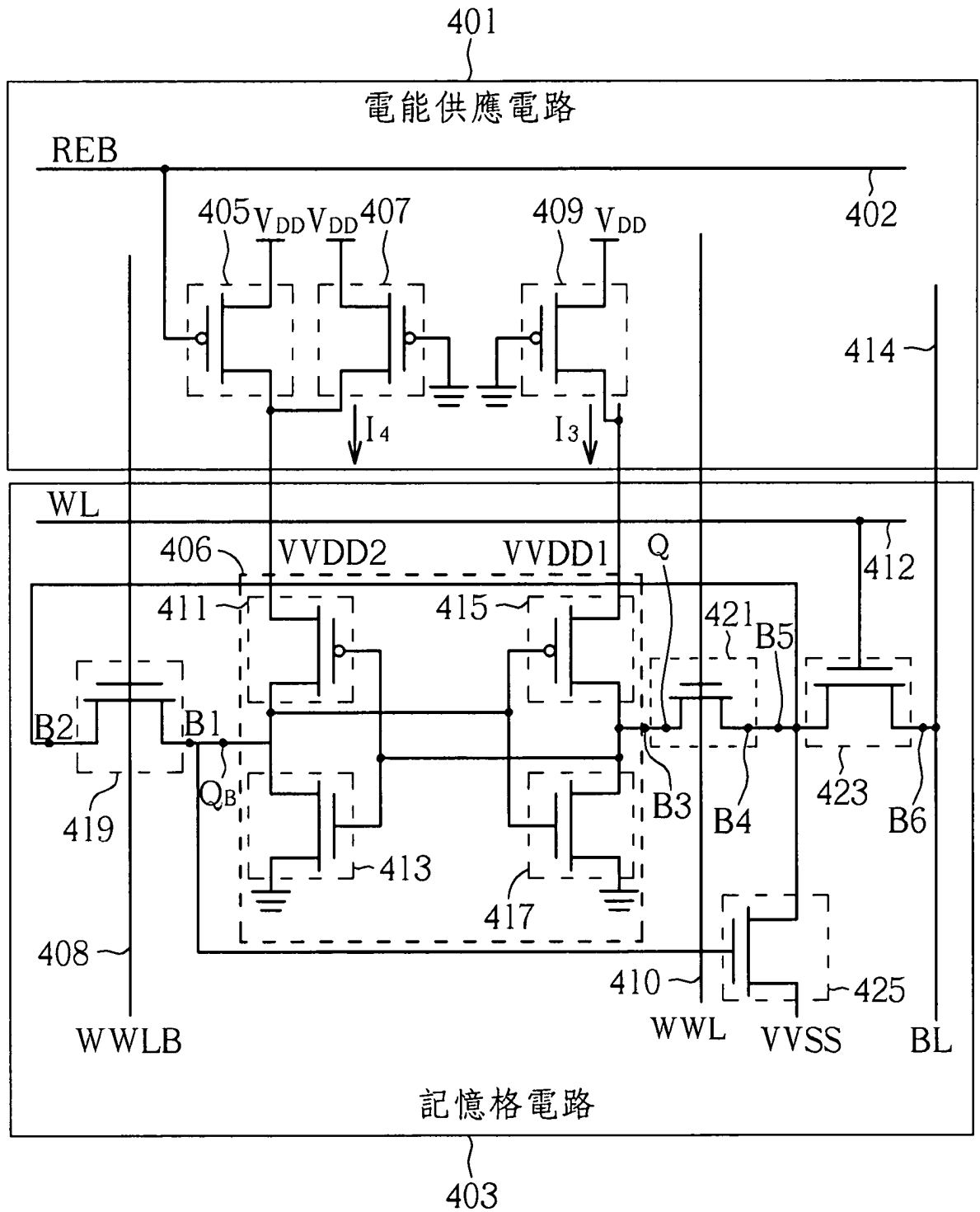




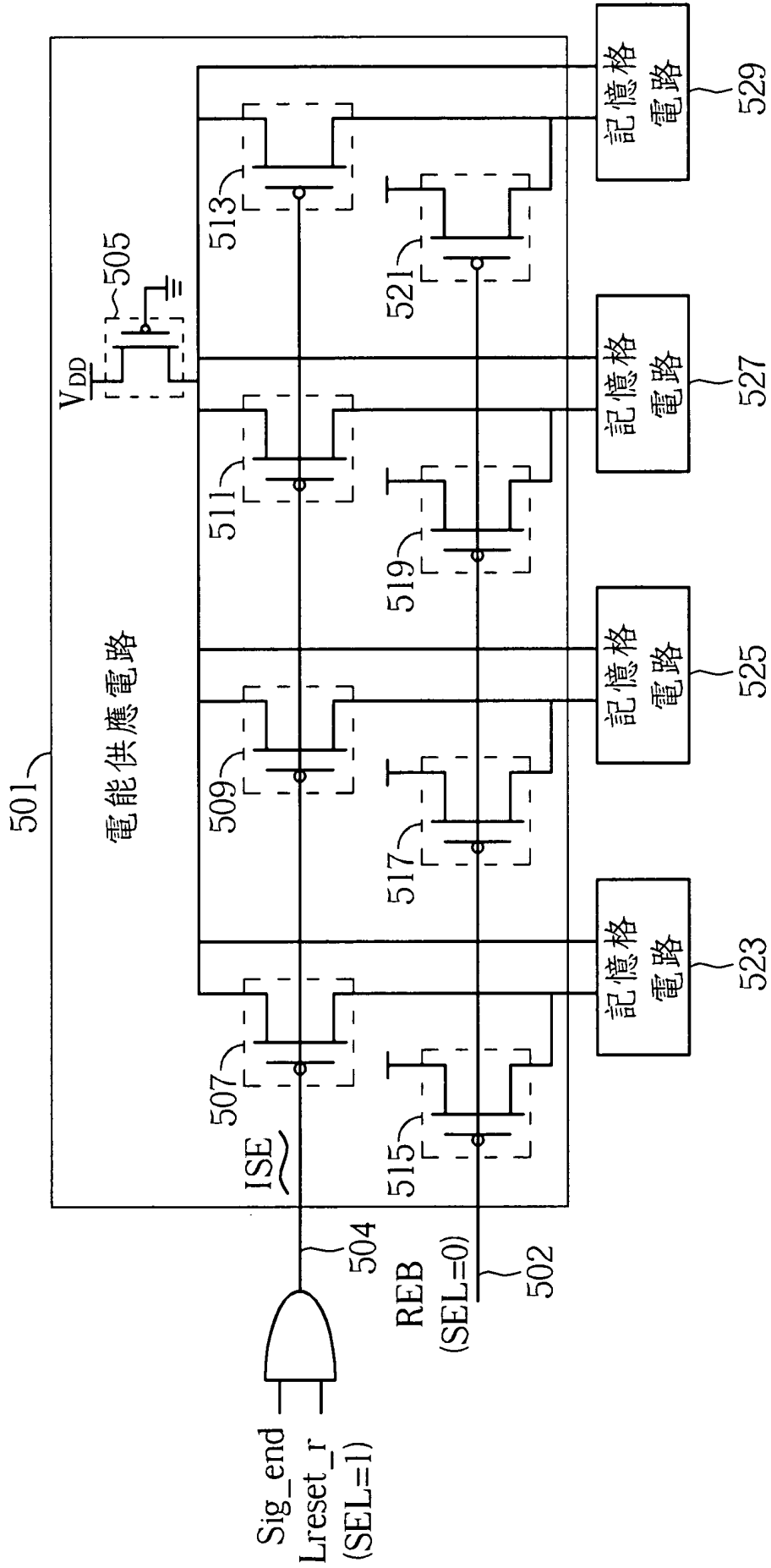
第2圖



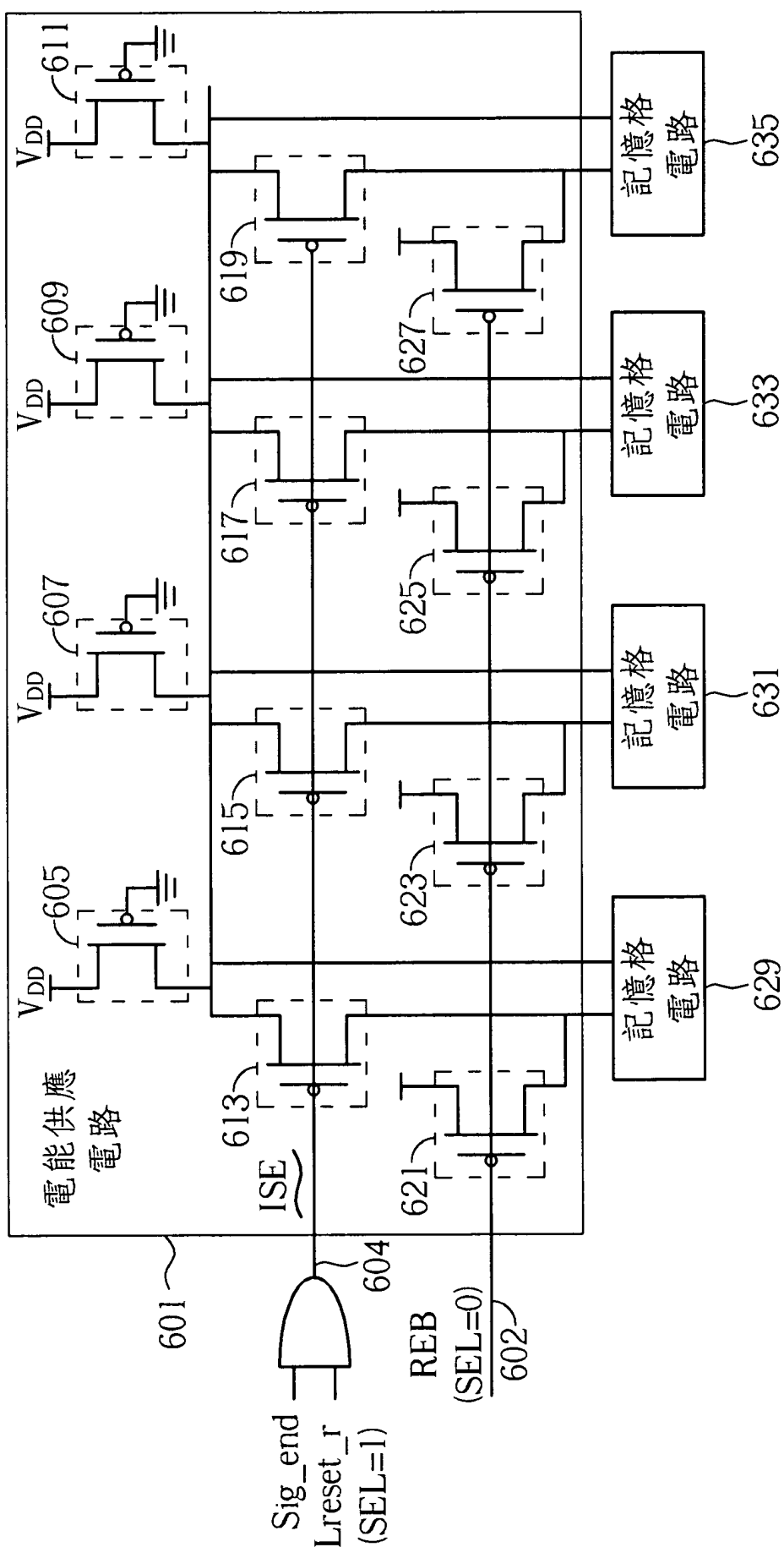
第3圖



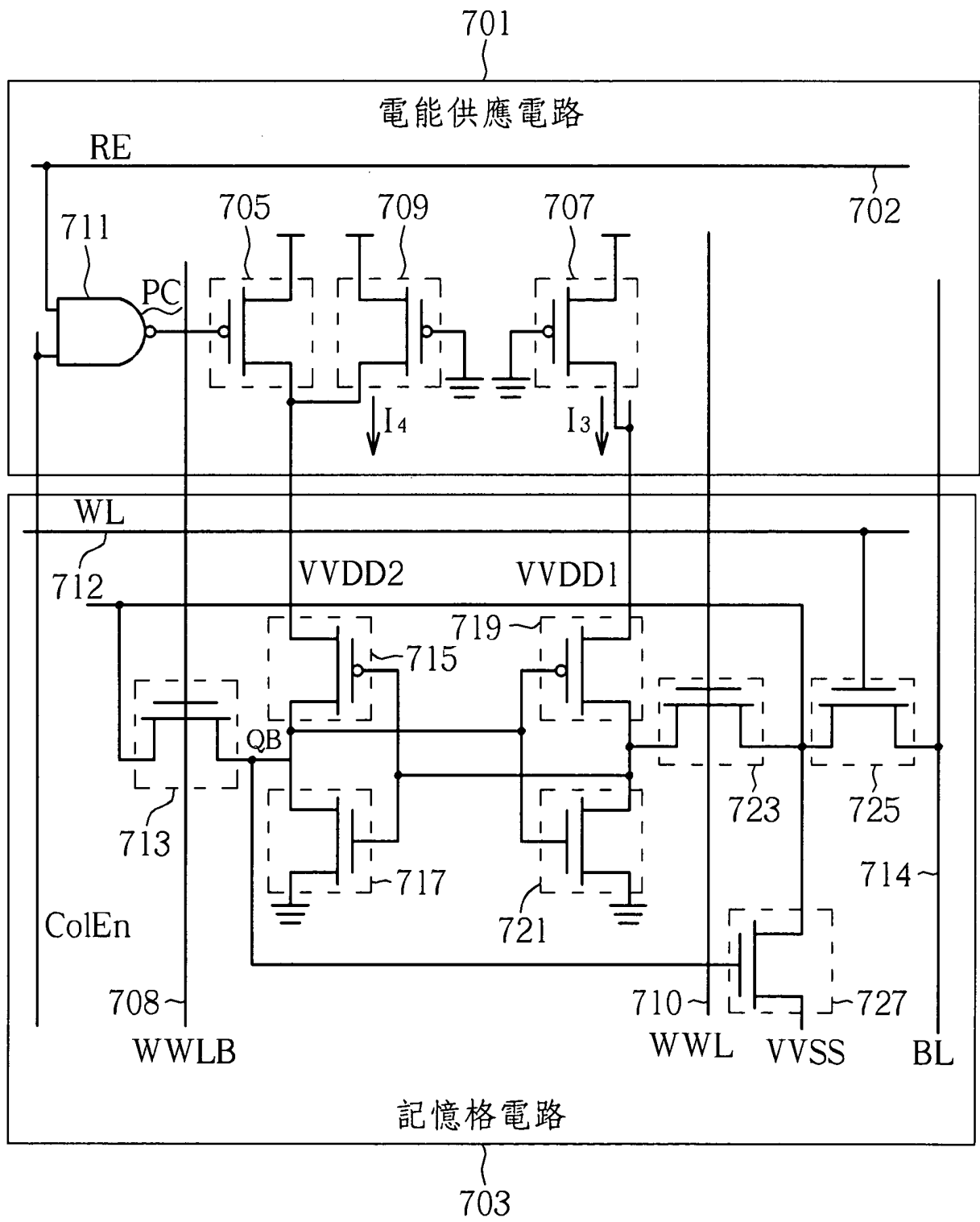
第4圖



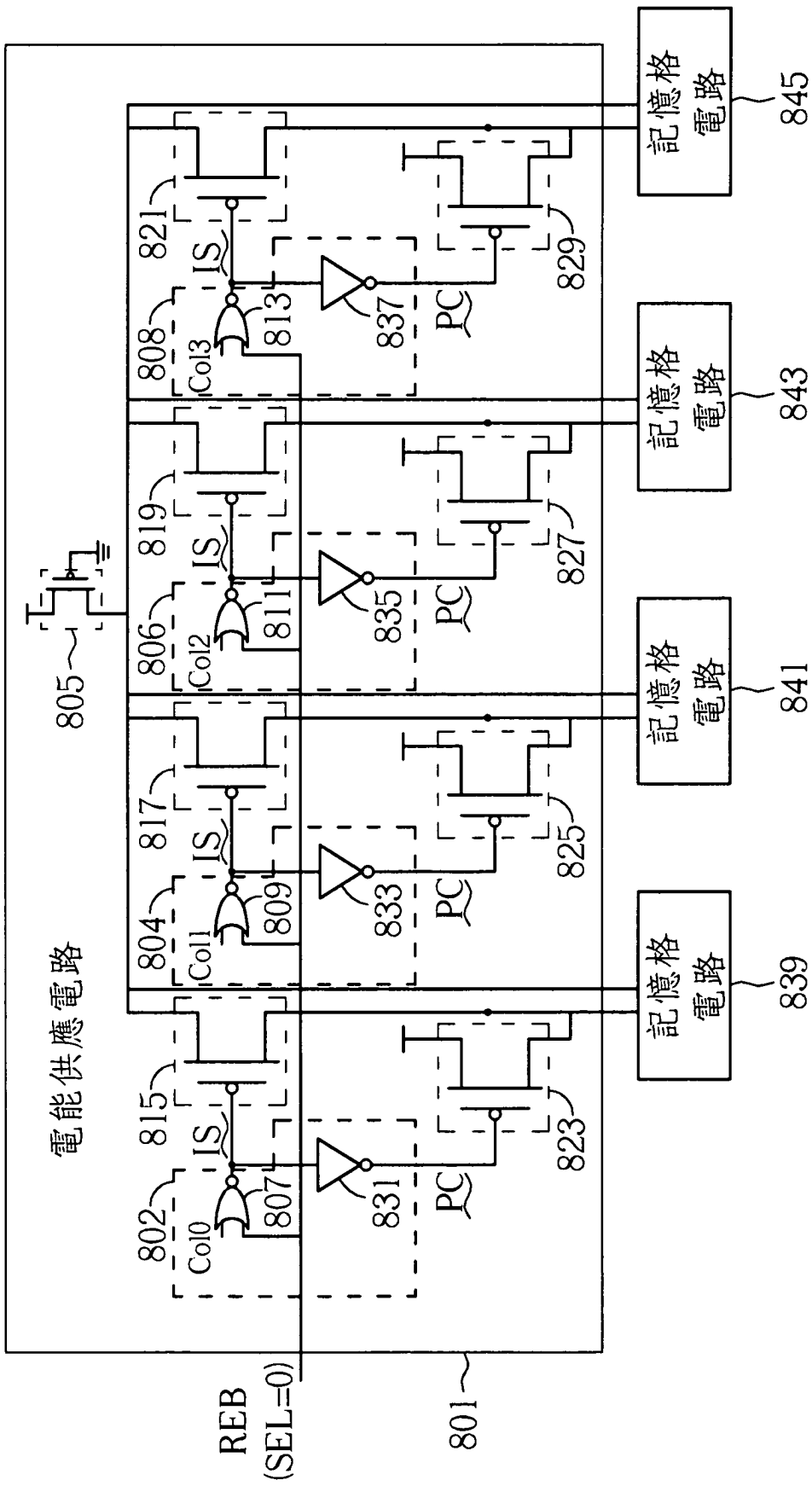
第5圖



第6圖



第7圖



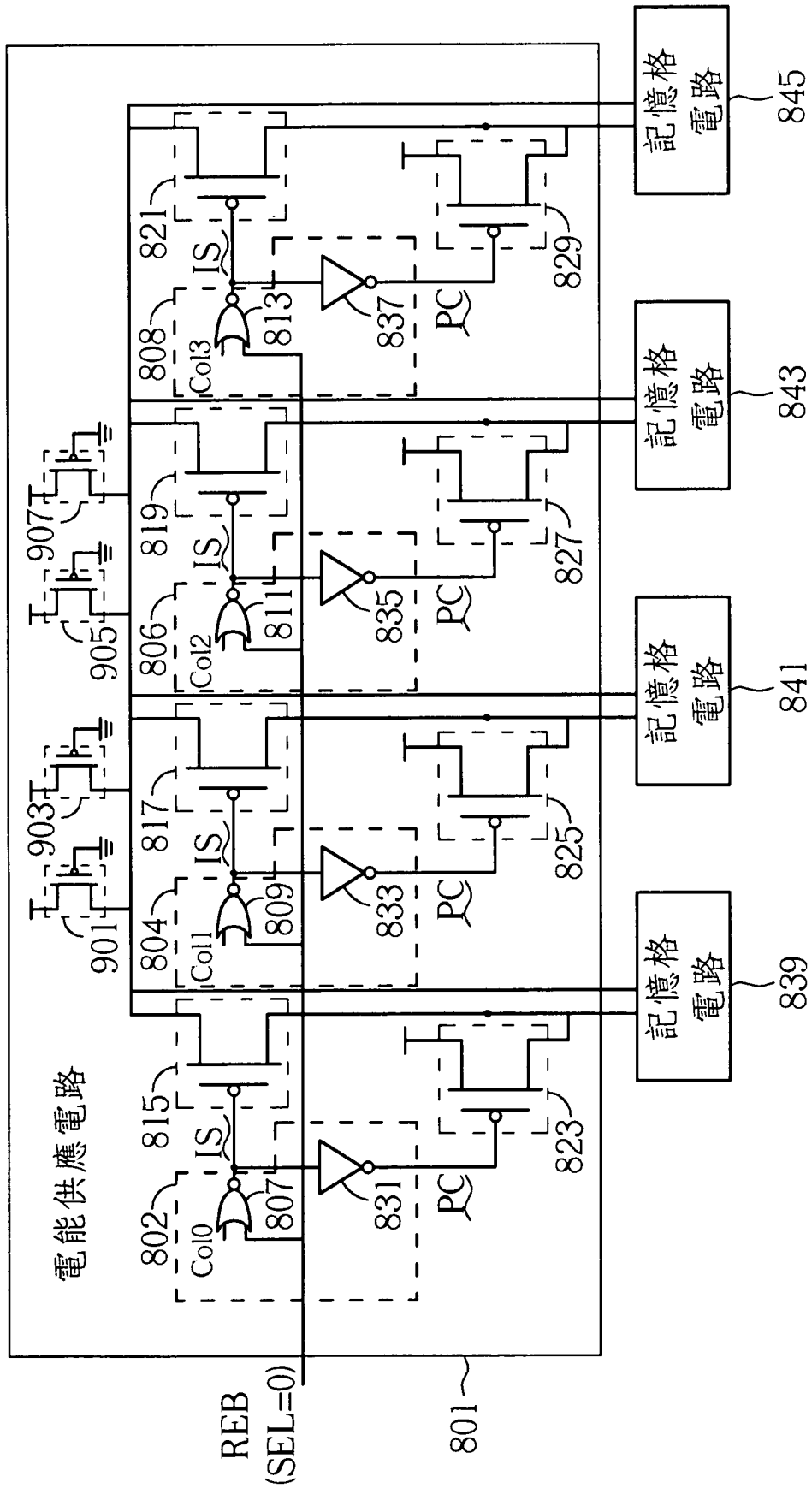
記憶格  
電路 845

記憶格  
電路 843

記憶格  
電路 841

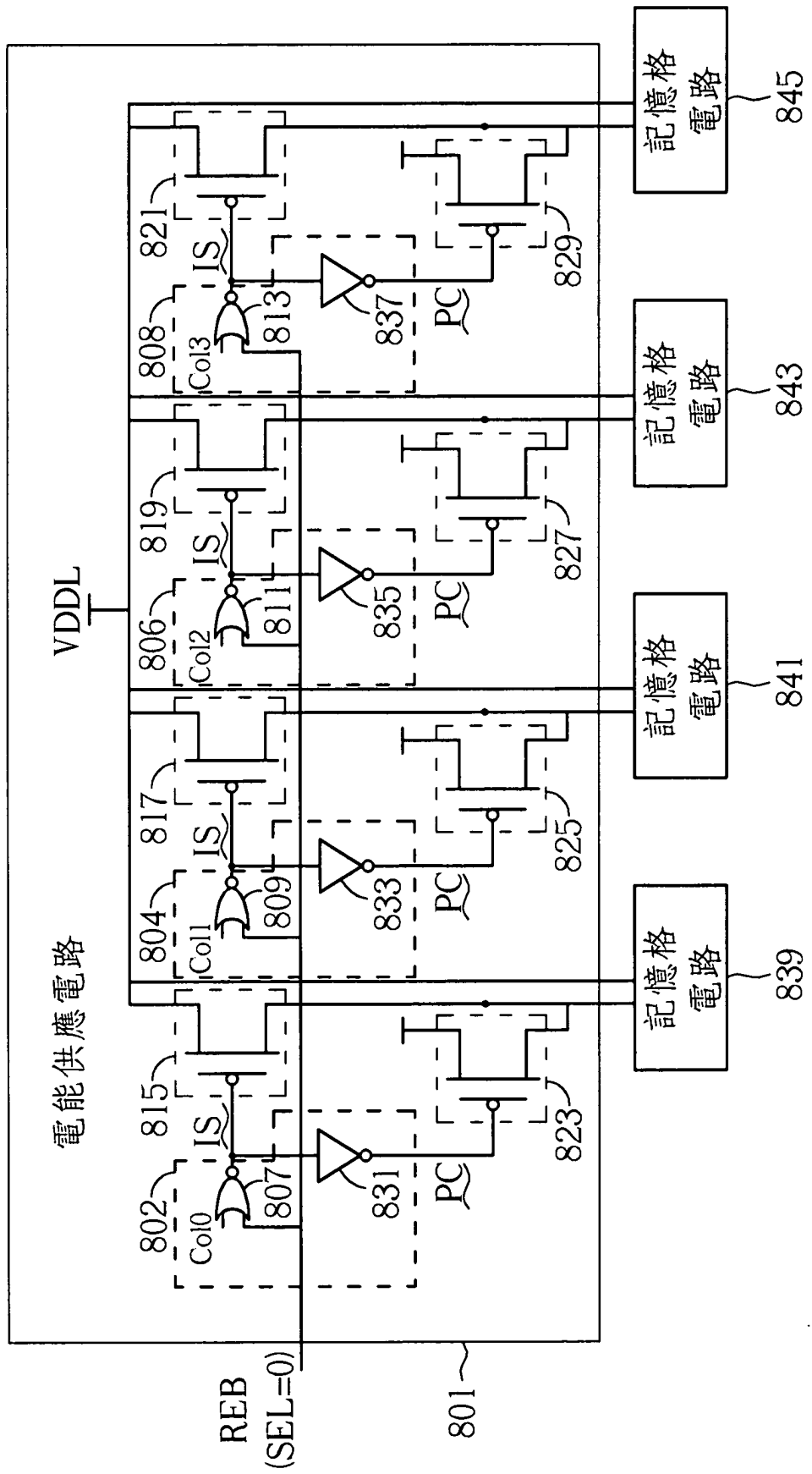
記憶格  
電路 839

第8圖

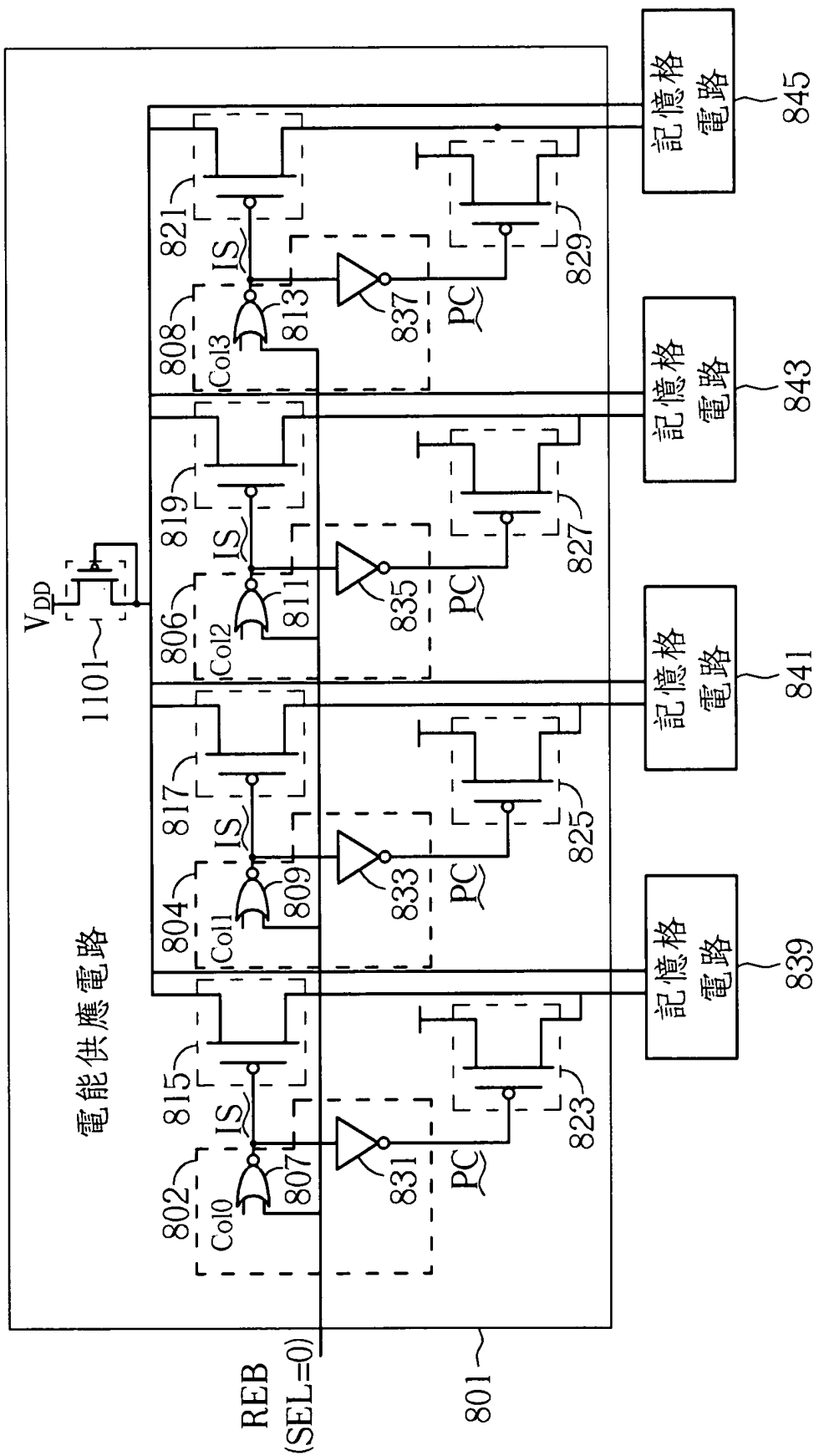


第9圖

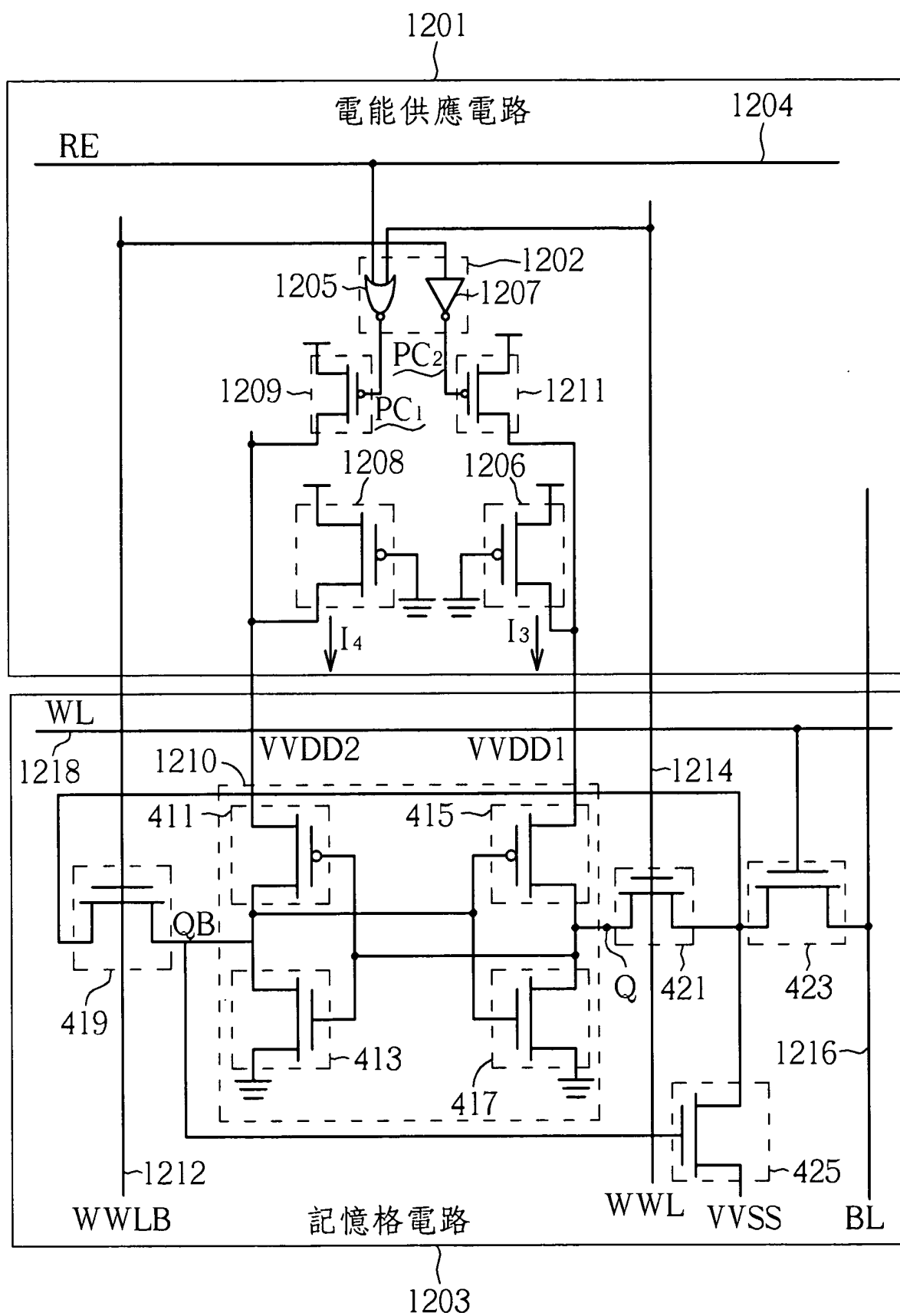




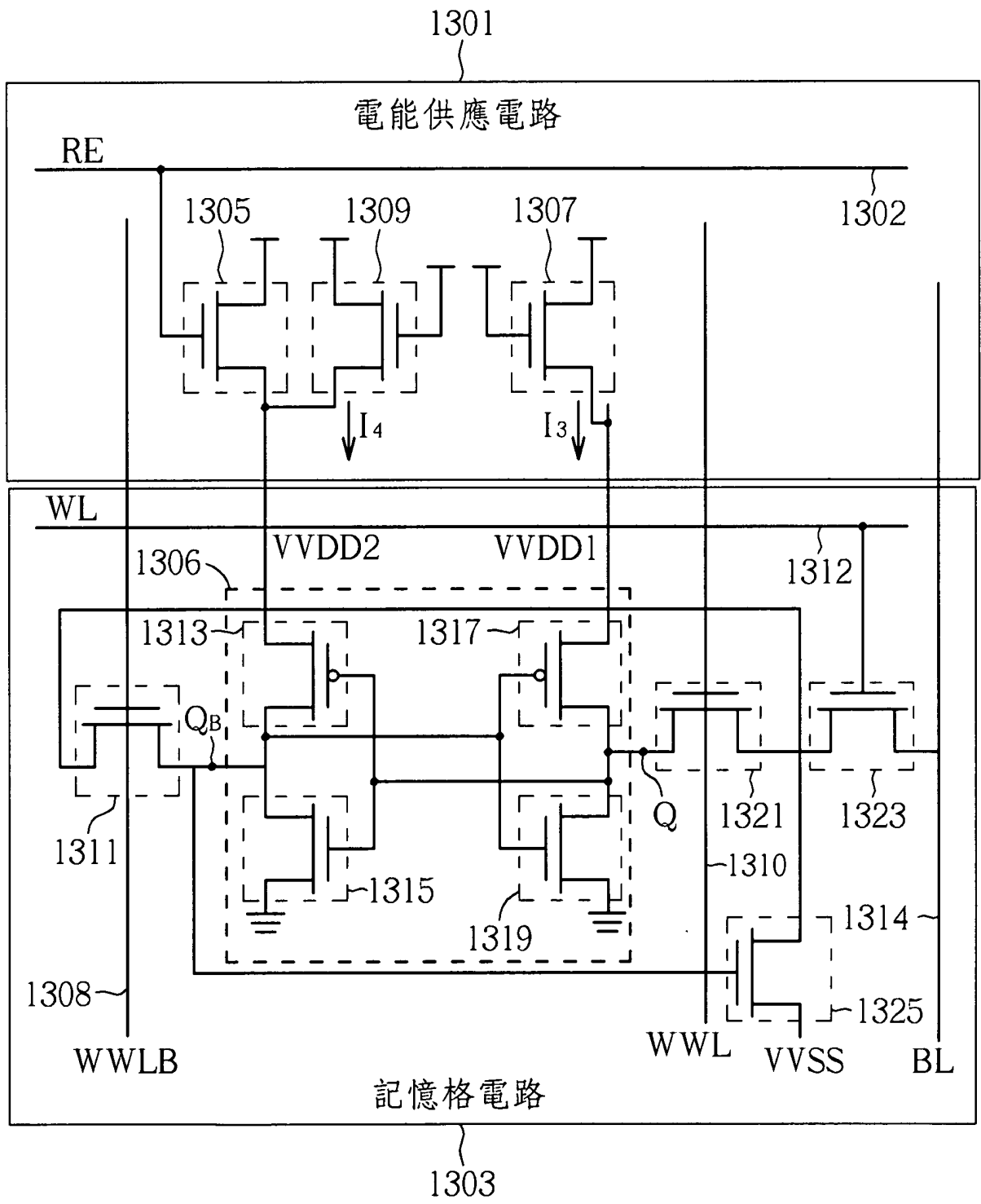
第10圖



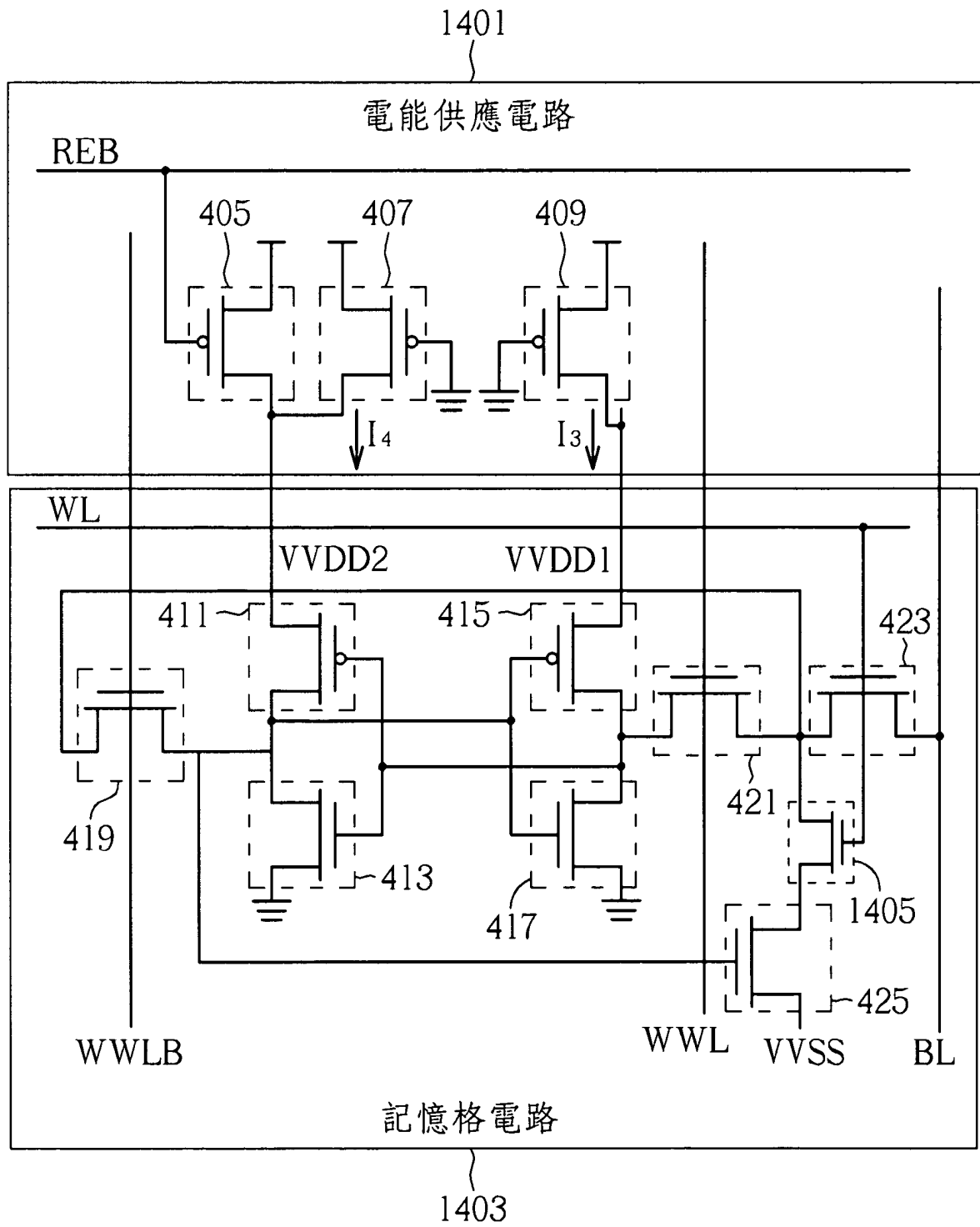
第11圖



第12圖



第13圖



第14圖