



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I469482 B

(45) 公告日：中華民國 104 (2015) 年 01 月 11 日

(21) 申請案號：101108779

(22) 申請日：中華民國 101 (2012) 年 03 月 15 日

(51) Int. Cl. : **H02M3/07 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號(72) 發明人：陳宗麟 CHEN, TSUNG LIN (TW)；張翼 CHANG, EDWARD YI (TW)；成維華
CHIENG, W. H. (TW)；鄭泗東 CHENG, STONE (TW)；鄭時龍 JENG, S. L.
(TW)；黃士維 HUANG, SHIN WEI (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

TW 201012061A

TW 201014126A

EP 0330628B1

US 7746148B2

審查人員：黃釗田

申請專利範圍項數：7 項 圖式數：2 共 19 頁

(54) 名稱

上橋式驅動電路

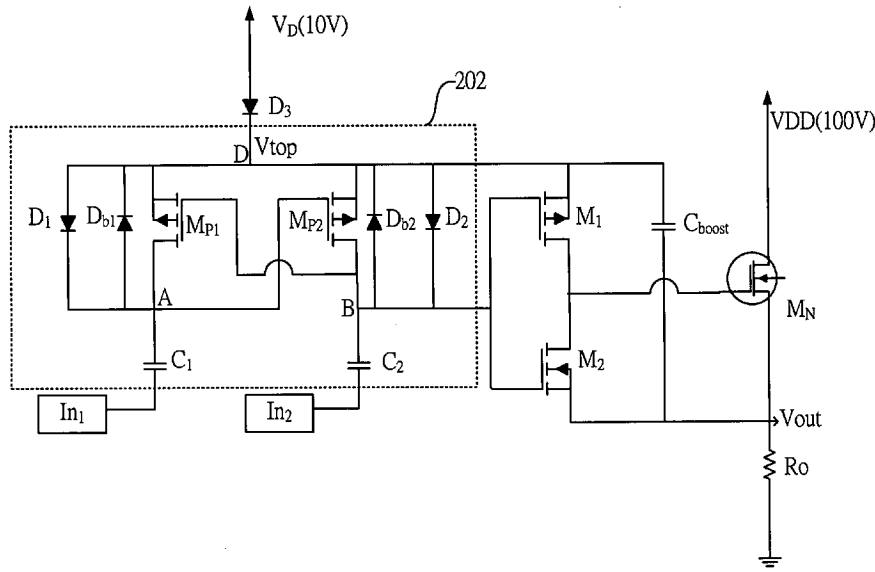
HIGH-SIDE GATE DRIVER

(57) 摘要

本發明係提供一上橋式驅動電路適用於上橋功率電晶體驅動，其包含一自舉式電路及一電位位準轉換器。在電位位準轉換器的設計中，利用二極體來限制其中的電晶體的汲極-源極電壓差，再利用電容來承受高電壓差。因此，驅動電路中不需要具高崩潰電壓的電晶體例如 LD MOS。本發明可由一般的 IC 製程製作具高崩潰電壓的電容，因此所設計的驅動電路可整合於積體電路中。

This invention provides a high-side gate driver. It includes a bootstrapping circuit so that it can work with the N-type power transistors. Two important features in the level shifter design so that high breakdown-voltage transistors are unnecessary. First, it uses diodes to limit the drain-source voltage of transistors. Secondly, it uses capacitor to sustain the large voltage drop. Because the capacitor with high breakdown voltage can be fabricated using general IC fabrication process, the proposed gate driver design can be fabricated using general IC fabrication process. Thus, it can be a low cost solution to the gate driving circuits.

200



第 2 圖

- C_{Boost} . . . 升壓電容
- M_1 . . . 第一電晶體
- M_2 . . . 第二電晶體
- M_N . . . 第三電晶體
- M_{P1} . . . 第四電晶體
- M_{P2} . . . 第五電晶體
- 200 . . . 上橋式驅動電路
- 202 . . . 電位位準轉換器
- C_1 . . . 第一電容
- C_2 . . . 第二電容
- D_1 . . . 第一二極體
- D_2 . . . 第二二極體
- D_{b1} . . . 第三二極體
- D_{b2} . . . 第四二極體
- D_3 . . . 第五二極體
- R_o . . . 電阻
- V_{DD} . . . 第一電源
- V_{top} . . . 電壓
- V_{out} . . . 輸出電壓
- V_D . . . 第二電源
- In_1 . . . 第一輸入
- In_2 . . . 第二輸入
- A、B、D . . . 節點

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101108779

※申請日：101.3.15

※IPC分類：H02M 3/07 (2006.01)

一、發明名稱：(中文/英文)

上橋式驅動電路/High-side gate driver

二、中文發明摘要：

本發明係提供一上橋式驅動電路適用於上橋功率電晶體驅動，其包含一自舉式電路及一電位位準轉換器。在電位位準轉換器的設計中，利用二極體來限制其中的電晶體的汲極-源極電壓差，再利用電容來承受高電壓差。因此，驅動電路中不需要具高崩潰電壓的電晶體例如 LDMOS。本發明可由一般的 IC 製程製作具高崩潰電壓的電容，因此所設計的驅動電路可整合於積體電路中。

三、英文發明摘要：

This invention provides a high-side gate driver. It includes a bootstrapping circuit so that it can work with the N-type power transistors. Two important features in the level shifter design so that high breakdown-voltage transistors are unnecessary. First, it uses diodes to limit the drain-source voltage of transistors. Secondly, it uses capacitor to sustain the large voltage drop. Because the capacitor with high breakdown voltage can be fabricated using general IC fabrication process, the proposed gate driver design

can be fabricated using general IC fabrication process. Thus, it can be a low cost solution to the gate driving circuits.

四、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

升壓電容 C_{Boost}

第一電晶體 M_1

第二電晶體 M_2

第三電晶體 M_N

第四電晶體 M_{P1}

第五電晶體 M_{P2}

電位位準轉換器 102

上橋式驅動電路 200

電位位準轉換器 202

第一電容 C_1

第二電容 C_2

第一二極體 D_1

第二二極體 D_2

第三二極體 D_{b1}

第四二極體 D_{b2}

第五二極體 D_3

電阻 R_o

第一電源 V_{DD}

第二電源 V_D

第一輸入 I_{N1}

第二輸入 I_{N2}

低電壓位準 V_{DDL}

高電壓位準 V_{DDH}

臨界電壓 V_{thP}

臨界電壓 V_{thN}

導通電壓 V_{thd}

節點 A、B、D

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種上橋式驅動電路，更特別的是關於一種不使用高崩潰電壓電晶體之上橋功率電晶體驅動電路。

【先前技術】

上橋電晶體所控制的是一個百伏特等級的高電壓，而其控制訊號是一具邏輯位準的低電壓。因此，在上橋電晶體的驅動電路中，必須要有部份元件能夠承受百伏特等級的電壓差。由於不同之驅動電路設計，具高崩潰電壓的元件可能位於驅動電路的輸出級（即與功率電晶體直接相連接），亦可能位於驅動電路中的電位位準轉換器（level shifter）。此元件通常是「平面二次擴散之金氧半場效電晶體（Laterally Diffused Metal Oxide semiconductor, LDMOS）」，然而，平面二次擴散之金氧半場效電晶體或其他具高崩潰電壓電晶體需要特殊之製程製造，因此，價格較昂貴。習知技術中之上橋驅動電路大多需要使用具高崩潰電壓電晶體，然，製作高崩潰電壓電晶體之製程係較一般積體電路製程昂貴。

此外，一般高功率之系統應用中，係採用性能較佳之N-type 元件當作上橋功率電晶體，因此，功率電晶體之源極為浮動電壓，無法直接用一固定閘極電壓來進行電晶體的開關控制。最常用來解決此一問題的方法是採用自舉式電路（bootstrap circuit），使閘極電壓隨源極電壓浮動。

請參考第 1 圖，其係為一般具自舉式電路之上橋功率電晶體驅動電路圖。如第 1 圖所示，係為具有自舉電容設計之上橋閘極驅動電路(high side gate driver)，用以驅動第三電晶體(增強型功率電晶體) M_N 。

驅動電路工作原理如下所述：當增強型功率電晶體 M_N 關閉時，第二電源 V_D 對升壓電容 C_{Boost} 充電，升壓電容 C_{Boost} 的負端(即增強型功率電晶體 M_N 之源極)電壓為零，且升壓電容 C_{Boost} 的正端電壓為 V_D 。當輸入訊號 I_n 使得第一電晶體 M_1 係開啟且第二電晶體 M_2 係關閉，則第三電晶體 M_N 係開啟，第三電晶體 M_N 之源極電壓係上升至 V_{DD} (例如：100 伏特)，且第三電晶體 M_N 之閘極與源極間電壓 V_{GS} 藉由升壓電容 C_{Boost} 維持在 V_D ，使第三電晶體 M_N 持續導通。當輸入訊號 I_n 使得第一電晶體 M_1 係關閉且第二電晶體 M_2 係開啟，則第三電晶體 M_N 係關閉，第三電晶體 M_N 的源極電壓降至 0 伏特，升壓電容 C_{Boost} 係接受第二電源 V_D 充電。此技術之方法困難點在於如何使第一電晶體 M_1 關閉第二電晶體 M_2 開啟，因為此時第二電晶體 M_2 之源極電壓約為位準 V_{DD} (100 伏特)，因此，需要一電位位準轉換器(level shifter)102 將控制訊號的邏輯位準提升至 V_{DD} 位準，方能將第一電晶體關閉 M_1 ，第二電晶體 M_2 開啟。因此，此作法中的電位位準轉換器 102 內部元件必須能承受高電壓差，傳統係採用具耐高壓的平面二次擴散之金氧半場效電晶體 (LDMOS) 元件。

【發明內容】

有鑑於此，本發明提供一種上橋式驅動電路，其用以

作為一電位位移轉換裝置，藉此利用二極體限制電晶體之汲極-源極電壓，利用電容承受其高電壓差，因此，本發明不需要具有高崩潰電壓之電晶體。

本發明之一目的係提供一種上橋式驅動電路，其包含：第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第一二極體、第二二極體、第三二極體以及第四二極體、第一電容、第二電容以及升壓電容。第二電晶體之汲極係連接第一電晶體之汲極，第二電晶體之閘極係連接第一電晶體之閘極。第三電晶體閘極係連接第一電晶體之汲極，第三電晶體之源極係連接輸出端，第三電晶體之汲極係連接第一電源。第四電晶體之源極係連接第一電晶體之汲極。第五電晶體之源極係連接第一電晶體之汲極。第五電晶體之汲極係連接第四電晶體之閘極。第五電晶體之源極係連接第四電晶體之汲極。

第一二極體之正極係連接第四電晶體之源極，第一二極體之負極係連接第四電晶體之汲極。第二二極體之正極係連接第五電晶體之源極，第二二極體之負極係連接第五電晶體之汲極。第三二極體之負極係連接第四電晶體之源極，第三二極體之負極係連接該第四電晶體之汲極。第四二極體之負極係連接第五電晶體之源極，第四二極體之正極係連接第五電晶體汲極。第一電容之一端係連接該第四電晶體之汲極。第一電容之另一端係為一第一輸入端。第二電容之一端係連接第五電晶體之汲極，第二電容之另一端係為第二輸入端。以及升壓電容之一端係連接第一電晶體之源極。升壓電容之另一端係連接第二電晶體之源極。

其中，上橋式驅動電路係藉由第一電晶體以及第二電晶體之開啟或關閉，以控制第三電晶體導通與否，用以使第一電容以及第二電容承受高電壓差。

本發明之上橋式驅動電路中，第一電晶體、第四電晶體以及第五電晶體係為 p 型的金氧半場效電晶體。第二電晶體係為 n 型的金氧半場效電晶體。第三電晶體係為 n 型的功率電晶體。

本發明之上橋式驅動電路，第一輸入端係輸入零伏特，以及第二輸入端係輸入零伏特，則第四電晶體以及第五電晶體係開啟。節點 A 以及節點 B 的電壓等於 V_D 。

本發明之上橋式驅動電路，當節點 A 以及節點 B 的電壓等於 V_D ，第一輸入端係輸入低電壓位準，以及第二輸入端係輸入高電壓位準，則第一電晶體係關閉，第二電晶體係開啟，第三電晶體係關閉，輸出端係輸出零伏特。

本發明之上橋式驅動電路，當第三電晶體係關閉，第一輸入端係輸入高電壓位準，以及第二輸入端係輸入低電壓位準，則第一電晶體係開啟，第二電晶體係關閉，第三電晶體係開啟，輸出端之電壓係上升。

本發明之上橋式驅動電路，當第三電晶體係開啟，第一輸入端係輸入低電壓位準，以及第二輸入端係輸入高電壓位準，則第一電晶體係關閉，第二電晶體係開啟，第三電晶體係關閉，第四電晶體係關閉，第五電晶體係開啟，輸出端係輸出零伏特。

為讓本發明的上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合附圖，作詳細說明如

下。

【實施方式】

請參考第 2 圖，其係為本發明之自舉式電路之上橋式驅動電路圖。本發明之上橋式驅動電路 200 圖係包含：第一電晶體 M_1 、第二電晶體 M_2 、升壓電容 C_{Boost} 、電位位準轉換器 202、以及第五二極體 D_3 以及電阻 R_0 。其中本發明第二電晶體 M_2 之汲極係連接第一電晶體 M_1 之汲極，第二電晶體 M_2 之閘極係連接第一電晶體 M_1 之閘極。第三電晶體 M_N 之閘極係連接第一電晶體 M_1 之汲極，第三電晶體 M_N 之源極係連接一輸出端 V_{out} ，第三電晶體 M_N 之汲極係連接第一電源 V_{DD} 。第三電晶體 M_N 分別由第一電晶體 M_1 以及第二電晶體 M_2 所驅動。電位位準轉換器 202 連接第二電源 V_D 。本實施例中之第一電源 V_{DD} 為 100 伏特，第二電源 V_D 為 10 伏特。電位位準轉換器 202 之控制電壓由第一輸入 In_1 、第二輸入 In_2 。輸入之電壓位準有低電壓位準 V_{DDL} 以及高電壓位準 V_{DDH} ，於此實施例中，為低電壓位準 V_{DDL} 等於 0 伏特，高電壓位準 V_{DDH} 等於 8 伏特。

電位位準轉換器 202 包含第四電晶體 M_{P1} 、第五電晶體 M_{P2} 、第一電容 C_1 、第二電容 C_2 、第一二極體 D_1 、第二二極體 D_2 、第三二極體 D_{b1} 、第四二極體 D_{b2} 以及第五二極體 D_3 。第四電晶體 M_{P1} 之源極係連接第一電晶體之源極。第五電晶體 M_{P2} 之源極係連接第一電晶體 M_1 之源極，第五電晶體 M_{P2} 之汲極係連接第四電晶體 M_{P1} 之閘極，第五電晶體 M_{P2} 之源極係連接第四電晶體 M_{P1} 之汲極。需說明的是，本發明之中

第一電晶體 M_1 、第四電晶體 M_{P1} 以及第五電晶體 M_{P2} 為 p 型的金氧半場效電晶體。第二電晶體 M_2 以及第三電晶體 M_N 係為 n 型的金氧半場效電晶體。其中，第一電晶體 M_1 、第四電晶體 M_{P1} 以及第五電晶體 M_{P2} 之臨界電壓 V_{thP} 等於 -4.2 伏特，第二電晶體 M_2 以及第三電晶體 M_N 之臨界電壓 V_{thN} 等於 4.8 伏特。升壓電容 C_{Boost} 之一端係連接第一電晶體之源極。升壓電容之另一端係連接第二電晶體之源極。

請參考第 2 圖，第一二極體 D_1 之正極係連接第四電晶體 M_{P1} 之源極。第一二極體 D_1 之負極係連接第四電晶體 M_{P1} 之汲極。第三二極體 D_{b1} 之負極係連接第四電晶體 M_{P1} 之源極，第三二極體 D_{b1} 之正極係連接第四電晶體 M_{P1} 之汲極。第二二極體 D_2 之正極係連接第五電晶體 M_{P2} 之源極，第二二極體 D_2 之負極係連接第五電晶體 M_{P2} 之汲極。第四二極體 D_{b2} 之負極係連接第五電晶體 M_{P2} 之源極，第四二極體 D_{b2} 之正極係連接第五電晶體 M_{P2} 之汲極。本實施例中，第三二極體 D_{b1} 與第四二極體 D_{b2} 之導通電壓為 0.7 伏特。第一二極體 D_1 、第二二極體 D_2 之導通電壓為 V_{thd} 。於本實施例中，第一二極體 D_1 、第二二極體 D_2 之導通電壓為 V_{thd} 等於 5 伏特。

如第 2 圖所示，第一電容 C_1 之一端係連接第四電晶體 M_{P1} 之汲極。第一電容 C_1 之另一端係為第一輸入端 In_1 。第二電容 C_2 之一端係連接第五電晶體 M_{P2} 之汲極。第二電容 C_2 之另一端係為第二輸入端 In_2 。

如第 2 圖之電路結構，其電路設計之要點在於，第二電源 V_D 大於第一二極體 D_1 、第二二極體 D_2 之導通電壓 V_{thd} 。

第一二極體 D_1 、第二二極體 D_2 之導通電壓 V_{thd} 大於第一電晶體 M_1 、第四電晶體 M_{P1} 以及第五電晶體 M_{P2} 之臨界電壓之絕對值 $|V_{thP}|$ 。高電壓位準 V_{DDH} 減第一二極體 D_1 、第二二極體 D_2 之導通電壓 V_{thd} 再減低電壓位準 V_{DDL} 係大於零。本發明之上橋式驅動電路 200 之電路運作係包含以下四個時序描述：

時序一：第一輸入與第二輸入分別輸入，第一輸入 $In_1=0$ ，第二輸入 $In_2=0$ 。此時第四電晶體 M_{P1} 係開啟並導通，且第五電晶體 M_{P2} 開啟並導通。節點 A 與節點 B 之電壓係同時到達 10 伏特（即等於第二電源 V_D ）。

時序二：第一輸入 In_1 =低電壓位準 V_{DDL} ，第二輸入 In_2 =高電壓位準 V_{DDH} 。由於電位位準轉換器 202 具有第三二極體 D_{b1} 以及第四二極體 D_{b2} 。節點 A 與節點 B 之電壓係維持於約等於第二電源 V_D 。由於高電壓位準 V_{DDH} 大於低電壓位準 V_{DDL} 。此時電流主要由第二電容 C_2 透過第四二極體 D_{b2} 對升壓電容 C_{Boost} 進行充電。第一電容 C_1 兩端之電壓差係為 V_D-V_{DDL} 。第二電容 C_2 兩端之電壓差係為 V_D-V_{DDH} 。因此，節點 B 之控制訊號輸出，因此，第一電晶體 M_1 關閉，第二電晶體 M_2 係開啟並導通，以使第三電晶體 M_N 關閉，輸出電壓 V_{out} 等於零伏特。

時序三：第一輸入 In_1 =高電壓位準 V_{DDH} ，第二輸入 In_2 =低電壓位準 V_{DDL} 。當輸入切換後，節點 A 之瞬間電壓為 $V_D+V_{DDH}-V_{DDL}$ 。節點 B 之瞬間電壓為 $V_D-V_{DDH}+V_{DDL}$ 。由於電位位準轉換器 202 具有第三二極體 D_{b1} ，節點 A 之電壓將維持於 V_D ，則第四電晶體 M_{P1} 係開啟並導通、第五電晶體 M_{P2} 係關

閉。此外，節點 B 之電壓係始第一電晶體 M_1 開啟並導通，第二電晶體 M_2 關閉，使得第三電晶體開啟，以及輸出電壓 V_{out} 開始上升。

由於升壓電容 C_{Boost} 係使得節點 D 電壓 V_{top} 上升。節點 A 之電壓由於第四電晶體 M_{P1} 開啟並導通，其電壓值係等於 V_{top} ，則第五電晶體 M_{P2} 持續不導通，第一電晶體 M_1 與第四電晶體 M_{P1} 係持續導通。

當電壓上升至一定程度後，升壓電容 C_{Boost} 係透過第二二極體 D_2 對第二電容 C_2 充電。最後，節點 D 電壓 V_{top} 為 $V_D + V_{DD}$ ，節點 A 電壓約等於 V_{top} ，節點 B 之電壓為 $V_{top} - V_{thd}$ 。

時序四：第一輸入 $In_1 =$ 低電壓位準 V_{DDL} ，第二輸入 $In_2 =$ 高電壓位準 V_{DDH} 。在輸入切換後，節點 A 之瞬間電壓為 $V_{top} - V_{DDH} + V_{DDL}$ ，節點 B 之電壓為 $V_{top} - V_{thd} - V_{DDL} + V_{DDH}$ 。由於本發明之電位位準轉換器 202 具有第四二極體 D_{b2} ，節點 B 之電壓係維持於 V_{top} ，因此，第四電晶體 M_{P1} 不導通、第五電晶體 M_{P2} 係開啟並導通、第一電晶體 M_1 係不導通以及第二電晶體 M_2 係開啟並導通，進而使得第三電晶體 M_N 關閉。此時，輸出電壓 V_{out} 電壓開始下降，當節點 D 電壓 V_{top} 較節點 A、節點 B 之電壓為低時，第一電容 C_1 以及第二電容 C_2 分別透過第三二極體 D_{b1} 與第四二極體 D_{b2} 對升壓電容 C_{Boost} 充電。節點 A、節點 B 之電壓約等於 V_{top} ，因此，第一電晶體 M_1 係關閉第二電晶體 M_2 係開啟並導通，使得第三電晶體 M_N 關閉。最終，節點 D 電壓 V_{top} 係等於 V_D ，輸出電壓 V_{out} 係為零。

重複時序三、時序四即可利用輸入 (In_1 、 In_2) 之邏輯位準作為控制訊號，完成第三電晶體 (即上橋驅功率電晶體)

之開關控制。上橋式驅動電路 200 係藉由第一電晶體 M_1 以及第二電晶體 M_2 之開啟或關閉，以控制第三電晶體 M_N 導通與否，用以使第一電容 C_1 以及第二電容 C_2 承受高電壓差，則第一電晶體 M_1 、第二電晶體 M_2 、第四電晶體 M_{P1} 以及第五電晶體 M_{P2} 不需具備高崩潰電壓。

綜上所述，本發明上橋式驅動電路，係用於第三電晶體(即上橋驅功率電晶體)之驅動/控制。其利用二極體來限制電晶體之汲極-源極電壓差，再利用電容來承受高電壓差，因此，驅動電路不需要高崩潰電壓之電晶體，可由一般之積體電路製程作出，並整合於積體電路中。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖係為一般具自舉式電路之上橋功率電晶體驅動電路圖；以及

第 2 圖係為本發明之自舉式電路之上橋式驅動電路圖。

【主要元件符號說明】

升壓電容 C_{Boost}

第一電晶體 M_1

第二電晶體 M_2

第三電晶體 M_N

第四電晶體	M_{P1}	
第五電晶體	M_{P2}	
電位位準轉換器		102
上橋式驅動電路		200
電位位準轉換器		202
第一電容	C_1	
第二電容	C_2	
第一二極體	D_1	
第二二極體	D_2	
第三二極體	D_{b1}	
第四二極體	D_{b2}	
第五二極體	D_3	
電阻	R_o	
第一電源	V_{DD}	
第二電源	V_D	
輸入	In	
第一輸入	In_1	
第二輸入	In_2	
電壓	V_{top}	
輸出電壓	V_{out}	
節點	A、B、D	

七、申請專利範圍：

1. 一種上橋式驅動電路，包含：

一第一電晶體；

一第二電晶體，其汲極係連接該第一電晶體之汲極，該第二電晶體之閘極係連接該第一電晶體之閘極；

一第三電晶體，其閘極係連接該第一電晶體之汲極，該第三電晶體之源極係連接一輸出端，該第三電晶體之汲極係連接一第一電源；

一第四電晶體，其源極係連接該第一電晶體之源極；

一第五電晶體，其源極係連接該第一電晶體之源極，該第五電晶體之汲極係連接該第四電晶體之閘極，該第五電晶體之源極係連接該第四電晶體之汲極；

一第一二極體，其正極係連接該第四電晶體之源極，該第一二極體之負極係連接該第四電晶體之汲極；

一第二二極體，其正極係連接該第五電晶體之源極，該第二二極體之負極係連接該第五電晶體之汲極；

一第三二極體，其負極係連接該第四電晶體之源極，該第三二極體之正極係連接該第四電晶體之汲極；

一第四二極體，其負極係連接該第五電晶體之源極，該第四二極體之正極係連接該第五電晶體之汲極；

一第一電容，該第一電容之一端係連接該第四電晶體之汲極，該第一電容之另一端係為一第一輸入端；

一第二電容，該第二電容之一端係連接該第五電晶體之汲極，該第二電容之另一端係為一第二輸入端；

以及

一升壓電容，該升壓電容之一端係連接該第一電晶體之源極，該升壓電容之另一端係連接該第二電晶體之源極；

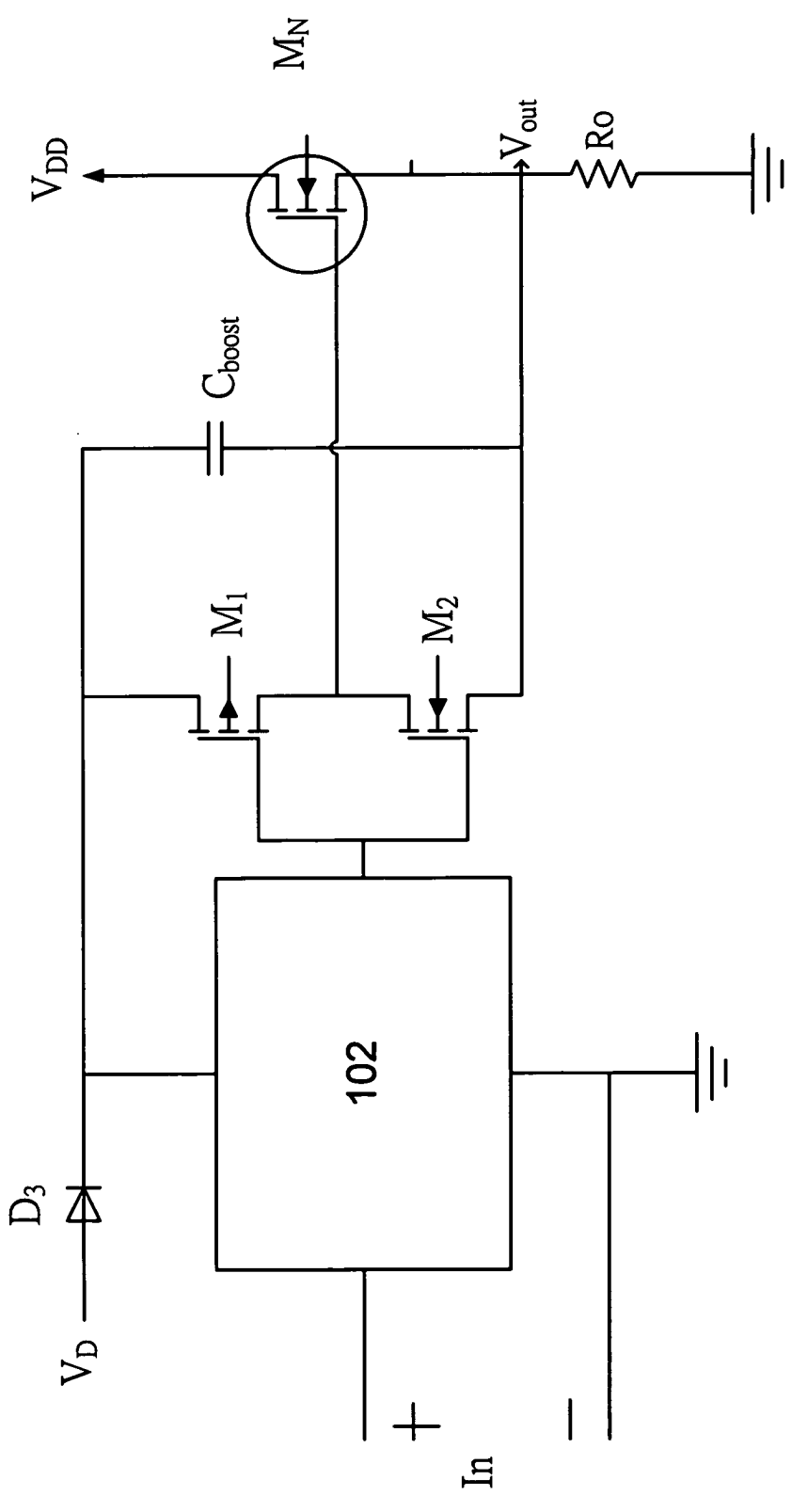
其中藉由該第一電晶體以及該第二電晶體之開啟或關閉，以控制該第三電晶體導通與否，用以使該第一電容以及該第二電容承受高電壓差。

2. 如申請專利範圍第 1 項所述之上橋式驅動電路，其中該第一電晶體、該第四電晶體以及該第五電晶體係為 p 型的金氧半場效電晶體。
3. 如申請專利範圍第 1 項所述之上橋式驅動電路，該第二電晶體係為 n 型的金氧半場效電晶體，該第三電晶體係為 n 型的功率電晶體。
4. 如申請專利範圍第 1 項所述之上橋式驅動電路，其中該第一輸入端係輸入零伏特，以及該第二輸入端係輸入零伏特，則該第四電晶體以及該第五電晶體係開啟。
5. 如申請專利範圍第 1 項所述之上橋式驅動電路，其中當節點 A 以及節點 B 電壓等於第二輸入電源 (V_D)，該第一輸入端係輸入低電壓位準，以及該第二輸入端係輸入高電壓位準，則該第一電晶體係關閉，該第二電晶體係開啟，該第三電晶體係關閉，該輸出端係輸出零伏特。
6. 如申請專利範圍第 1 項所述之上橋式驅動電路，其中當第三電晶體係關閉，該第一輸入端係輸入高電壓位準，以及該第二輸入端係輸入低電壓位準，則該第一電晶體係開啟，該第二電晶體係關閉，該第三電晶體係開

啟，該輸出端之電壓係上升。

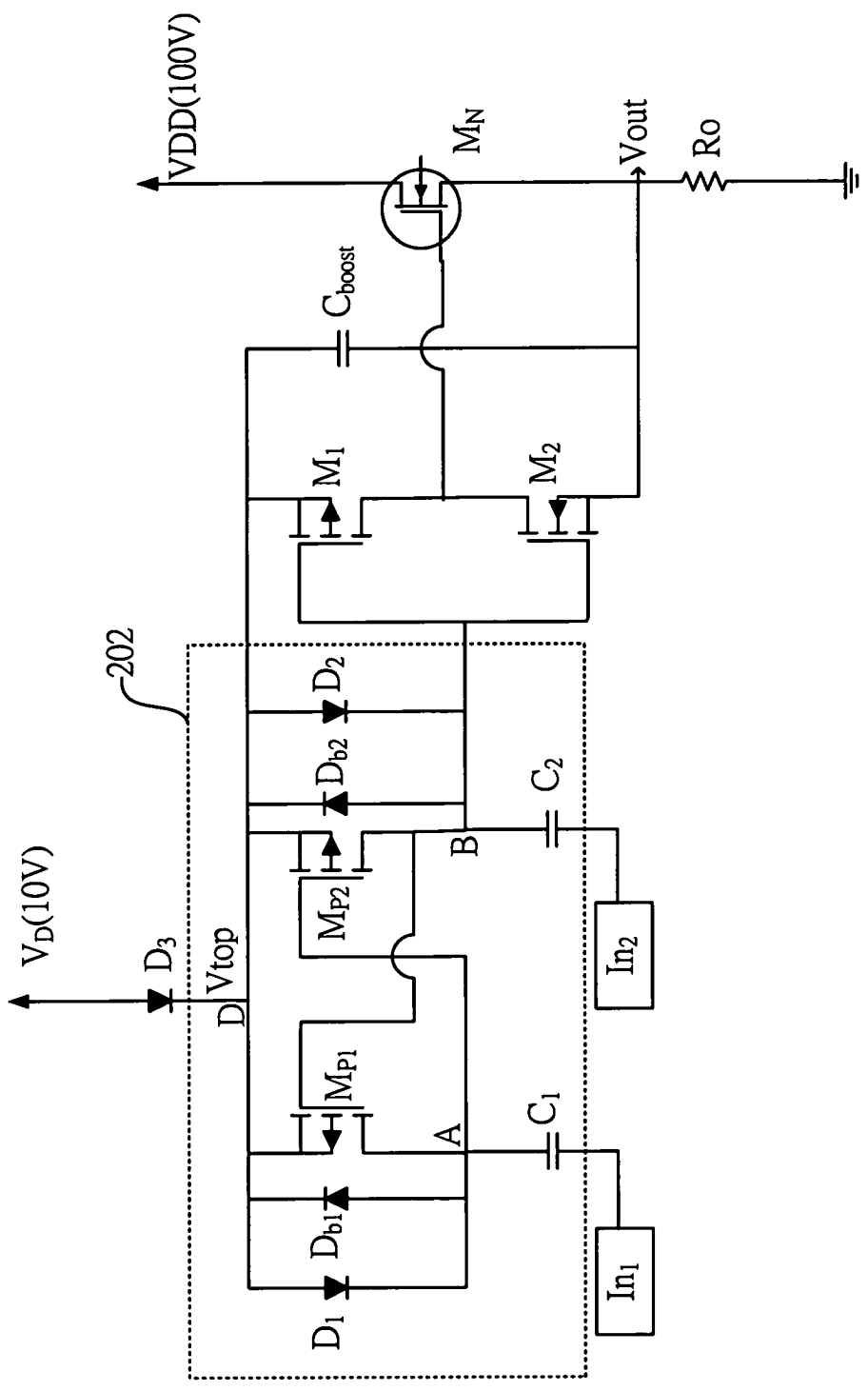
7. 如申請專利範圍第1項所述之上橋式驅動電路，其中當第三電晶體係開啟，該第一輸入端係輸入低電壓位準，以及該第二輸入端係輸入高電壓位準，則該第一電晶體係關閉，該第二電晶體係開啟，該第三電晶體係關閉，該第四電晶體係關閉，該第五電晶體係開啟，該輸出端係輸出零伏特。

八、圖式：



第 1 圖

200



第 2 圖