



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I467736 B

(45) 公告日：中華民國 104 (2015) 年 01 月 01 日

(21) 申請案號：101100310

(22) 申請日：中華民國 101 (2012) 年 01 月 04 日

(51) Int. Cl. : *H01L25/065 (2006.01)**H01L23/538 (2006.01)**H01L23/482 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳冠能 CHEN, KUAN NENG (TW)；賴明芳 LAI, MING FANG (TW)；陳宏明

CHEN, HUNG MING (TW)

(74) 代理人：高玉駿；楊祺雄

(56) 參考文獻：

US 2011/0156249A1

審查人員：陳建仲

申請專利範圍項數：10 項 圖式數：5 共 29 頁

(54) 名稱

立體積體電路裝置

THREE-DIMENSIONAL INTEGRATED CIRCUIT DEVICE

(57) 摘要

一種立體積體電路裝置，包含第一晶粒、第二晶粒、複數導電通道，及焊墊單元。第一晶粒包括主要電路，第二晶粒與第一晶粒堆疊並包括避免主要電路受破壞的保護電路，導電通道自保護電路延伸至與第一晶粒的主要電路連接，焊墊單元包括與導電通道連接而對主要電路及保護電路傳送來自外界電訊號的輸出入焊墊(I/O pad)。本發明以主要電路與保護電路分設相異基板，再堆疊及配合導電通道電連接兩晶粒，而不需如目前所有電路置於同一晶片時，須保留預定距離以防止保護電路產生的脈衝影響主要電路導致過熱或失效，並進而有效減少整體的面積。

A three-dimensional integrated circuit device includes the first chip, the second chip, a plurality of conductive channels, and a pad unit. The first chip includes a major circuit, and the second is stacked over the first chip, and includes a protecting circuit that avoids the major circuit being destroyed. The conductive channels extend from the protected circuit to the major circuit and couple with the major circuit. The pad unit includes a I/O pad which couples with the conductive channels and transmits a signal to the major channel and the protected circuit. The invention sets the major circuit and the protected circuit on the different substrates, and then stacks the chips which couple with the conductive channels. It doesn't need to leave a specific distance to keep the major circuit from over-hot or breaking down, and reduce the whole area.

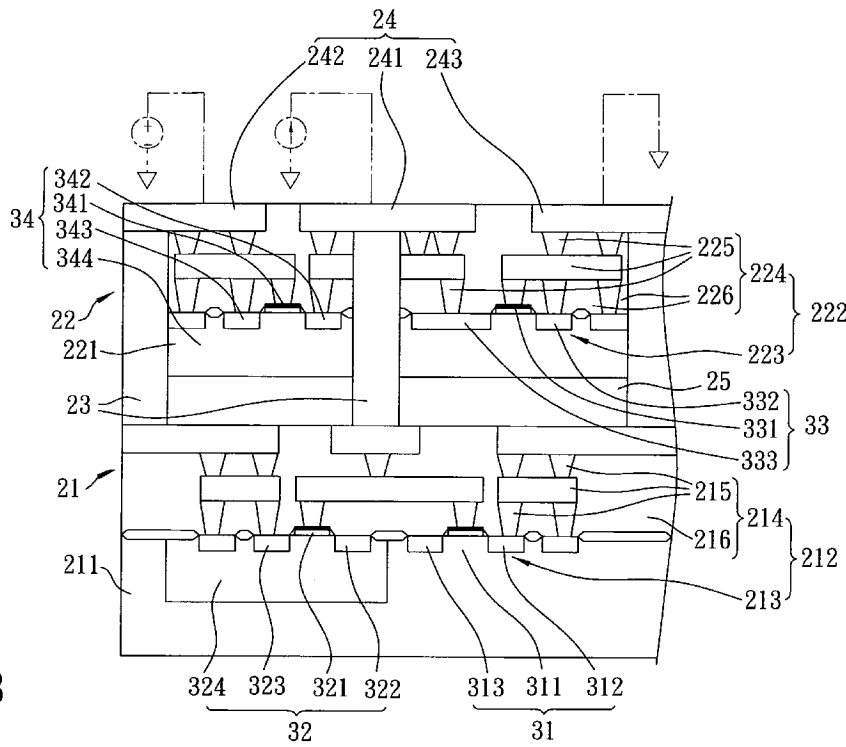


圖3

- 21 . . . 第一晶粒
- 211 . . . 第一基板
- 212 . . . 主要電路
- 213 . . . 第一半導體結構
- 214 . . . 第一佈線結構
- 215 . . . 第一佈線
- 216 . . . 第一介電層
- 22 . . . 第二晶粒
- 221 . . . 第二基板
- 222 . . . 保護電路
- 223 . . . 第二半導體結構
- 224 . . . 第二佈線結構
- 225 . . . 第二佈線
- 226 . . . 第二介電層
- 23 . . . 導電通道
- 24 . . . 焊墊單元
- 241 . . . 輸出入焊墊
- 242 . . . 電源焊墊
- 243 . . . 接地焊墊
- 25 . . . 接合物
- 31 . . . 主要電路的n型電晶體
- 311 . . . 閘極
- 312 . . . 源極
- 313 . . . 汲極
- 32 . . . 主要電路的p型電晶體
- 321 . . . 閘極
- 322 . . . 汲極
- 323 . . . 源極
- 324 . . . 井區
- 33 . . . 保護電路的n型電晶體
- 331 . . . 閘極
- 332 . . . 汲極
- 333 . . . 源極
- 34 . . . 第一佈線結構
- 341 . . . 第一佈線
- 342 . . . 第一介電層
- 343 . . . 第一佈線
- 344 . . . 第一介電層

332 . . . 源極

333 . . . 汲極

34 . . . 保護電路的

p 型電晶體

341 . . . 閘極

342 . . . 汲極

343 . . . 源極

344 . . . 井區

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101100310

※申請日：101. 1. 04

※IPC 分類：

H01L 25/065 (2006.01)

H01L 23/538 (2006.01)

H01L 23/482 (2006.01)

一、發明名稱：(中文/英文)

立體積體電路裝置

Three-dimensional integrated circuit device

二、中文發明摘要：

一種立體積體電路裝置，包含第一晶粒、第二晶粒、複數導電通道，及焊墊單元。第一晶粒包括主要電路，第二晶粒與第一晶粒堆疊並包括避免主要電路受破壞的保護電路，導電通道自保護電路延伸至與第一晶粒的主要電路連接，焊墊單元包括與導電通道連接而對主要電路及保護電路傳送來自外界電訊號的輸出入焊墊 (I/O pad)。本發明以主要電路與保護電路分設相異基板，再堆疊及配合導電通道電連接兩晶粒，而不需如目前所有電路置於同一晶片時，須保留預定距離以防止保護電路產生的脈衝影響主要電路導致過熱或失效，並進而有效減少整體的面積。

三、英文發明摘要：A three-dimensional integrated circuit device

includes the first chip, the second chip, a plurality of conductive channels, and a pad unit. The first chip includes a major circuit, and the second is stacked over the first chip, and includes a protecting circuit that avoids the major circuit being destroyed. The conductive channels extend from the protected circuit to the major circuit and couple with the major circuit. The pad unit includes a I/O pad which

couples with the conductive channels and transmits a signal to the major channel and the protected circuit. The invention sets the major circuit and the protected circuit on the different substrates, and then stacks the chips which couple with the conductive channels. It doesn't need to leave a specific distance to keep the major circuit from over-hot or breaking down, and reduce the whole area.

四、指定代表圖：

(一)本案指定代表圖為：圖(3)。

(二)本代表圖之元件符號簡單說明：

21 …… 第一晶粒	311 …… 閘極
211 …… 第一基板	312 …… 源極
212 …… 主要電路	313 …… 汲極
213 …… 第一半導體結構	32 …… 主要電路的 p 型
214 …… 第一佈線結構	電晶體
215 …… 第一佈線	321 …… 閘極
216 …… 第一介電層	322 …… 汲極
22 …… 第二晶粒	323 …… 源極
221 …… 第二基板	324 …… 井區
222 …… 保護電路	33 …… 保護電路的 n 型
223 …… 第二半導體結構	電晶體
224 …… 第二佈線結構	331 …… 閘極
225 …… 第二佈線	332 …… 源極
226 …… 第二介電層	333 …… 汲極
23 …… 導電通道	34 …… 保護電路的 p 型
24 …… 焊墊單元	電晶體
241 …… 輸出入焊墊	341 …… 閘極
242 …… 電源焊墊	342 …… 汲極
243 …… 接地焊墊	343 …… 源極
25 …… 接合物	344 …… 井區
31 …… 主要電路的 n 型	
電晶體	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種積體電路裝置，特別是指一種立體積電電路裝置。

【先前技術】

參閱圖 1，為目前一般的積體電路裝置的等效電路，由圖 1 所示可以瞭解，一般的積體電路裝置的等效電路主要包括一供電時可運算的邏輯電路或是記憶體等主要電路 12，再於主要電路 12 外圍形成一避免該主要電路 12 受到破壞的保護電路 13，及一與該保護電路 13 電連接而可傳送來自外界電訊號的焊墊(pad)單元。該保護電路 13 依照電元件種類與設置位置的不同，而可提供例如：防止主要電路 12 受靜電破壞、作為緩衝，或是限流等各式保護該主要電路 12 的方式。

配合參閱圖 2，為圖 1 包含主要電路 12 與保護電路 13 的半導體剖視示意圖。一般的積體電路裝置包含一基板 11、一形成於該基板 11 中心部的主要電路 12、一形成於基板 11 主要電路 12 外圍的保護電路 13，及一與該主要電路 12 及該保護電路 13 電連接的焊墊單元 14。而由於該主要電路 12 與該保護電路 13 形成於同一基板 11，則一般在主要電路 12 與保護電路 13 之間需間隔一預定間距 S ，才能避免來自外界的電荷或是殘留於保護電路 13 的靜電荷在保護電路 13 中形成的脈衝擴散至主要電路 12 中，而被主要電路 12 中例如閘流體等寄生的電元件箝制來自保護電路 13 的脈衝，

或脈衝經由主要電路 12 中的放大器無限放大而產生大電流而過熱，造成元件失效。

所以，目前是在電路設計規則（IC design rule）中針對不同尺寸的積體電路裝置--例如 0.13 微米、65 奈米，甚或是 45 奈米的積體電路裝置--中規定主要電路及保護電路間需保留預定間距，以避免保護電路與主要電路彼此太鄰近，而使來自保護電路的脈衝導致主要電路過熱或是失效。

然而，在積體電路裝置積極朝向縮小晶片面積尺寸的趨勢下，在保護電路與主要電路間預留間距，也成為微縮積體電路的瓶頸。因此，如何有效縮小積體電路裝置的面積，也是業界與學界持續研究的目標。

【發明內容】

因此，本發明之目的，即在提供一種縮小面積的立體積體電路裝置。

於是，本發明立體積體電路裝置，包含一第一晶粒、一第二晶粒、複數導電通道，及一焊墊單元。

該第一晶粒包括一第一基板，及一形成於該第一基板的主要電路。

該第二晶粒與該第一晶粒疊，並包括一與該第一基板相異的第二基板，及一形成於該第二基板而可避免該主要電路受破壞的保護電路。

該等導電通道自該第二晶粒的保護電路往該第一晶粒的方延伸直到與該第一晶粒的主要電路電連接。

該焊墊單元包括一與該等導電通道的其中之一電連接

而對該主要電路及該保護電路經該導電通道傳送來自外界電訊號的輸出入焊墊。

本發明之功效：該主要電路與該保護電路分別形成於疊置的該第一晶粒與該第二晶粒，而不需如目前在主要電路與保護電路間預留防止導致主要電路過熱而失效的脈衝自保護電路擴散至主要電路，進而有效微縮本發明立體積體電路裝置所需的面積。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之二個較佳實施例的詳細說明中，將可清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

參閱圖 1、圖 3，本發明立體積體電路裝置之第一較佳實施例包含一第一晶粒 21、一第二晶粒 22、複數導電通道 23，及一焊墊單元 24。且由於本發明的第一較佳實施例與目前的積體電路裝置所成的等效電路相同，故電路示意圖也以圖 1 表示。

該第一晶粒 21 包括一第一基板 211，及一形成於該第一基板 211 的主要電路 212。在該第一較佳實施例中，該第一基板 211 是以 p 型的矽晶圓為主要構成材料，但不以矽晶圓為限，也可是氮化鎵等 III-V 族晶圓。該主要電路 212 具有一形成於該第一基板 211 中的第一半導體結構 213，及一自該第一半導體結構 213 表面往遠離該第一基板 211 方向延

伸的第一佈線 215 結構，該第一佈線 215 結構具有複數以金屬構成的第一佈線 215，及一填置於該等第一佈線 215 間的第一介質層，該第一介質層以絕緣材料為主。

在該第一較佳實施例中，該主要電路 212 的第一半導體結構 213 以具有一 n 型電晶體 31，及一與該 n 型電晶體電連接 31 的 p 型電晶體 32 為例做說明。該 n 型電晶體具有一閘極 311，及分別形成於該閘極兩相反側且是以 n 型摻雜的一源極 312 和一汲極 313。該 p 型電晶體 32 具有一與該 n 型電晶體 31 相鄰且成 n 型的井區 324、一位於該井區上的閘極 321，及分別位於該井區中並形成於該閘極兩相反側且是以 p 型摻雜的一源極 323 和一汲極 322，其中，該 n 型電晶體 31 的汲極 313 與該 p 型電晶體 32 的汲極 322 相鄰而可視為電連接。

該第一晶粒 21 的第一佈線 215 結構的其中一部分的第一佈線 215 將該 n 型電晶體 31 的閘極 311 及該 p 型電晶體 32 的閘極 321 電連接並整合為同一第一連接點，其中之另一部分的第一佈線 215 將該 p 型電晶體 32 的源極 323 拉出而成一第二連接點，其中之另一部分的第一佈線 215 將該 n 型電晶體 31 的源極 312 拉出而成一第三連接點。

該第二晶粒 22 與該第一晶粒 21 堆疊，並包括一與該第一基板 211 相異的第二基板 221，及一形成於該第二基板 221 而可避免該主要電路 212 受破壞的保護電路 222。在該第一較佳實施例中，該第二基板 221 是以 p 型的矽晶圓為主要構成材料，但不以矽晶圓為限，也可是氮化鎵等 III-V

族晶圓，或是以矽層—氧化矽層—矽層依序層疊構成的基材。該保護電路 222 具有一形成於該第二基板 221 中的第二半導體結構 223，及一自該第二半導體結構 223 表面往遠離該第二基板 221 方向延伸的第二佈線 225 結構 224。該第二佈線 225 結構 224 具有複數以金屬構成的第二佈線 225，及一設置於第二佈線 225 間並將該等第二佈線 225 間隔的第二介質層，該第二介質層以絕緣材料為主。

在該第一較佳實施例中，該保護電路 222 的第二半導體結構 223 以具有一 n 型電晶體 33，及一與該 n 型電晶體 33 電連接的 p 型電晶體 34 舉例做說明。該 n 型電晶體 33 具有一閘極 331，及分別形成於該閘極兩相反側且以 n 型摻雜的一源極 332 和一汲極 333。該 p 型電晶體 34 具有一與該 n 型電晶體 33 相鄰且成 n 型的井區 344、一位於該井區上的閘極 341，及分別位於該井區 344 中並形成於該閘極 341 兩相反側且是以 p 型摻雜的一源極 343 和一汲極 342，其中，該 n 型電晶體 33 的汲極 333 與該 p 型電晶體 34 的汲極 342 電連接。

該第二晶粒 22 的第二佈線 225 結構 224 的其中一部分的第二佈線 225 將該保護電路 222 的 n 型電晶體 33 的汲極 333 及該 p 型電晶體 34 的汲極 342 電連接並整合為同一第一連接點，其中之另一部分的第二佈線 225 將該 p 型電晶體 34 的源極 343 和閘極 341 電連接並整合為同一第二連接點，其中之另一部分的第二佈線 225 將該 n 型電晶體 33 的源極 332 和閘極 331 電連接並整合為同一第三連接點。

該等複數導電通道 23 自該第二晶粒 22 的保護電路 222 往該第一晶粒 21 的方向延伸直到與該第一晶粒 21 的主要電路 212 電連接，並以矽穿孔 (through silicon via, 簡稱 TSV) 的方式於該第一晶粒 21 及該第二晶粒 22 蝕刻穿孔並填入導電材而成。更詳細地說，在該第一較佳實施例中，共具有三道電通道，分別為：連接該主要電路 212 的第一連接點與該保護電路 222 的第一連接點、連接該主要電路 212 的第二連接點與該保護電路 222 的第二連接點，及一連接該主要電路 212 的第三連接點與該保護電路 222 的第三連接點。

該焊墊單元 24 經由該等導電通道 23 而與該保護電路 222 及該主要電路 212 電連接。該焊墊單元 24 包括一與該連接該主要電路 212 的第一連接點與該保護電路 222 的第一連接點的導電通道 23 電連接的輸出焊墊 241 (I/O pad)、一與該連接該主要電路 212 的第二連接點與該保護電路 222 的第二連接點的導電通道 23 電連接的電源焊墊 242 (Vdd pad)，及一與該連接該主要電路 212 的第三連接點與該保護電路 222 的第三連接點的導電通道 23 電連接的接地焊墊 243 (Vss pad)。

該第一較佳實施例還包含一用以接合該第一晶粒 21 及該第二晶粒 22 的接合物 25。該接合物 25 以矽氧化物構成並供該第一晶粒 21 的第一介質層頂面與該第二晶粒 22 的第二基板 221 相反於該第二佈線 225 結構 224 的表面接合，而可將該第一晶粒 21 及該第二晶粒 22 更穩固地連結。

該焊墊單元 24 的輸出入焊墊 241 與外界的訊號源電連接而可傳送電訊號，該電源焊墊 242 與外界的一穩定正電壓電連接而傳送穩定電源，該接地焊墊 243 接地而作為電位準。

以電性元件作分類時，該第一較佳實施例的第一晶粒 21 的主要電路 212 為該 p 型電晶體 31 與該 n 型電晶體 32 串接，而以該輸出入焊墊 241 傳送的輸出入訊號控制該 n 型電晶體 31 與該 p 型電晶體 32 的閘極 311、321；而該第二晶粒 22 的保護電路 222 為該 p 型電晶體 34 與該 n 型電晶體串接 33，而以該輸出入焊墊 241 傳送的輸出入訊號控制該 n 型電晶體 33 的汲極 333 與該 p 型電晶體 34 的汲極 342，以調整 p 型電晶體 34 閘極 341/源極 343 與汲極 342 間，及 n 型電晶體 33 閘極 331/源極 332 與汲極 333 間的電位差。

在理想的作動狀態時，在主要電路 212 的部分，電源焊墊 242 傳送正電壓至主要電路 212 的 p 型電晶體，接地焊墊 243 供該 n 型電晶體 31 的源極 312 接地，再配合該輸出入焊墊 241 傳送輸出入訊號控制 p 型電晶體 32 或是 n 型電晶體 31 作動；同時，在保護電路 222 的部分，電源焊墊 242 傳送正電壓至 p 型電晶體 34，接地焊墊 243 供該 n 型電晶體 33 的源極 332 接地，再配合該輸出入焊墊 241 傳送輸出入訊號控制 p 型電晶體 34 或是 n 型電晶體 33 作動，而可將積聚於焊墊單元 24 的正電荷經由保護電路 222 的 p 型電晶體 34 上拉，並經由電源焊墊 242 將電荷導離至外界

；或積聚於該焊墊單元 24 與保護電路 222 間的負電荷經由保護電路 222 的 n 型電晶體 33 下拉，而將靜電荷釋放至外界，以保護該第一晶粒 21 的主要電路 212 不受靜電荷的破壞，而可維持主要的作動。

在該第一較佳實施例中，當實際整體積體電路裝置作動時，在該第一晶粒 21 的主要電路 212 的 n 型電晶體 31 和 p 型電晶體 32 間不可避免地形成一 n-p-n-p 寄生閘流體，該寄生閘流體會無限制地放大所接受的脈衝電流而造成拴鎖效應，導致主要電路 212 過熱而失效；在該第二晶粒 22 的保護電路 222 也會在不同型態的摻雜區間形成寄生二極體。

當靜電荷驅動寄生二極體而產生脈衝電流時，由於該第一晶粒 21 的保護電路 222 與該第二晶粒 22 的主要電路 212 分別形成於兩相異的第一基板 211 與第二基板 221，所以來自保護電路 222 的脈衝電流無法經由同一基板擴散至主要電路 212，進而維持該主要電路 212 正常作動，不需如目前須在主要電路與保護電路之間間隔一預定間距，才能避免脈電流擴散經由同一基板至主要電路。因此，本發明將保護電路 222 與主要電路 212 分別形成於不同基板的方式，並配合疊置該第一晶粒 21 與該第二晶粒 22，即可防止來自保護電路 222 的脈衝干涉該主要電路 212，且由於該保護電路 222 與該主要電路 212 也不需位於同一平面（如 x-y 平面），而可沿著不同於 x-y 平面方向的 z 軸延伸地堆疊晶粒（即三維空間），進而確實達到縮小本發明立體積體電路

面積的功效，並大幅降低將積體電路裝置應用於電子儀器中所占有的面積。

參閱圖 4，需說明的是，該第一較佳實施例的接合物 25 可是以金屬構成並供該第一晶粒 21 的第一佈線 215 頂面與該第二晶粒 22 的基板相反於該第二佈線 225 結構 224 的表面接合；更詳細地說，該接合物 25 分別連結於該等第一佈線 215 整合成的第一、二、三連接點，而可利用以金屬構成的接合物 25，作金屬構成的第一佈線 215 及導電通道 23 間更穩固的鍵結。

參閱圖 1、圖 5，本發明立體積體電路裝置之一第二較佳實施例的電元件分類與該第一較佳實施例相似，並包含一第一晶粒 21、一第二晶粒 22、複數導電通道 23、一焊墊單元 24，及一接合物 25。

該第一晶粒 21 包括一第一基板 211，及一形成於該第一基板 211 的主要電路 212。在該第二較佳實施例中，該第一基板 211 是以 p 型的矽晶圓為主要構成材料，但不以矽晶圓為限，也可是氮化鎵等 III-V 族晶圓。該主要電路 212 具有一形成於該第一基板 211 中的第一半導體結構 213，及一自該第一半導體結構 213 表面延伸而的第一佈線 215 結構，該第一佈線 215 結構具有複數以金屬構成的第一佈線 215，及一填置於該等第一佈線 215 間的第一介質層。

在該第二較佳實施例中，該主要電路 212 的第一半導體結構 213 以具有一 n 型電晶體 31，及一與該 n 型電晶體 31 電連接的 p 型電晶體 32 舉例做說明。該 n 型電晶體 31

具有一閘極 311，及分別形成於該閘極 311 兩相反側且是以 n 型摻雜的一源極 312 和一汲極 313。該 p 型電晶體 32 具有一與該 n 型電晶體 31 相鄰且成 n 型的井區 324、一位於該井區 324 上的閘極 321，及分別位於該井區 324 中並形成於該閘極 321 兩相反側且是以 p 型摻雜的一源極 323 和一汲極 322，其中，該 n 型電晶體 31 的汲極 313 與該 p 型電晶體 32 的汲極 322 相鄰而可視為電連接。

該第一晶粒 21 的第一佈線 215 結構的其中一部分的第一佈線 215 將該 n 型電晶體 31 的閘極 311 及該 p 型電晶體 32 的閘極 321 電連接並整合為同一第一連接點，其中之另一部分的第一佈線 215 將該 p 型電晶體 32 的源極 323 拉出一第二連接點，其中之另一部分的第一佈線 215 將該 n 型電晶體 31 的源極 312 拉出一第三連接點。

該第二晶粒 22 與該第一晶粒 21 堆疊，並包括一與該第一基板 211 相異的第二基板 221，及一形成於該第二基板 221 而可避免該主要電路 212 受破壞的保護電路 222。在該第二較佳實施例中，該第二基板 221 是以依序層疊的氧化矽及 p 型的矽為主要構成材料，但不以其為限，也可是 p 型矽晶圓，或是氮化鎵等 III-V 族晶圓構成的基材。該保護電路 222 具有一形成於該第二基板 221 中的第二半導體結構 223，及一自該第二半導體結構 223 表面往遠離該第二基板 221 方向延伸而的第二佈線 225 結構 224。該第二佈線 225 結構 224 具有複數以金屬構成的第二佈線 225，及一設置於該等第二佈線 225 間並將該等第二佈線 225 間隔的第

二介質層。

在該第二較佳實施例中，該保護電路 222 的第二半導體結構 223 以具有一 n 型電晶體 33，及一與該 n 型電晶體 33 電連接的 p 型電晶體 34 舉例做說明。該 n 型電晶體 33 具有一閘極 331，及分別形成於該閘極 331 兩相反側且以 n 型摻雜的一源極 332 和一汲極 333。該 p 型電晶體 34 具有一成 n 型的井區 344、一位於該井區 344 上的閘極 341，及分別位於該井區 344 中並形成於該閘極 341 兩相反側且是以 p 型摻雜的一源極 343 和一汲極 342，其中，該 n 型電晶體 33 的汲極 333 與該 p 型電晶體 34 的汲極 342 視為電連接。

該第二晶粒 22 的第二佈線 225 結構 224 的其中一部分的第二佈線 225 將該保護電路 222 的 n 型電晶體 33 的汲極 333 及該 p 型電晶體 34 的汲極 342 電連接並整合為同一第一連接點，其中之另一部分的第二佈線 225 將該 p 型電晶體 34 的源極 343 和閘極 341 電連接並整合為同一第二連接點，其中之另一部分的第二佈線 225 將該 n 型電晶體 33 的源極 332 和閘極 331 電連接並整合為同一第三連接點。

該等複數導電通道 23 自該第二晶粒 22 的保護電路 222 往該第一晶粒 21 的方向延伸直到與該第一晶粒 21 的主要電路 212 電連接。更詳細地說，在該第一較佳實施例中，共具有三道電通道，分別為：連接該主要電路 212 的第一佈線 215 整合成的第一連接點與該保護電路 222 的第二佈線 225 整合成的第一連接點、連接該主要電路 212 的第一

佈線 215 所成的第二連接點與該保護電路 222 的第一佈線 215 所成的第二連接點，及一連接該主要電路 212 的第一佈線 215 所成的第三連接點與該保護電路 222 的第二佈線 225 所成的第三連接點。

該接合物 25 以矽氧化物構成並與該等第二佈線 225 的第一、二、三連接點連接，再與該第一佈線 215 結構的第一佈線 215 接合。該接合物 25 供該第一晶粒 21 的第一佈線 215 結構頂面與該第二晶粒 22 的第二佈線 225 結構 224 的表面接合，而可將該第一晶粒 21 及該第二晶粒 22 更穩固地連結。

該焊墊單元 24 經由該等導電通道 23 而與該保護電路 222 及該主要電路 212 電連接。在該第二較佳實施例中，該焊墊單元 24 包括一與該連接該主要電路 212 的第一連接點與該保護電路 222 的第一連接點的導電通道 23 電連接的輸出入焊墊 241 (I/O pad)、一與該連接該主要電路 212 的第二連接點與該保護電路 222 的第二連接點的導電通道 23 電連接的電源焊墊 242，及一與該連接該主要電路 212 的第三連接點與該保護電路 222 的第三連接點的導電通道 23 電連接的接地焊墊 243。

該焊墊單元 24 的輸出入焊墊 241 與外界的訊號源電連接而可傳送電訊號，該電源焊墊 242 與外界的一穩定正電壓電連接而傳送穩定電源，該接地焊墊 243 接地而作為電位準。

以電性元件作分類時，該第二較佳實施例的第一晶粒

21 的主要電路 212 為該 p 型電晶體 32 與該 n 型電晶體 31 串接，而以該輸出入焊墊 241 傳送的輸出入訊號控制該 n 型電晶體 31 與該 p 型電晶體 32 的閘極 311、321；該第二晶粒 22 的保護電路 222 為該 p 型電晶體 33 與該 n 型電晶體串接 34，而以該輸出入焊墊 241 傳送的輸出入訊號控制該 n 型電晶體 33 的汲極 333 與該 p 型電晶體 34 的汲極 342，以調整 p 型電晶體 34 閘極 341/源極 343 與汲極 342 間，及 n 型電晶體 33 閘極 331/源極 332 與汲極 333 間的電位差。

在理想的作動狀態時，在主要電路 212 的部分，電源焊墊 242 傳送電能至主要電路 212 的 p 型電晶體 32，接地焊墊 243 供該 n 型電晶體 31 的源極 312 接地，再配合該輸出入焊墊 241 傳送輸出入電訊號控制 p 型電晶體 32 或是 n 型電晶體作動 31；同時，在保護電路 222 的部分，電源焊墊 242 傳送電能至 p 型電晶體 34、接地焊墊 243 供該 n 型電晶體 33 的源極 332 接地，再配合該輸出入焊墊 241 傳送輸出入訊號控制 p 型電晶體 34 或是 n 型電晶體 33 作動，而可將積聚於焊墊單元 24 的正電荷經由保護電路 222 的 p 型電晶體 34 導離至外界，或積聚於焊墊單元 24 的負電荷經由保護電路 222 的 n 型電晶體 33 釋放靜電荷至外界，以保護該第一晶粒 21 的主要電路 212 不受靜電荷的破壞，而可維持正常的作動。

在該第二較佳實施例中，當實際整體立體積體電路裝置作動時，在該第一晶粒 21 的主要電路 212 的 n 型電晶體

31 和 p 型電晶體 32 間自然地形成一 n-p-n-p 寄生開流體，在該第二晶粒 22 的保護電路 222 會在不同型態的摻雜區界面形成寄生二極體。

當靜電荷驅動寄生二極體而產生脈衝電流時，由於該第一晶粒 21 的保護電路 222 與該第二晶粒 22 的主要電路 212 分別形成於兩相異的第一基板 211 與第二基板 221，所以來自保護電路 222 的脈衝電流無法經由同一基板擴散至主要電路 212，進而維持該主要電路 212 正常作動。因此，本發明立體積體電路裝置不需如目前為了避免脈衝電流經由同一基板擴散導致主要電路經拴鎖效應無限放大脈衝電流而失效，須在主要電路與保護電路之間間隔一預定間距；而是以疊置兩分別形成保護電路 222 與主要電路 212 的晶粒的方式，將保護電路 222 與主要電路 212 分設於兩相異基板，除可防止來自保護電路 222 脈衝擴散至主要電路 212，最重要的，由於不需於兩電路間預留間距，更大幅縮小立體積體電路裝置的面積，也供應用此立體積體電路裝置的電子儀器所需的面積有效地降低。

需說明的是，該第一較佳實施例與該第二較佳實施例的保護電路 222 僅是以其中防止拴鎖效應的實施方式做說明，該保護電路 222 也可針對不同電路保護的目的，而可為 n 型電晶體、p 型電晶體，或一個二極體，該主要電路 212 也可是電晶體、二極體，或電阻等不同型態的電元件，此為熟習本領域技術人士所熟習，在此不再多加贅述。

再者，還需說明的是，若欲在本發明立體積體電路中

導離積聚於該輸出入焊墊 241 的正電荷至外界，該焊墊單元 24 配合該保護電路 222 與該主要電路 212 需與外界電連接的方式而包括一輸出入焊墊 241，及一電源焊墊 242，並經由該等導電通道分別將該等焊墊與該主要電路 212 及該保護電路 222 電連接，而將電荷往該電源焊墊 242 的方向導離，進而供該保護電路 222 成為上拉電路 (pull up)；若欲在本發明立體積體電路中導離積聚於該輸出入焊墊 241 的負電荷至外界，該焊墊單元 24 配合該保護電路 222 與該主要電路 212 需與外界電連接的方式而包括一輸出入焊墊 241，及一接地焊墊 243，並經由該等導電通道分別將該等焊墊與該主要電路 212 與該保護電路 222 電連接，而將負電荷往該接地焊墊 243 的方向導離，進而供該保護電路 222 成為下拉電路 (pull down)。

綜上所述，本發明堆疊具有主要電路 212 的第一晶粒 21 及具有保護電路 222 的第二晶粒 22，並以該等導電通道 23 電連接該主要電路 212 及該保護電路 222 而可配合該焊墊單元 24 傳送來自外界的輸出入電訊號，並可在作動時避免該保護電路 222 所產生的脈衝電流經由同一基板傳送至該主要電路 212 而導致例如拴鎖效應等破壞主要電路 212 的多餘電流。更重要地，也不需如一般將需於該主要電路及保護電路設置於同一基板時，須先預留預定間距以避免主要電路被來自保護電路的脈衝電流破壞，進而可縮小立體積體電路裝置整體面積，解決長期以來在積體電路裝置上由於需在電路間預留間距，導致整體面積無法有效降低

，達到精簡平面面積使用量的問題，也提供一種新的積體電路裝置結構，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一等效電路圖，說明積體電路裝置的焊墊單元及主要電路間須設置保護電路；

圖 2 是一剖視示意圖，說明目前的積體電路裝置；

圖 3 是一剖視示意圖，說明本發明立體積體電路裝置的一第一較佳實施例，其中，一第一晶粒與一第二晶粒間的一接合物以矽氧化化合物構成；

圖 4 是一剖視示意圖，說明本發明立體積體電路裝置的一第一較佳實施例，其中，該第一晶粒與該第二晶粒間的接合物以金屬構成；及

圖 5 是一剖視示意圖，說明本發明立體積體電路裝置的一第二較佳實施例。

【主要元件符號說明】

21	第一晶粒	311	閘極
211	第一基板	312	源極
212	主要電路	313	汲極
213	第一半導體結構	32	主要電路的 p 型 電晶體
214	第一佈線結構	321	閘極
215	第一佈線	322	汲極
216	第一介電層	323	源極
22	第二晶粒	324	井區
221	第二基板	33	保護電路的 n 型 電晶體
222	保護電路	331	閘極
223	第二半導體結構	332	源極
224	第二佈線結構	333	汲極
225	第二佈線	34	保護電路的 p 型 電晶體
226	第二介電層	341	閘極
23	導電通道	342	汲極
24	焊墊單元	343	源極
241	輸出入焊墊	344	井區
242	電源焊墊		
243	接地焊墊		
25	接合物		
31	主要電路的 n 型 電晶體		

七、申請專利範圍：

1. 一種立體積體電路裝置，包含：

一第一晶粒，包括一第一基板，及一形成於該第一基板的主要電路；

一第二晶粒，與該第一晶粒堆疊，並包括一與該第一基板相異的第二基板，及一形成於該第二基板而可避免該主要電路受破壞的保護電路；

複數導電通道，自該第二晶粒的保護電路往該第一晶粒的方向延伸直到與該第一晶粒的主要電路電連接；及

一焊墊單元，經由該等導電通道而將該主要電路與保護電路與外界電連接，並包括一與該等導電通道的其中之一電連接而對該主要電路及該保護電路經該導電通道傳送來自外界電訊號的輸出入焊墊；

其中，第一晶粒的主要電路包括至少一個具有一閘極的電晶體，第二晶粒的保護電路包括至少一個具有一汲極的電晶體；該焊墊單元包括一輸出入焊墊；其中，該輸出入焊墊電連接該主要電路的閘極，及該保護電路的汲極。

2. 依據申請專利範圍第 1 項所述之立體積體電路裝置，其中，該第一晶粒的主要電路具有一形成於該第一基板中的第一半導體結構，及一自該半導體結構表面延伸而與該導電通道電連接的第一佈線結構，該第一佈線結構具有複數以金屬構成的第一佈線，及一填置於該等第一佈

線間的第一介質層，第二晶粒的保護電路具有一形成於該第二基板中的第二半導體結構，及一自該第二半導體結構表面延伸而與該導電通道電連接的第二佈線結構，該第二佈線結構具有複數以金屬構成的第二佈線，及一設置於該等第二佈線間並將該等第二佈線間隔的第二介質層。

3. 依據申請專利範圍第 2 項所述之立體積體電路裝置，其中，該第一晶粒的第一介質層以矽氧化物構成，該立體積體電路裝置還包含一以矽氧化物構成並供該第一晶粒的第一介質層頂面與該第二晶粒的基板相反於該第二佈線結構的表面接合的接合物。
4. 依據申請專利範圍第 2 項所述之立體積體電路裝置，該等導電通道以金屬構成，該立體積體電路裝置還包含一以金屬構成並供該第一晶粒的第一佈線結構頂面與該第二晶粒的基板相反於該第二佈線結構的表面接合的接合物。
5. 依據申請專利範圍第 2 項所述之立體積體電路裝置，該等導電通道以金屬構成，該立體積體電路裝置還包含一以金屬構成並供該第一晶粒的第一佈線結構頂面與該第二晶粒的第二佈線頂面接合的接合物。
6. 依據申請專利範圍第 3 或 4 項所述之立體積體電路裝置，其中，該焊墊單元設置於該第二晶粒的第二佈線頂面。
7. 依據申請專利範圍第 5 項所述之立體積體電路裝置，其

中，該焊墊單元設置於該第二晶粒的第二基板相反於該第二佈線結構的表面。

8. 依據申請專利範圍第 2 項所述之立體積體電路裝置，包含複數導電通道，該焊墊單元還包括一與其中之另一導電通道連接而傳送穩定電源的電源焊墊，而供該第二晶粒的保護電路成為上拉電路。
9. 依據申請專利範圍第 2 項所述之立體積體電路裝置，包含複數導電通道，該焊墊單元還包括一與其中之另一導電通道連接而接地的接地焊墊，而供該第二晶粒的保護電路成為下拉電路。
10. 依據申請專利範圍第 2 項所述之立體積體電路裝置，包含複數導電通道，該焊墊單元還包括一與其中之一導電通道連接而傳送穩定電源的電源焊墊，及一與其中之另一導電通道連接而接地的接地焊墊，該輸出入焊墊、電源焊墊，與該接地焊墊經由該等導電通道分別與該保護電路及該主要電路電連接。

八、圖式：

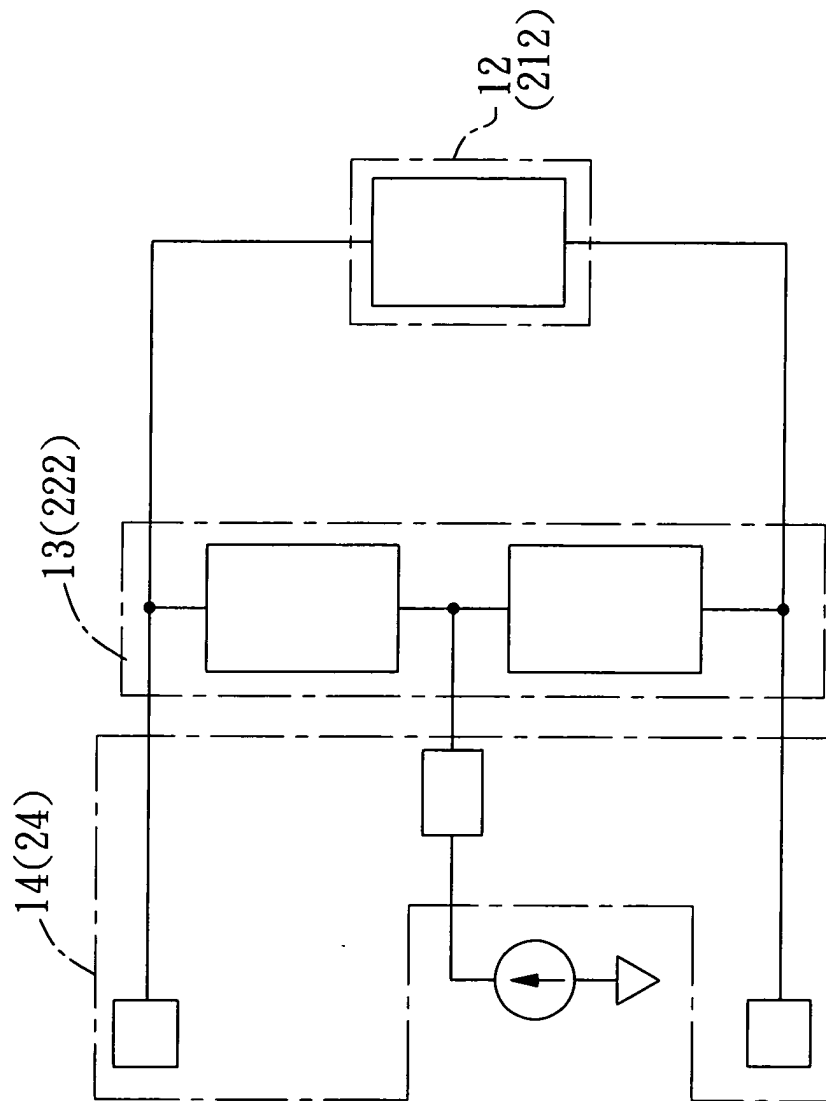


圖1

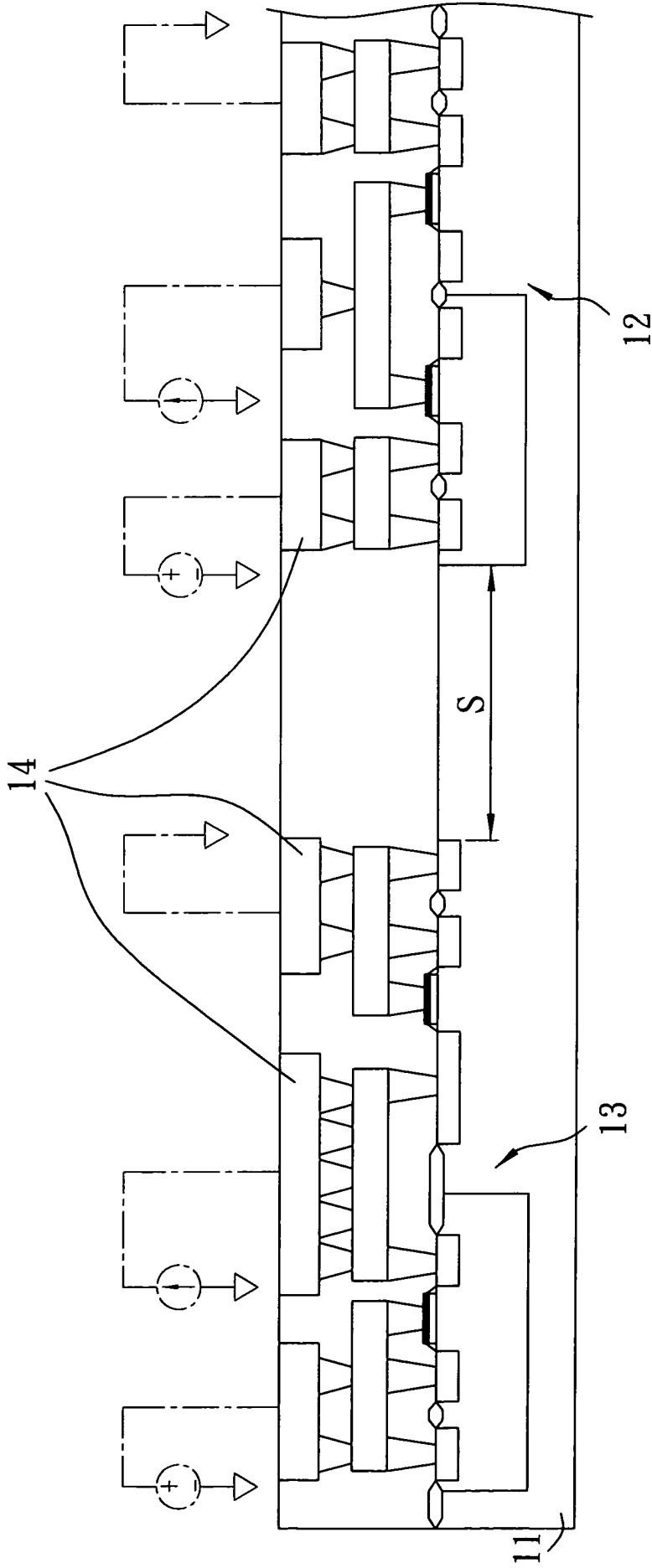


圖2

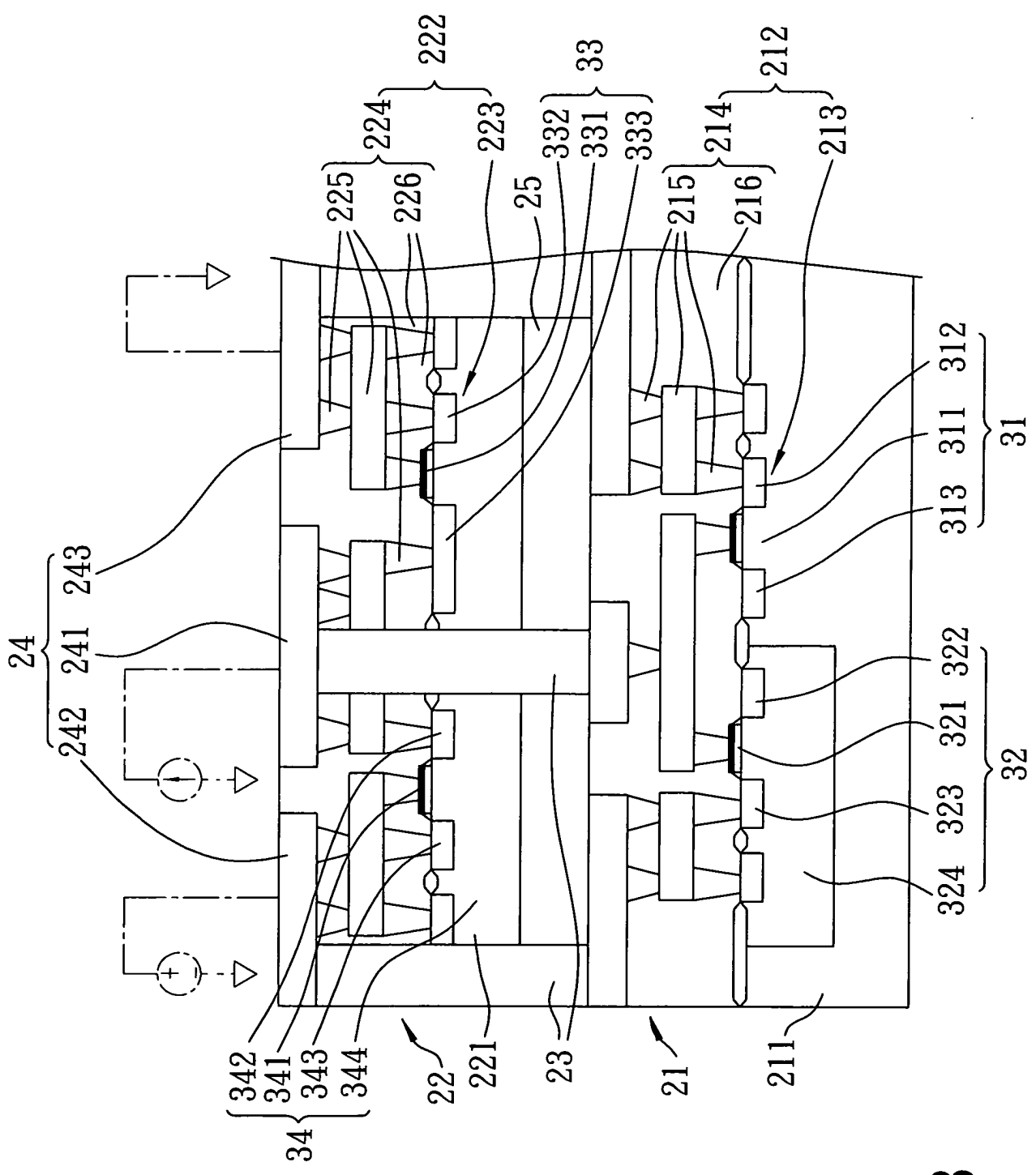


圖3

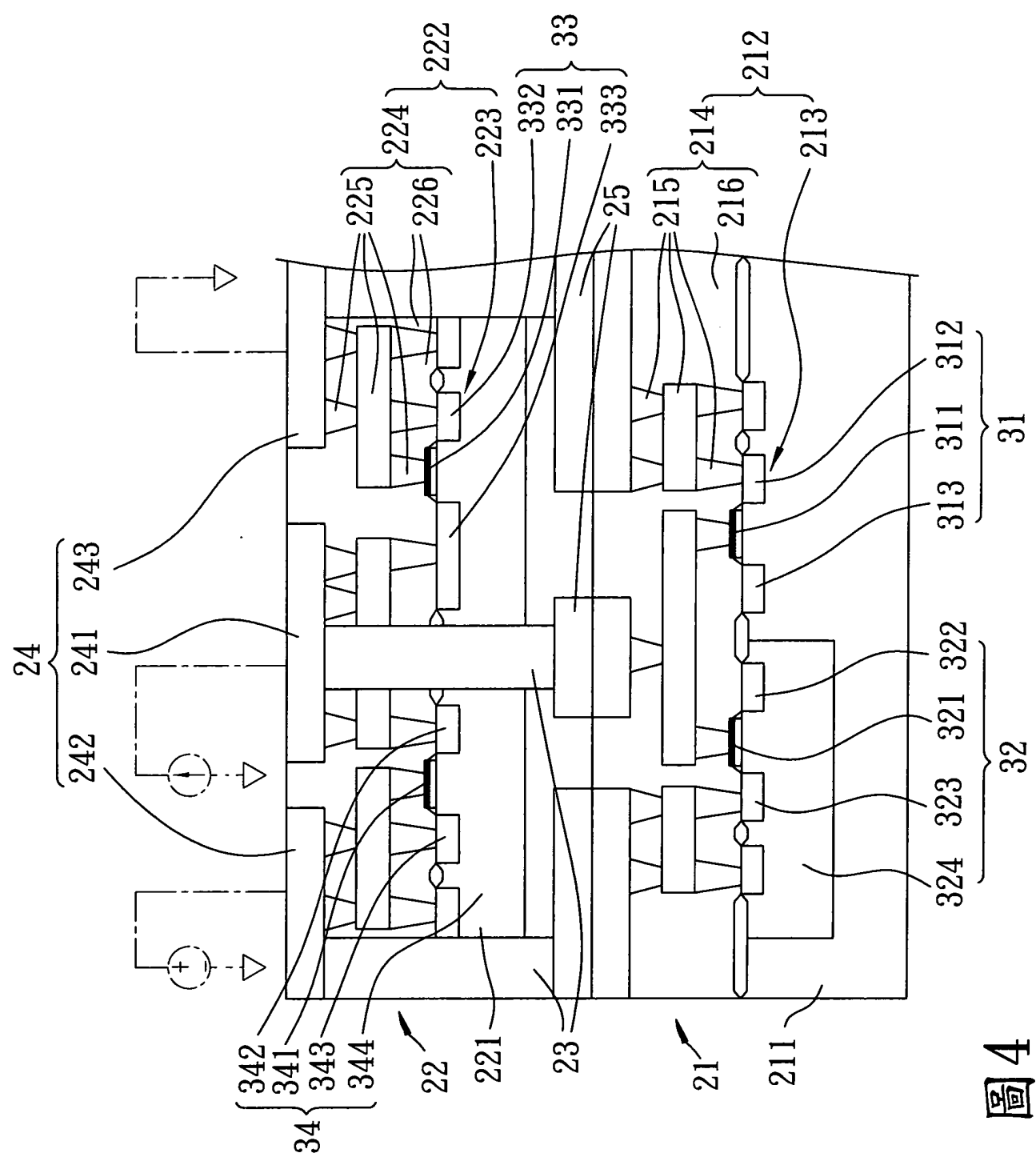


圖4

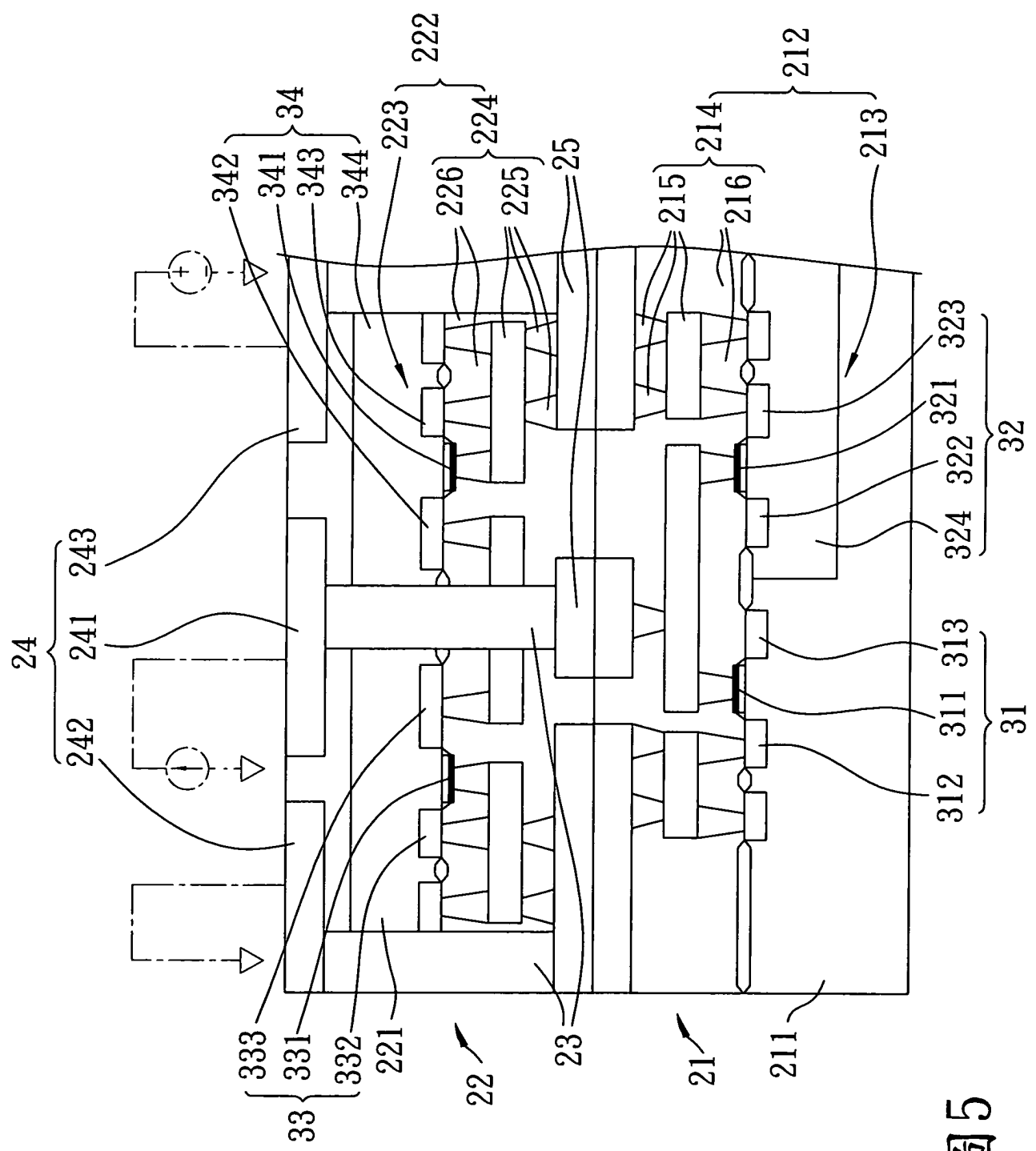


圖5