



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I467666 B

(45)公告日：中華民國 104 (2015) 年 01 月 01 日

(21)申請案號：100149225

(22)申請日：中華民國 100 (2011) 年 12 月 28 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/311 (2006.01)

H01L29/78 (2006.01)

H01L29/06 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：郭柏儀 KUO, PO YI (TW)；趙天生 CHAO, TIEN SHENG (TW)；呂宜憲 LU, YI HSIEN (TW)

(74)代理人：黃孝惇

(56)參考文獻：

US 2006/0014336A1

US 2006/0091481A1

US 2008/0017934A1

US 2009/0121271A1

US 2010/0308391A1

審查人員：張添智

申請專利範圍項數：32 項 圖式數：4 共 37 頁

(54)名稱

具有奈米線通道之半導體元件的製程及藉此形成之半導體元件

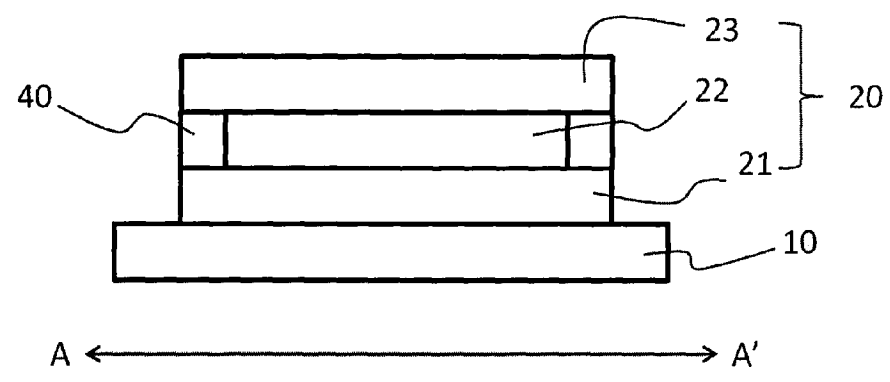
A MANUFACTURING METHOD OF A SEMICONDUCTOR COMPONENT WITH A NANOWIRE CHANNEL

(57)摘要

本發明提供具有奈米線通道之半導體元件的製程，包含：於基材上形成包含第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層的堆疊結構。圖案化堆疊結構以定義出通道區。移除通道區內部分之第一中間材料層以使通道區內之堆疊結構側邊具有凹槽。形成半導體層於基材與堆疊結構上並填入凹槽。圖案化半導體層以定義出源極區與汲極區，且通道區位於源極區與汲極區間並部分重疊。移除位於源極區、汲極區與凹槽外之半導體層。移除堆疊結構以暴露凹槽內之半導體層而形成通道。形成閘極氧化層包覆通道。形成閘極層於閘極氧化層上。

The present invention discloses a manufacturing method of a semiconductor component with a nanowire channel. The method comprises the following steps. The step of forming a stack structure on a substrate is performed first. The stack structure comprises a first TEOS layer, a first intermediate material layer and a second TEOS layer. The stack structure is then patterned to form a channel area. The step of partially removing the first intermediate material layer inside the channel area is performed to form at least a fillister on one side of the stack structure. A semiconductor layer is formed on the substrate and the stack structure and further filled into the fillister. The semiconductor layer is patterned to form a source area and a drain area, and the channel area is located between the source area and the drain area. The semiconductor layer located outside the source area, the drain area and the fillister will be removed. And then, the stack structure is then removed. Therefore, the semiconductor layer filled inside the fillister will be exposed to be as a channel. A gate oxide layer is formed to cover the channel, and a gate layer is then formed on the gate oxide

layer. A semiconductor layer manufactured by the abovementioned method is also disclosed in the present invention.



- 10 . . . 基材
- 20 . . . 堆疊結構
- 21 . . . 第一矽酸四  
乙酯氧化層
- 22 . . . 第一中間材  
料層
- 23 . . . 第二矽酸四  
乙酯氧化層
- 40 . . . 半導體層

第 2 D 圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100149225

H01L 21/336 (2006.01)

※申請日：100.12.28 ※IPC分類：

H01L 21/311 (2006.01)

H01L 29/58 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/06 (2006.01)

具有奈米線通道之半導體元件的製程及藉此形成之半導體  
 元件 / A MANUFACTURING METHOD OF A SEMICONDUCTOR  
 COMPONENT WITH A NANOWIRE CHANNEL

## 二、中文發明摘要：

本發明提供具有奈米線通道之半導體元件的製程，包含：於基材上形成包含第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層的堆疊結構。圖案化堆疊結構以定義出通道區。移除通道區內部分之第一中間材料層以使通道區內之堆疊結構側邊具有凹槽。形成半導體層於基材與堆疊結構上並填入凹槽。圖案化半導體層以定義出源極區與汲極區，且通道區位於源極區與汲極區間並部分重疊。移除位於源極區、汲極區與凹槽外之半導體層。移除堆疊結構以暴露凹槽內之半導體層而形成通道。形成閘極氧化層包覆通道。形成閘極層於閘極氧化層上。

## 三、英文發明摘要：

The present invention discloses a manufacturing method of a semiconductor component with a nanowire channel. The

method comprises the following steps. The step of forming a stack structure on a substrate is performed first. The stack structure comprises a first TEOS layer, a first intermediate material layer and a second TEOS layer. The stack structure is then patterned to form a channel area. The step of partially removing the first intermediate material layer inside the channel area is performed to form at least a fillister on one side of the stack structure. A semiconductor layer is formed on the substrate and the stack structure and further filled into the fillister. The semiconductor layer is patterned to form a source area and a drain area, and the channel area is located between the source area and the drain area. The semiconductor layer located outside the source area, the drain area and the fillister will be removed. And then, the stack structure is then removed. Therefore, the semiconductor layer filled inside the fillister will be exposed to be as a channel. A gate oxide layer is formed to cover the channel, and a gate layer is then formed on the gate oxide layer. A semiconductor layer manufactured by the abovementioned method is also disclosed in the present invention.

四、指定代表圖：

(一)本案指定代表圖為：第 2D 圖。

(二)本代表圖之元件符號簡單說明：

10 基材

20 堆疊結構

21 第一矽酸四乙酯氧化層

22 第一中間材料層

23 第二矽酸四乙酯氧化層

40 半導體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種具有奈米線通道之半導體元件的製程，尤其是一種利用具有高度蝕刻選擇比之不同材質以製作具有 10 奈米以下之奈米線通道的接面或無接面式半導體元件及其製程。

### 【先前技術】

金氧半場效電晶體是一種普遍應用於極大型積體電路的元件，尤其在市面上的積體電路晶片產品更是不時可以發現它的存在。對於愈來愈快速的電路運算速度、愈來愈高的電路密度、愈來愈複雜的晶片功能、以及不斷下降的成本要求之發展趨勢來說，金氧半場效電晶體的閘極長度亦需隨之不斷下降。當閘極長度下降到次 20 奈米時，源極與汲極與通道間彼此的干擾會逐漸加大到嚴重影響通道電位。因此，對於短閘極的電晶體來說，通常會無法十分準確地控制之通道開啟或關閉。通道電位之閘控能力下降的現象亦稱之為短通道效應。

有許多方法可以抑制短通道效應，像是增加基底的摻雜濃度、減少閘極氣化層的厚度、或是減少接面深度等等。然而，對於製程已經進入次 20 奈米的元件來說，上述方式在傳統的基體結構下有一定實作上的困難。因此，另一種可提供較佳短通道效應控制的架構就被應用在尺寸不斷縮小的電晶體元件上。

提升閘極對通道三維控制能力與微縮通道尺寸之架

構則提供了短通道效應的較佳控制，其係為一種包裹式的閘極架構，像是環繞式閘極或是閘繞式電晶體架構。對於包裹式的閘極架構來說，通常都會有一個環繞或是包裹通道的閘極，而這樣的架構相較於其他傳統基體架構、雙閘式架構、以及三閘式架構來說，更能有效地改善在閘極與通道間的電容耦合。因此，環繞閘極元件結構成為未來元件開發的指標已是眾所周知，而奈米線通道的製作為環繞閘極元件製程的關鍵。

然而，目前具有複晶矽奈米線的半導體元件製程多半有尺寸不一、不對稱的外觀或是表面粗糙等問題。因此，製程中多會再增加一些處理，例如：氫氣相關的表面電漿處理等，但往往在此種進一步的處理過程後，產生後續電性可靠度的問題。也就是說在現今的環繞閘極元件的製程中要同時滿足厚的升起式源/汲極與奈米尺寸的通道，確實具有一定的難度。

### 【發明內容】

有鑑於前述說明，本發明之一目的在於提供一種具有奈米線通道之半導體元件的製程，至少包含下列步驟：首先，於基材上形成堆疊結構，堆疊結構由下而上至少包含第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層。接著，圖案化堆疊結構以定義出至少通道區後，移除通道區內部分之第一中間材料層以使通道區內之堆疊結構側邊具有至少一凹槽。接著，形成一半導體層於基材與堆疊結構上並填入凹槽內後，圖案化半導體層以定義出

源極區與汲極區，且通道區位於源極區與汲極區之間並具有部分重疊。然後，移除源極區、汲極區與凹槽以外之半導體層，再移除堆疊結構以暴露凹槽內之半導體層而形成至少一通道。最後，形成閘極氧化層以包覆通道，以及形成閘極層於閘極氧化層上。

在本發明之一實施例中，其中於移除堆疊結構的步驟中更包含下列步驟。首先，移除第一矽酸四乙酯氧化層與第二矽酸四乙酯氧化層。然後，移除第一中間材料層。

在本發明之一實施例中，其中於移除第一矽酸四乙酯氧化層與第二矽酸四乙酯氧化層的步驟中，第一矽酸四乙酯氧化層、第二矽酸四乙酯氧化層、第一中間材料層、基材與半導體層間具有一蝕刻選擇比，此蝕刻選擇比較佳為 10000 : 10000 : 1 : 1 : 1。

在本發明之一實施例中，其中移除第一中間材料層的步驟中，第一矽酸四乙酯氧化層、第二矽酸四乙酯氧化層、第一中間材料層、基材與半導體層間具有蝕刻選擇比，此蝕刻選擇比較佳為 1 : 1 : 10000 : 1 : 1。

在本發明之一實施例中，其中第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層的厚度分別為 50nm, 10nm 以及 50nm。

在本發明之一實施例中，其中通道直徑係小於或等於 10nm。

在本發明之一實施例中，其中基材包含氮化矽材料或富矽氮化矽材料。

在本發明之一實施例中，其中第一中間材料層包含複



晶鍺材料、氧化鍺材料或氮化矽材料。

在本發明之一實施例中，其中半導體層包含無摻雜之非晶矽材料、高濃度摻雜之非晶矽材料、非晶鍺材料、多晶鍺材料、矽鍺化合物、三五族化合物或金屬氧化物。

在本發明之一實施例中，其中形成半導體層覆蓋基材與堆疊結構並填入凹槽內之步驟係可經由低壓化學氣相沈積程序、電漿增強化學氣相沈積程序、高密度電漿化學氣相沈積程序、超高真空化學氣相沈積程序或分子束磊晶程序來完成。

在本發明之一實施例中，其中當半導體層包含無摻雜之非晶矽材料時，於形成半導體層覆蓋基材與堆疊結構並填入凹槽內之步驟後，更包含下列步驟：執行結晶程序以使半導體層所包含之非晶矽材料轉變為複晶矽材料。較佳地，上述結晶程序包含固相結晶程序或雷射退火結晶程序。

在本發明之一實施例中，更包含下列步驟：對源極區與汲極區之半導體層執行離子佈植程序。

在本發明之一實施例中，其中當半導體層包含高濃度摻雜之非晶矽材料時，於該形成該閘極氧化層以包覆該通道之步驟中，更包含下列步驟：活化構成通道之非晶矽材料使其轉變為複晶矽材料。此時之半導體元件係為無接面式半導體元件。

在本發明之一實施例中，其中堆疊結構更包含第二中間材料層與第三矽酸四乙酯氧化層。第二中間材料層設置於第二矽酸四乙酯氧化層上。第三矽酸四乙酯氧化層設置於第二中間材料層上。此時，移除部分之第一中間材料層

以使堆疊結構側邊具有凹槽之步驟中，更包含下列步驟：移除通道區內部分之第二中間材料層，使通道區內之堆疊結構側邊具有複數個該凹槽。接著，於移除堆疊結構之步驟後，半導體元件包含有複數個該通道。

在本發明之一實施例中，其中移除通道區內部分之第一中間材料層以使通道區內之堆疊結構側邊具有凹槽之步驟係經由濕式蝕刻程序來完成，且用於濕式蝕刻程序之蝕刻液可選擇自由雙氧水溶液與熱磷酸溶液所組成之群組。

在本發明之一實施例中，其中移除堆疊結構之步驟係經由濕式蝕刻程序來完成，且用於濕式蝕刻程序之蝕刻液可選擇自由氫氟酸溶液、熱磷酸溶液與雙氧水溶液所組成之群組。

在本發明之一實施例中，其中移除源極區、汲極區與凹槽外之半導體層之步驟係經由高選擇比非等向性乾蝕刻程序來完成。

在本發明之一實施例中，其中於基材上形成堆疊結構的步驟，包含：首先形成第一矽酸四乙酯氧化層於基材上。接著，形成第一中間材料層於第一矽酸四乙酯氧化層上。最後，形成第二矽酸四乙酯氧化層於第一中間材料層上。上述基材以及形成第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層的步驟均可經由一氣相沈積程序來完成。較佳地，上述氣相沈積程序可為一化學氣相沈積程序或一物理氣相沈積程序。化學氣相沈積程序可為低壓化學氣相沈積程序、電漿增強化學氣相沈積程序、高密度電漿化學氣相沈積程序或超高真空化學氣相沈積程序，

而物理氣相沈積程序可為電阻加熱蒸鍍法沈積程序、電子鎗蒸鍍法沈積程序或濺鍍法沈積程序。

本發明之另一目的在於提供一種藉由上述所述之製程方法所形成之半導體元件，此半導體元件至少包含基材、複數個堆疊結構、源極、汲極、至少通道、閘極氧化層與閘極層。其中，複數個堆疊結構設置於基材上，且由下而上包含有第一矽酸四乙酯氧化層、第一中間材料層與第二矽酸四乙酯氧化層。源極與汲極分別設置於基材與部分之該些堆疊結構上，通道兩端則分別連接源極與汲極。閘極氧化層包覆通道，而閘極層覆蓋於閘極氧化層上。

在本發明之一實施例中，其中源極與汲極係昇起式源/汲極。

在本發明之一實施例中，其中基材包含氮化矽材料或富矽氮化矽材料。

在本發明之一實施例中，其中第一中間材料層包含複晶鍺材料、氧化鍺材料或氮化矽材料。

在本發明之一實施例中，其中通道的直徑小於或等於10nm。

在本發明之一實施例中，其中閘極層的材質可為複晶矽材料、複晶矽鍺材料或金屬閘極材料。

在本發明之一實施例中，其中閘極氧化層的材質可為矽酸四乙酯氧化物、二氧化矽材料或高介電係數材料。

在本發明之一實施例中之半導體元件可應用於三維積體電路。

故而，關於本發明之優點與精神可以藉由以下發明詳

述及附圖式解說來得到進一步的瞭解。

### 【實施方式】

請參考第 1A 圖至第 1C 圖，第 1A 圖至第 1C 圖顯示本發明一較佳實施例之半導體元件製程中所使用之光罩佈局圖。首先，如第 1A 圖所示，本發明所提供之通道區光罩 100c 係可用以定義一通道區，而源極區光罩 100a 以及汲極區光罩 100b 則分別用來同時定義源極區與汲極區的源/汲極。於後文中為更清楚地說明，將一律以第 1A 圖至第 1C 圖中 A-A' 線與 B-B' 線之剖面示意圖來介紹本發明所提供之半導體元件製程。此外，第 1A 圖至第 1C 圖中，源極/汲極區之間隔與閘極重疊部分為一梯形設計，其目的在於減少閘極與源極/汲極區之間的重疊面積，進而改善元件關閉電流。接著，請參考第 2A 至 2G 圖，第 2A 至 2G 圖顯示本發明之第一實施例之半導體製程流程圖。首先，如第 2A 圖所示，於基材 10 上形成一堆疊結構 20，堆疊結構 20 由下而上至少包含第一矽酸四乙酯氧化層 21、第一中間材料層 22 與第二矽酸四乙酯氧化層 23。基本上，於基材 10 上形成堆疊結構的步驟進一步說明如后。首先，形成第一矽酸四乙酯氧化層 21 於基材 10 上，接著形成第一中間材料層 22 於第一矽酸四乙酯氧化層 21 上。最後，形成第二矽酸四乙酯氧化層 23 於第一中間材料層 22 上。其中第一矽酸四乙酯氧化層 21 或第二矽酸四乙酯氧化層 23 均可以任何形式之氧化矽或二氧化矽材料所取代，本發明不欲以此為限。另外，上述步驟均可經由一氣相沈積程序

來完成，較佳地，上述提及之氣相沈積程序可為化學氣相沈積程序或物理氣相沈積程序。且此化學氣相沈積程序可為低壓化學氣相沈積程序、電漿增強化學氣相沈積程序、高密度電漿化學氣相沈積程序或超高真空化學氣相沈積程序，而物理氣相沈積程序可為電阻加熱蒸鍍法沈積程序、電子鎗蒸鍍法沈積程序或濺鍍法沈積程序。

在第一實施例中，基材 10 包含氮化矽材料，而第一中間材料層 22 包含複晶鍺材料或氧化鍺材料。較佳地，第一矽酸四乙酯氧化層 21、第一中間材料層 22 與第二矽酸四乙酯氧化層 23 的厚度分別為 50nm, 10nm 以及 50nm。

雖由第 2A 圖中無法看出，但請一併參考第 1A 圖，第 2A 圖為第 1A 圖中 A-A' 線之剖面示意圖。如第 1A 圖所示，利用通道區光罩 100c 圖案化堆疊結構 20 可定義出一通道區。接著，以非等向性乾蝕刻程序垂直向下蝕刻第二矽酸四乙酯氧化層 23、第一中間材料層 22 與第一矽酸四乙酯氧化層 21，進而完成如第 2A 圖中所示位於通道區內之堆疊結構 20。接著，如第 2B 圖所示，利用濕蝕刻程序適度地移除通道區內部分之第一中間材料層 22 以使堆疊結構 20 的相對兩側邊分別具有一凹槽 30。在較佳實施例中，上述濕蝕刻程序係利用高溫加水稀釋雙氧水溶液以進行側向蝕刻移除包含有複晶鍺材料或氧化鍺材料的第一中間材料層 22。

接著，如第 2C 圖所示，形成半導體層 40 於基材 10 與堆疊結構 20 上並填入凹槽 30 內。而且，上述這個步驟可以透過低壓化學氣相沈積程序、電漿增強化學氣相沈積

程序、高密度電漿化學氣相沈積程序、超高真空化學氣相沈積程序或分子束磊晶程序來完成。

進一步說明的是，此處所形成之半導體層 40 可為無摻雜之非晶矽材料、高濃度摻雜之非晶矽材料、非晶鍺材料、多晶鍺材料、矽鍺化合物、三五族化合物或金屬氧化物。其中，當半導體層 40 為無摻雜之非晶矽材料時，則雖未圖示，但在形成半導體層 40 覆蓋基材 10 與堆疊結構 20 並填入凹槽 30 內之步驟後，還包含下列步驟：執行結晶程序以使半導體層所包含之非晶矽材料轉變為一複晶矽材料。基本上，上述結晶程序可為固相結晶程序，條件可設定在 600°C 下進行 24 小時，然而必須說明的是，製程溫度與時間均可因應不同材料作調整，本發明並不欲以此為限。另外，結晶程序也可利用其他結晶方式，例如：雷射退火結晶程序等。至於需高濃度摻雜的源極與汲極區則可在後續製程經由離子佈植程序來完成。此時，由此製程所製造之半導體元件則為傳統接面式半導體元件。

另外，若半導體層 40 為高濃度摻雜之非晶矽材料時，則前述結晶程序則可省略，待後續形成閘極氧化層時一併活化構成通道的非晶矽材料使其轉變為複晶矽材料。此時，由此製程所製造之半導體元件則為無接面式半導體元件。而且，省去需高溫長時間反應的固相結晶程序，也等於是進一步節省預算，並使此製程能夠具體實現於三維積體電路的應用中。

接著，同時利用第 1A 圖中所示之源極區光罩 100a 與汲極區光罩 100b 圖案化半導體層 40 以定義出源極區與汲

極區。如圖所示，通道區位於源極區與汲極區之間並具有部分重疊，也就是說，源極區與汲極區之間的距離大致上就是最後所形成的奈米線通道的長度。緊接著，利用高選擇比之非等向性乾蝕刻程序來移除位於源極區與汲極區以外的，以及上述通道區內凹槽以外的半導體層 40。基本上，因為部分半導體層 40 已經填入凹槽 30 內，所以當利用乾蝕刻程序移除通道區 100c 內的半導體層 40 時，凹槽 30 內的半導體層 40 並不會被移除，等同於被鑲嵌在堆疊結構 20 中，如第 2D 圖所示。

請參考第 2E 圖，接下來以稀釋氫氟酸為蝕刻液執行濕蝕刻程序而移除第一矽酸四乙酯氧化層 21 與第二矽酸四乙酯氧化層 23，並利用高溫加水稀釋雙氧水溶液為蝕刻液執行濕蝕刻程序而移除包含有複晶鍍材料或氧化鍍材料的第一中間材料層 22。此時，原本鑲嵌於凹槽 30 內的半導體層 40 即形成兩條連接源極區與汲極區的通道。

在此需進一步說明的是，在此實施例中，第一矽酸四乙酯氧化層 21、第一中間材料層 22、第二矽酸四乙酯氧化層 23、基材 10 與半導體層 40 間具有高度的蝕刻選擇比。亦即，當在移除堆疊結構 20 中的第一矽酸四乙酯氧化層 21 與第二矽酸四乙酯氧化層 23 時，此蝕刻選擇比較佳為 10000 : 10000 : 1 : 1 : 1。另外，當在移除第一中間材料層 22 (例如包含鍍的材料) 時，此蝕刻選擇比較佳為 1 : 1 : 10000 : 1 : 1。

另外，請參考第 1B 圖所示，本發明亦可增加多個通道區光罩 100c。也就是說，當通道區光罩 100c 為複數個

時，在製程中所形成的堆疊結構 20 也會有複數個，而最後所形成奈米尺寸的通道自然也會以 2 的倍數存在著，達到水平方向多通道的目的。舉例來說，若通道區光罩 100c 如第一 B 圖所示為三個，則基材 10 上會形成三個堆疊結構 20，製程中所產生的凹槽 30 則為二乘以三等於六個，最後通道數目即為六個。換句話說，光罩數為 N，則最後水平方向通道的數目即為二乘以 N。

需說明的是，在本發明所提供的半導體元件製程中，由於堆疊結構裡第一矽酸四乙酯氧化層 21 與第二矽酸四乙酯氧化層 23 佔了大部分，因此利用常溫且稀釋的氫氟酸即可將這兩層清除乾淨。而且，因為高溫加水稀釋雙氧水溶液以及稀釋的氫氟酸都不會蝕刻包含有氮化矽材料的基材 10，也不會蝕刻鑲嵌於凹槽 30 內的半導體層 40，所以在整體製程中，習知技藝裡常見因蝕刻程序中所造成源/汲極區半導體層下方的基材過蝕刻、奈米線通道尺寸不一、形狀改變或斷裂等問題，都可以被有效改善。亦即，本發明透過選用具有高度蝕刻選擇比的不同材質，例如：第一矽酸四乙酯氧化層 21、第一中間材料層 22、第二矽酸四乙酯氧化層 23 與基材 10 間的高度蝕刻選擇比，搭配各層間的厚度設計與蝕刻液的選用，進一步提高了具有奈米線通道的半導體元件的良率。甚至，透過本發明所提供之製程所製造出的奈米線通道的直徑可小於 10nm。

另外，請一併參考第 1A 圖便可以瞭解，第 2E 圖中之通道 40 (即原先鑲嵌於凹槽 30 內之半導體層 40) 的兩端係分別連接源極區與汲極區，而在圖中懸空於基材 10 上，合



先敘明，後文不再贅述。

接著，在形成一閘極氧化層 50 以包覆通道 40 後，接著形成一閘極層 60 於閘極氧化層 50 上，分別如第 2F 圖與第 2G 圖所示。在較佳實施例中，上述兩個步驟同樣係透過低壓化學氣相沈積程序來完成。最後再利用第 1C 圖中的閘極光罩 100d 定義出閘極。較佳地，第 1C 圖中的閘極光罩 100d 將會完全包含整個通道區，所以閘極光罩 100d 於通道區的寬度大致等於或略大於源極區與汲極區間相隔的距離。

請參考第 3 圖，第 3 圖顯示本發明之一較佳實施例之半導體元件沿第一圖中 B-B' 線之剖面示意圖。如圖所示，源極區與汲極區之半導體層 40 形成於基材 10 上。較佳地，後續所形成之源極與汲極係為一升起式源/汲極。

本發明之第二實施例的半導體元件架構與製程大致上與第一實施例相同，唯一的不同在於：第二實施例中所用之基材 10 係包含一富矽氮化矽材料，而第一中間材料層 22 則包含一氮化矽材料。

基於第一中間材料層 22 所選用的材料不同，因此在第二 B 圖中利用濕蝕刻程序適當移除通道區內部分之第一中間材料層 22 以使通道區內之堆疊結構 20 的相對兩側邊分別具有凹槽 30 時，上述濕蝕刻程序係利用熱磷酸溶液為蝕刻液以進行側向蝕刻移除第二實施例中包含氮化矽材料的第一中間材料層 22。同理，後續移除通道區內的堆疊結構 20 時，便是利用稀釋氫氟酸來移除第一矽酸四乙酯氧化層 21 與第二矽酸四乙酯氧化層 23，而利用熱磷酸溶液來

移除第一中間材料層 22。

在第二實施例中，由於第一中間材料層 22 所佔比例少，再加上熱磷酸溶液對於第一中間材料層 22 所包含的氮化矽材料與基材 10 所包含的富矽氮化矽材料同樣具有高度蝕刻選擇比，因為即便是利用熱磷酸溶液來執行蝕刻程序，所需的蝕刻時間短，也不會發生有先前所述習知技藝中常見之問題。

接著，請參考第 4A 至第 4C 圖，第 4A 至第 4C 圖顯示本發明之第三實施例之半導體製程流程圖。本發明之第三實施例與前兩實施例最大的不同在於：堆疊結構 20 更包含第二中間材料層 24 與第三矽酸四乙酯氧化層 25。其中，第二中間材料層 24 設置於第二矽酸四乙酯氧化層 23 上，而第三矽酸四乙酯氧化層 25 設置於第二中間材料層 24 上，接著同樣利用通道區光罩 100c 圖案化堆疊結構 20，並以非等向性乾蝕刻垂直向下蝕刻第三矽酸四乙酯氧化層 25、第二中間材料層 24、第二矽酸四乙酯氧化層 23、第一中間材料層 22 與第一矽酸四乙酯氧化層 21，最後完成如第 4A 圖所示之通道區內的堆疊結構 20。

如第 4B 圖所示，在第三實施例中，上述移除部分之第一中間材料層 22 以使堆疊結構 20 的相對兩側邊分別具有凹槽 30 之步驟中，更包含下列步驟：移除通道區內部分之第二中間材料層 24，使第 4B 圖中的堆疊結構 20 的相對兩側邊總計具有四個凹槽 30。

接著，如前文所述，形成半導體層 40 覆蓋於基材 10 與堆疊結構 20 上並填入該些凹槽 30 內(可參考第 2C 圖)。

隨後，同時利用源極區光罩 100a 與汲極區光罩 100b 圖案化半導體層 40，再以高選擇比之非等向性乾蝕刻程序來移除源極區與汲極區以外的，以及通道區之凹槽以外的半導體層 40。基本上，因為部分半導體層 40 已經填入凹槽 30 內，所以當利用乾蝕刻程序移除通道區內的半導體層 40 時，凹槽 30 內的半導體層 40 並不會被移除，等同於被鑲嵌在堆疊結構 20 中，如第 4C 圖所示。

如同第 2E 圖，選用適當蝕刻液先移除第一矽酸四乙酯氧化層 21、第二矽酸四乙酯氧化層 23 與第三矽酸四乙酯氧化層 25，接著移除第一中間材料層 22 與第二中間材料層 24。此時，原本鑲嵌於四個凹槽 30 內的半導體層 40 即形成四條連接源極區與汲極區的通道。

最後如第 4D 圖，以低壓化學氣相沈積程序形成閘極氧化層 50 包覆該些通道，再形成閘極層 60 於閘極氧化層 50 上。

經由本發明第三實施例所提供之製程方法，可在垂直方向上增加了多條奈米線通道，使元件所導通的電流大大提升。另外，第三實施例中的第二中間材料層 24 同樣包含一複晶鍺材料或一氧化鍺材料，因此蝕刻液的選用以及更詳細的製程步驟均可參照第一實施例所述，在此不再贅述。

本發明之另一目的即在於提供一種利用上述製程所製造的半導體元件，基本上此半導體元件至少包含基材、複數個堆疊結構、源極與汲極、至少通道、閘極氧化層與閘極層。其中，複數個堆疊結構設置於基材上，且由下而上包含有第一矽酸四乙酯氧化層、第一中間材料層與第二

矽酸四乙酯氧化層。源極與汲極則分別設置於基材與部分的該些堆疊結構上，通道兩端分別連接源極與汲極。閘極氧化層包覆通道，而閘極層覆蓋於閘極氧化層上。在較佳實施例中，此處所指的源/汲極為一升起式源/汲極。

在較佳實施例中，閘極層的材質可為複晶矽材料、複晶矽鍍材料或金屬閘極材料，而閘極氧化層的材質可為矽酸四乙酯氧化物、二氧化矽材料或高介電係數材料。另外，如前文所述，閘極氧化層與閘極層的製程步驟係可透過低壓化學氣相沈積程序，但本發明並不欲以此為限，僅需具備有能夠使上述材料全環繞於奈米線通道之能力即可。

綜上所述，在本發明所提供之具有奈米線通道之半導體元件的製程中，經由堆疊結構中所選用的兩種材料互相之間具有高度蝕刻選擇性比，此兩種材料的堆疊前後順序與厚度也均經過設計，而可於後續製程中經由濕式側向蝕刻而填入奈米線材料，並進一步控制奈米線的形狀與大小。

因此，本發明能夠提高製作直徑小於 10 奈米之奈米線通道的良率，並改善習知技藝中複晶矽源極/汲極電極區下方過蝕刻所產生的非理想之閘極於源極/汲極電極區邊緣下方環繞問題，如此便能降低元件關閉時之非理想閘極引發汲極洩漏電流，使此具全環繞閘極與升起式源極/汲極結構之奈米線通道場效電晶體的結構與製作更趨理想。再者，為了符合三維積體電路(3D-IC)元件所需求之低溫製程，上述所使用的材料，例如：包含氮化矽材料的基材 10、堆疊結構 20、半導體層 40、閘極氧化層 50 與閘極層 60 均可由各式化學氣相沉積法或物理氣相沈積法所沉積。最

後，透過本發明之第三實施例更可進一步使堆疊結構能向上垂直延伸到更多層，以此多層垂直堆疊結構來實現奈米線多通道，實現更寬廣的三維元件應用。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

### ● 【圖式簡單說明】

第 1A 圖至第 1C 圖顯示本發明一較佳實施例之半導體元件製程中所使用之光罩佈局圖；

第 2A 圖至第 2G 圖顯示本發明之一較佳實施例之半導體製程流程圖；

第 3 圖顯示本發明之一較佳實施例之半導體元件沿第 1 圖中 B-B' 線之剖面示意圖；以及

第 4A 圖至第 4D 圖顯示本發明之另一較佳實施例之半導體製程流程圖。

### ● 【主要元件符號說明】

100 光罩佈局圖

100a 源極區光罩

100b 汲極區光罩

100c 通道區光罩

100d 閘極光罩

10 基材

20 堆疊結構

21 第一矽酸四乙酯氧化層

22 第一中間材料層

23 第二矽酸四乙酯氧化層

24 第二中間材料層

25 第三矽酸四乙酯氧化層

30 凹槽

40 半導體層

50 閘極氧化層

60 閘極層

## 七、申請專利範圍：

1. 一種具有奈米線通道之半導體元件的製程，至少包含下列步驟：

於一基材上形成一堆疊結構，該堆疊結構由下而上至少包含一第一矽酸四乙酯氧化層、一第一中間材料層與一第二矽酸四乙酯氧化層；

圖案化該堆疊結構以定義出至少一通道區；

移除該通道區內部分之該第一中間材料層以使該通道區內之該堆疊結構側邊具有至少一凹槽；

形成一半導體層於該基材與該堆疊結構上並填入該凹槽內；

圖案化該半導體層以定義出一源極區與一汲極區，且該通道區位於該源極區與該汲極區之間並具有部分重疊；

移除位於該源極區、該汲極區與該凹槽外之該半導體層；

移除該堆疊結構以暴露該凹槽內之該半導體層而形成至少一通道；

形成一閘極氧化層以包覆該通道；以及

形成一閘極層於該閘極氧化層上。

2. 如申請專利範圍第1項所述之製程，其中於該移除該堆疊結構的步驟中，更包含下列步驟：

移除該第一矽酸四乙酯氧化層與該第二矽酸四乙酯氧化層；以及

移除該第一中間材料層。

3. 如申請專利範圍第 2 項所述之製程，其中於該移除該第一矽酸四乙酯氧化層與該第二矽酸四乙酯氧化層的步驟中，其中該第一矽酸四乙酯氧化層、該第二矽酸四乙酯氧化層、該第一中間材料層、該基材與該半導體層間具有一蝕刻選擇比，該蝕刻選擇比為 10000 : 10000 : 1 : 1 : 1。
4. 如申請專利範圍第 2 項所述之製程，其中於該移除該第一中間材料層的步驟中，該第一矽酸四乙酯氧化層、該第二矽酸四乙酯氧化層、該第一中間材料層、該基材與該半導體層間具有一蝕刻選擇比，該蝕刻選擇比為 1 : 1 : 10000 : 1 : 1。
5. 如申請專利範圍第 1 項所述之製程，其中該第一矽酸四乙酯氧化層、該第一中間材料層與該第二矽酸四乙酯氧化層的厚度分別為 50nm, 10nm 以及 50nm。
6. 如申請專利範圍第 1 項所述之半導體元件製程，其中該通道直徑係小於或等於 10nm。
7. 如申請專利範圍第 1 項所述之製程，其中該基材係由一氮化矽材料以及一富矽氮化矽材料等群組中所選出。
8. 如申請專利範圍第 1 項所述之製程，其中該第一中間材料層係由一複晶鍺材料、一氧化鍺材料以及一氮化矽材料等群組中所選出。
9. 如申請專利範圍第 1 項所述之半導體元件製程，其中該半導體層係由一無摻雜之非晶矽材料、一高濃度摻雜之非晶矽材料、一非晶鍺材料、一多晶鍺材料、一矽鍺化合物、一三五族化合物以及一金屬氧化物等群組中所選



出。

10. 如申請專利範圍第 9 項所述之製程，其中該形成該半導體層覆蓋該基材與該堆疊結構並填入該凹槽內之步驟係由一低壓化學氣相沈積程序、一電漿增強化學氣相沈積程序、一高密度電漿化學氣相沈積程序、一超高真空化學氣相沈積程序以及一分子束磊晶程序等群組中所選出來完成。

11. 如申請專利範圍第 9 項之製程，其中當該半導體層包含該無摻雜之非晶矽材料時，於該形成該半導體層覆蓋該基材與該堆疊結構並填入該凹槽內之步驟後，更包含下列步驟：

執行一結晶程序以使該半導體層所包含之該非晶矽材料轉變為一複晶矽材料。

12. 如申請專利範圍第 11 項所述之製程，其中該結晶程序為一固相結晶程序或一雷射退火結晶程序。

13. 如申請專利範圍第 11 項之製程，更包含下列步驟：

對該源極區與該汲極區之該半導體層執行一離子佈植程序。

14. 如申請專利範圍第 9 項所述之製程，其中當該半導體層包含該高濃度摻雜之非晶矽材料時，於該形成該閘極氧化層以包覆該通道之步驟中，更包含下列步驟：

活化構成該通道之該非晶矽材料使其轉變為一複晶矽材料。

15. 如申請專利範圍第 14 項所述之製程，其中該半導體元件係為一無接面式半導體元件。

16. 如申請專利範圍第 1 項所述之製程，其中該堆疊結構更包含：
- 一第二中間材料層，設置於該第二矽酸四乙酯氧化層上；以及
  - 一第三矽酸四乙酯氧化層，設置於該第二中間材料層上。
17. 如申請專利範圍第 16 項所述之製程，其中該移除部分之該第一中間材料層以使該堆疊結構側邊具有該凹槽之步驟中，更包含：
- 移除該通道區內部分之該第二中間材料層，使該通道區內之該堆疊結構側邊具有複數個該凹槽。
18. 如申請專利範圍第 17 項所述之製程，其中於該移除該堆疊結構之步驟後，該半導體元件包含有複數個該通道。
19. 如申請專利範圍第 1 項所述之製程，其中該移除該通道區內部分之該第一中間材料層以使該通道區內之該堆疊結構側邊具有該凹槽之步驟係經由一濕式蝕刻程序來完成，且用於該濕式蝕刻程序之一蝕刻液係由一雙氧水溶液以及一熱磷酸溶液等群組中所選出。
20. 如申請專利範圍第 1 項所述之製程，其中該移除該堆疊結構之步驟係經由一濕式蝕刻程序來完成，且用於該濕式蝕刻程序之一蝕刻液係由一氫氟酸溶液、一熱磷酸溶液以及一雙氧水溶液等群組中所選出。
21. 如申請專利範圍第 1 項所述之製程，其中該移除位於該源極區、該汲極區與該凹槽外之該半導體層之步驟係

經由一高選擇比非等向性乾蝕刻程序來完成。

22. 如申請專利範圍第1項所述之製程，其中於該基材上形成該堆疊結構的步驟，包含：

形成該第一矽酸四乙酯氧化層於該基材上；

形成該第一中間材料層於該第一矽酸四乙酯氧化層上；以及

形成該第二矽酸四乙酯氧化層於該第一中間材料層上。

23. 如申請專利範圍第22項所述之製程，其中該基材以及形成該第一矽酸四乙酯氧化層、該第一中間材料層與該第二矽酸四乙酯氧化層的步驟均可經由一氣相沈積程序來完成。

24. 如申請專利範圍第23項所述之製程，其中該氣相沈積程序可為一化學氣相沈積程序或一物理氣相沈積程序，且該化學氣相沈積程序係由一低壓化學氣相沈積程序、一電漿增強化學氣相沈積程序、一高密度電漿化學氣相沈積程序以及一超高真空化學氣相沈積程序等群組中所選出，而該物理氣相沈積程序可為一電阻加熱蒸鍍法沈積程序、一電子鎗蒸鍍法沈積程序或一濺鍍法沈積程序。

25. 一種半導體元件，係經由上述申請專利範圍第1項至第24項所述之製程所形成，該半導體元件至少包含：

一基材；

複數個堆疊結構，設置於該基材上，該堆疊結構由下而上包含有一第一矽酸四乙酯氧化層、一第一中間材

料層與一第二矽酸四乙酯氧化層；

一源極與一汲極，分別設置於該基材與部分之這些堆疊結構上；

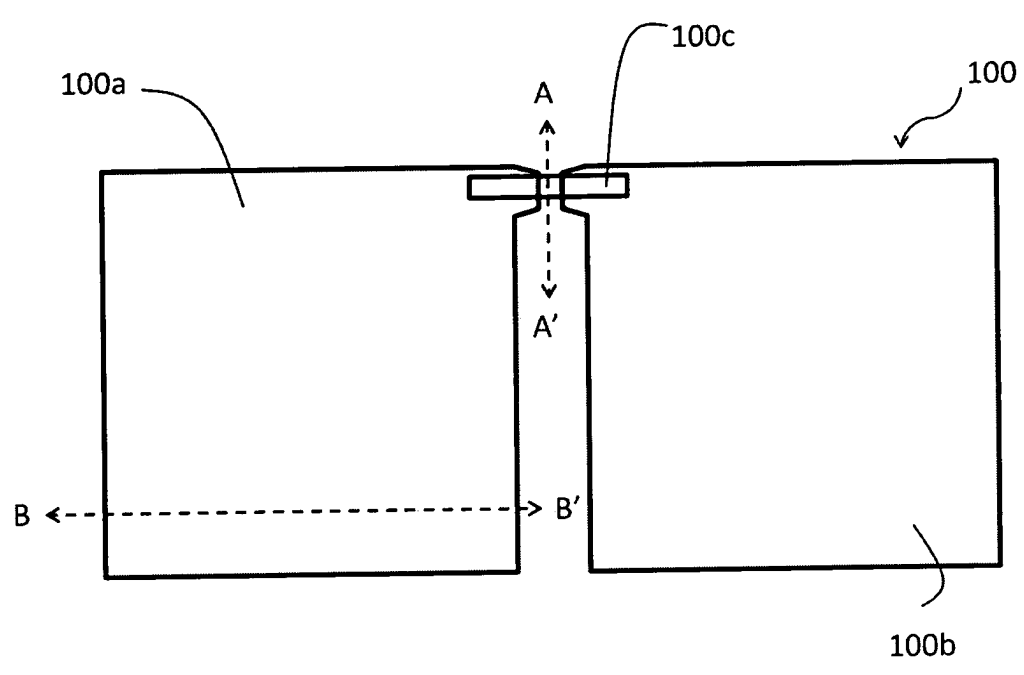
至少一通道，其兩端分別連接該源極與該汲極；

一閘極氧化層，包覆該通道；以及

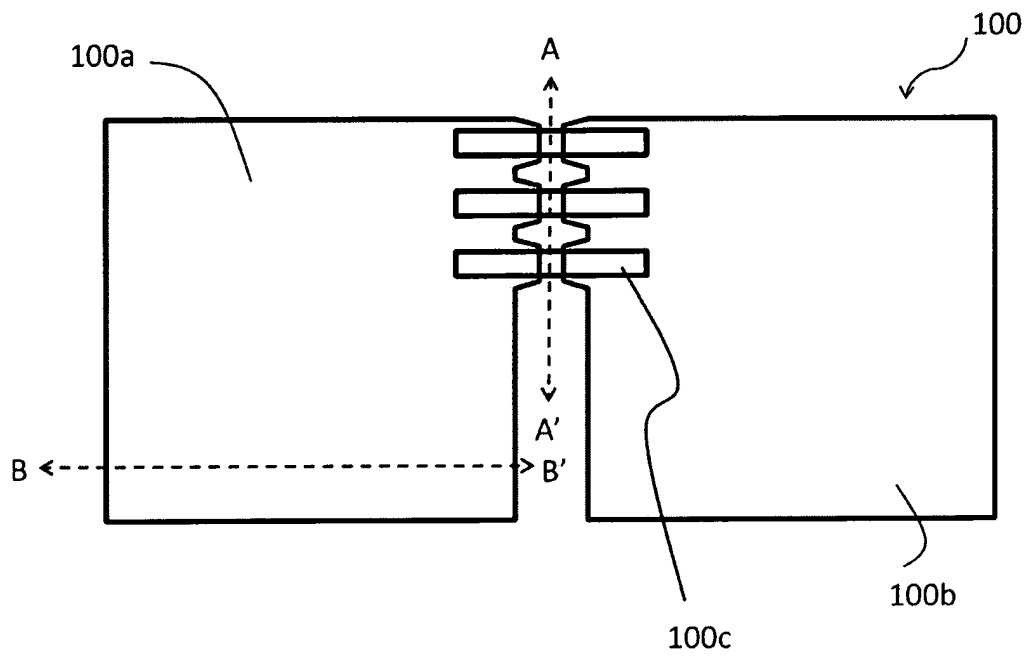
一閘極層，覆蓋於該閘極氧化層上。

26. 如申請專利範圍第 25 項所述之半導體元件，其中該源極與該汲極係一昇起式源/汲極。
27. 如申請專利範圍第 25 項所述之半導體元件，其中該基材係由一氮化矽材料以及一富矽氮化矽材料等群組中所選出。
28. 如申請專利範圍第 25 項所述之半導體元件，其中該第一中間材料層係由一複晶鍺材料、一氧化鍺材料或一氮化矽材料等群組中所選出。
29. 如申請專利範圍第 25 項所述之半導體元件，其中該通道的直徑小於或等於 10nm。
30. 如申請專利範圍第 25 項所述之半導體元件，其中該閘極層的材質係由一複晶矽材料、一複晶矽鍺材料以及一金屬閘極材料等群組中所選出。
31. 如申請專利範圍第 25 項所述之半導體元件，其中該閘極氧化層的材質係由一矽酸四乙酯氧化物、一二氧化矽材料以及一高介電係數材料等群組中所選出。
32. 如申請專利範圍第 25 項所述之半導體元件，可應用於一三維積體電路。

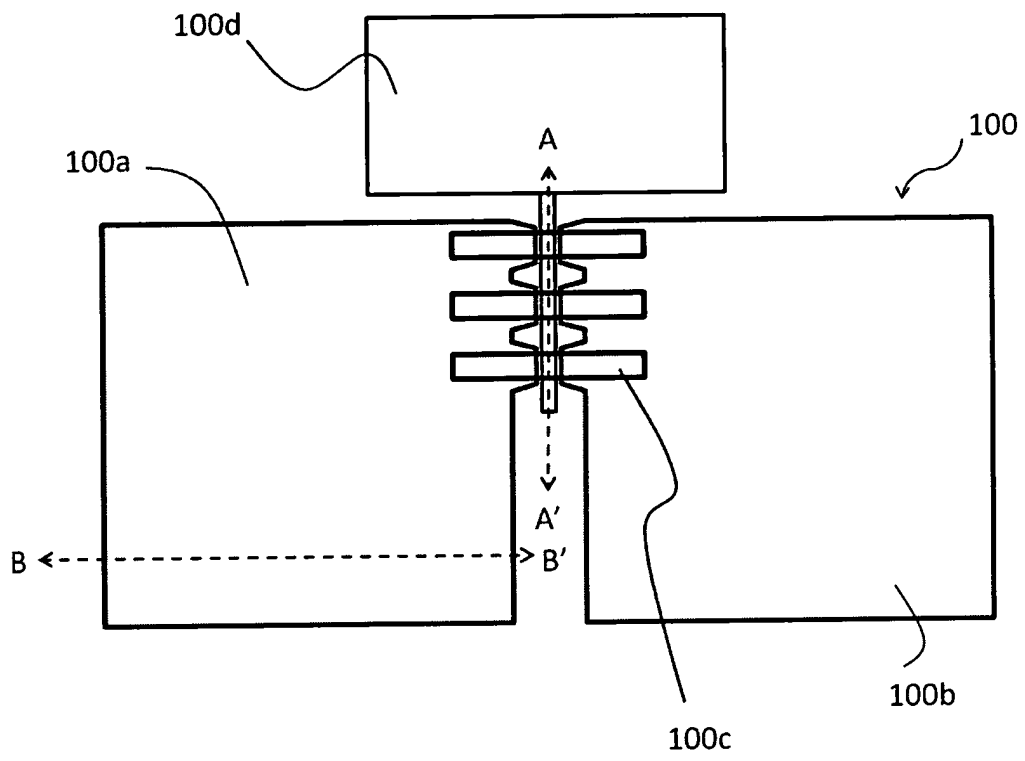
八、圖式：



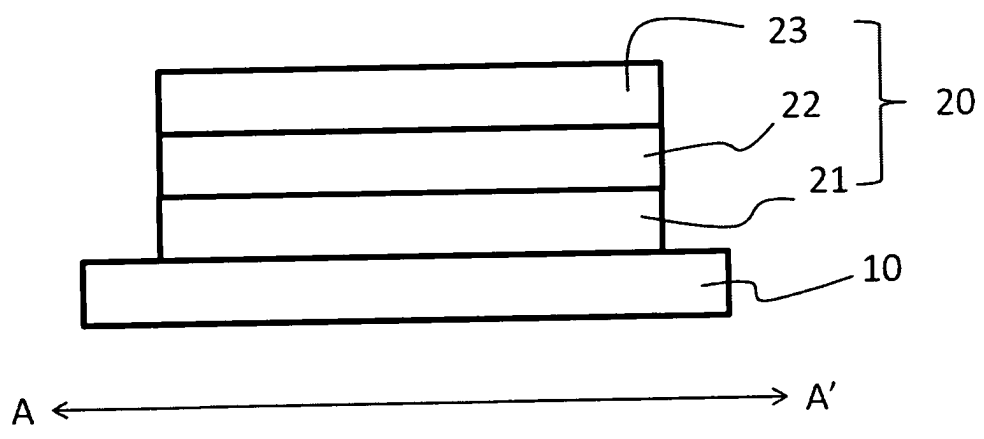
第 1A 圖



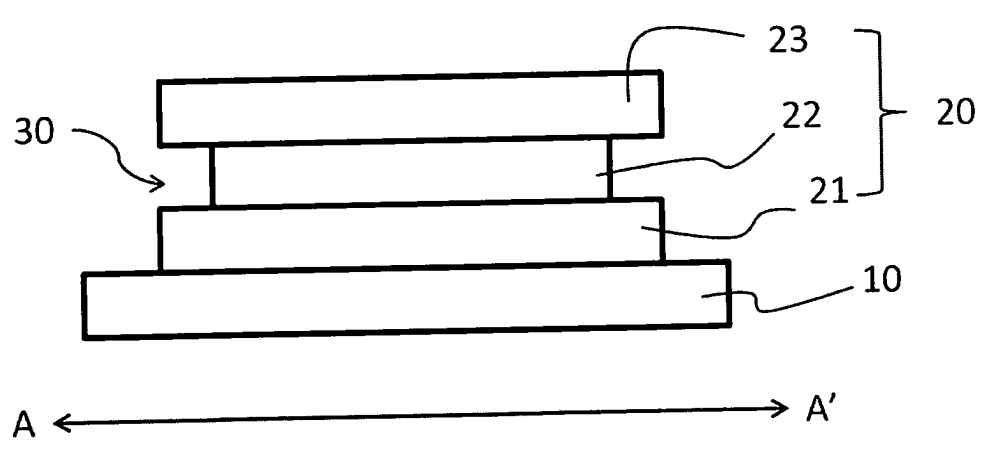
第 1B 圖



第 1C 圖

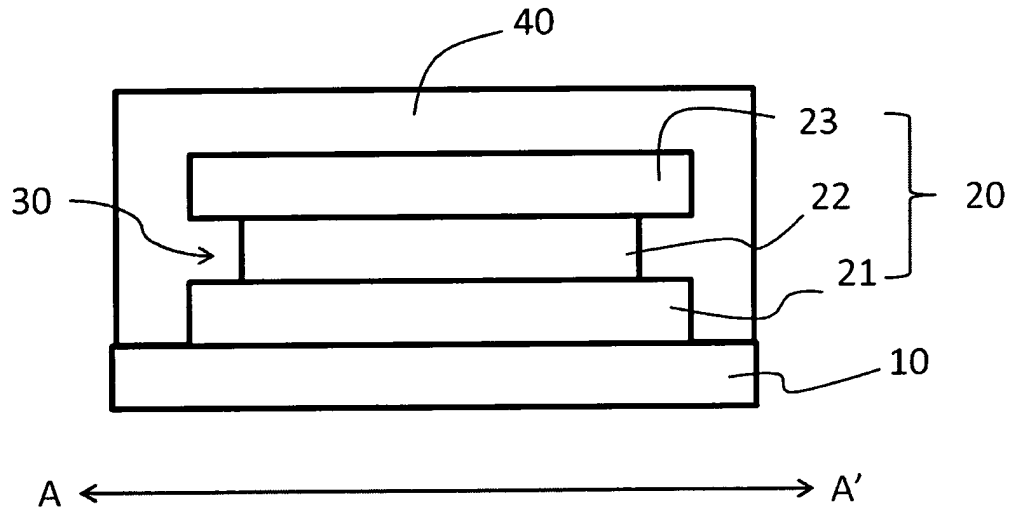


第 2A 圖

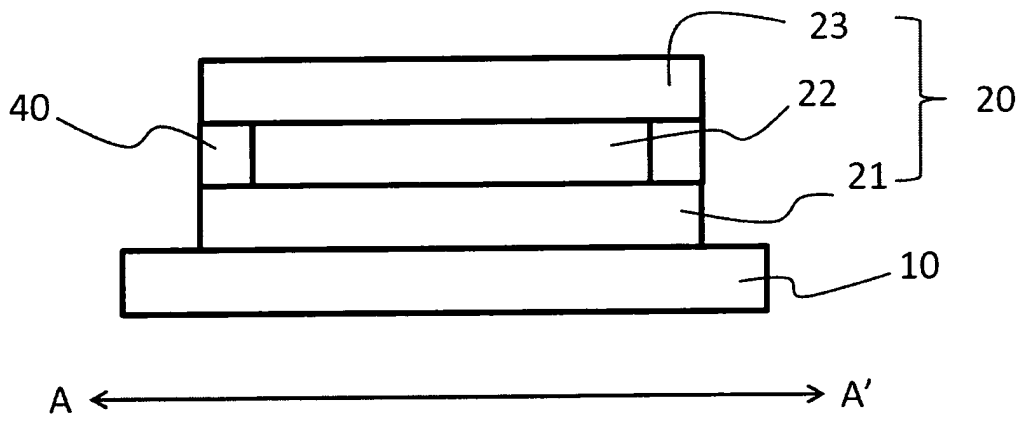


第 2B 圖

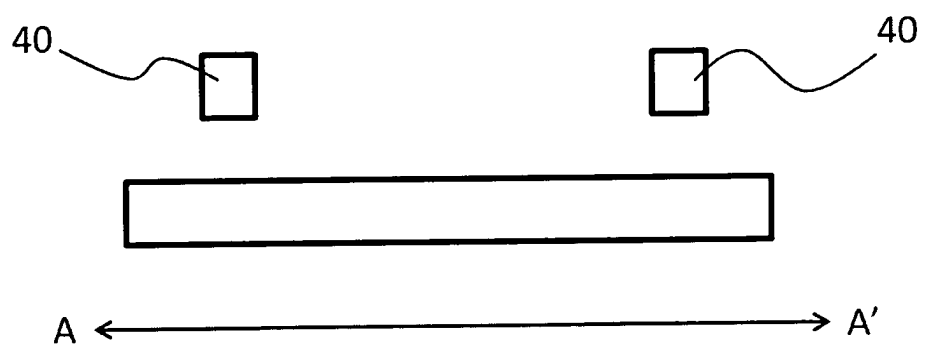




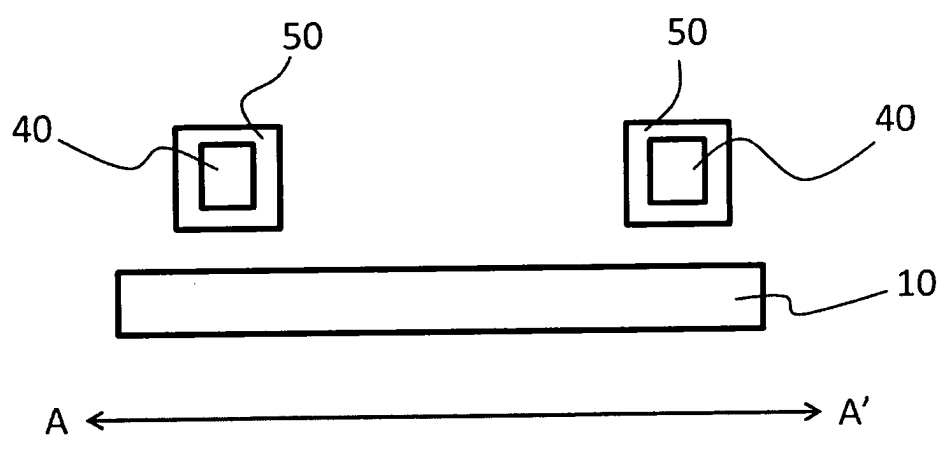
第 2 C 圖



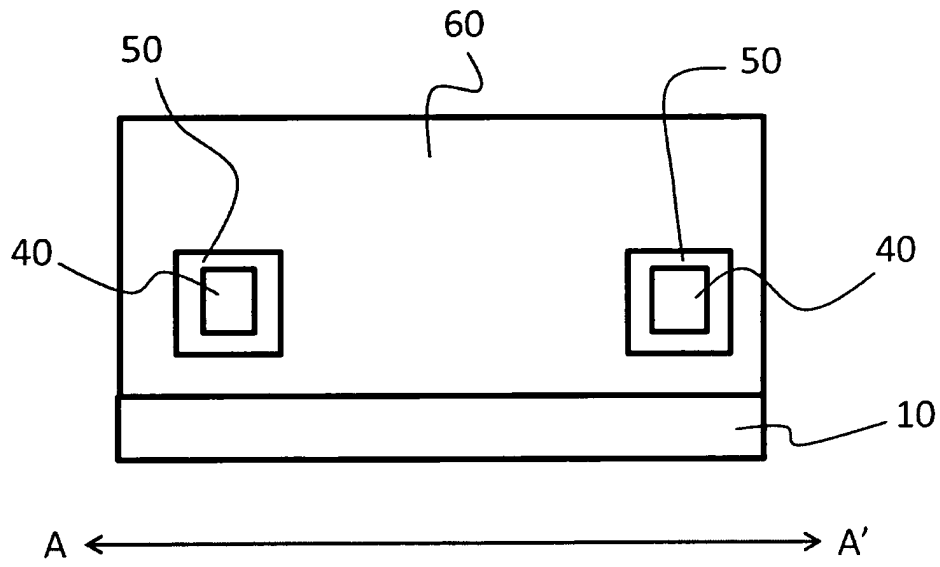
第 2 D 圖



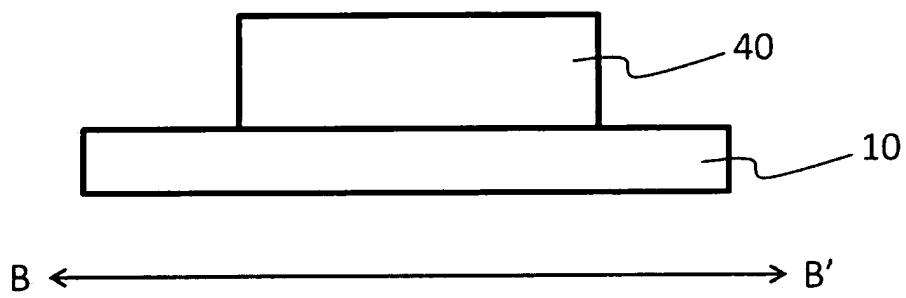
第 2 E 圖



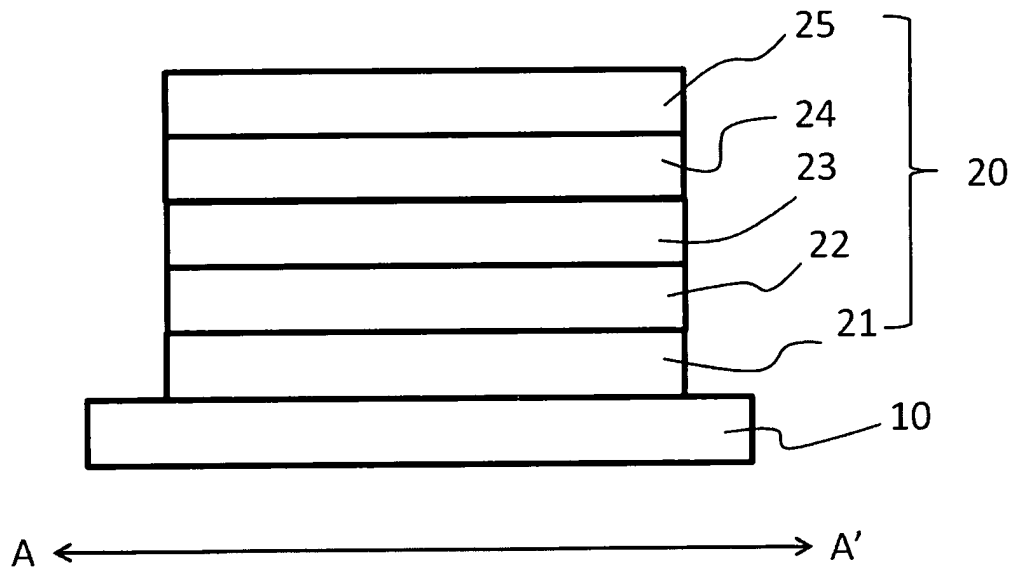
第 2 F 圖



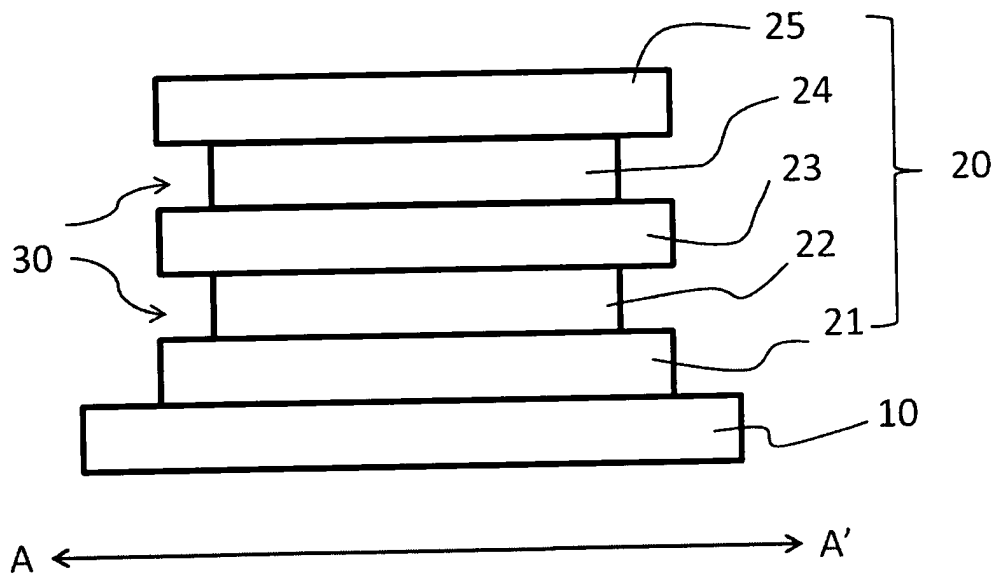
第 2 G 圖



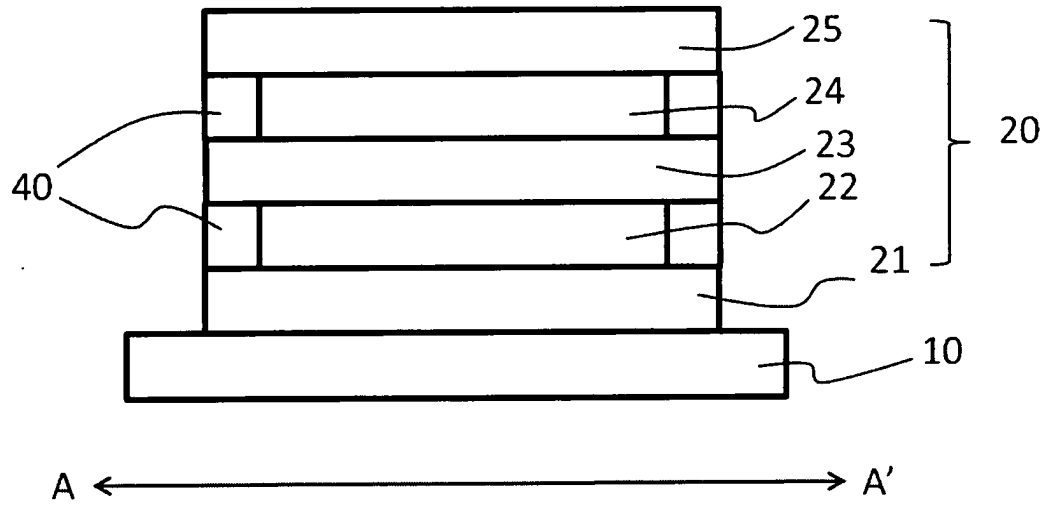
第 3 圖



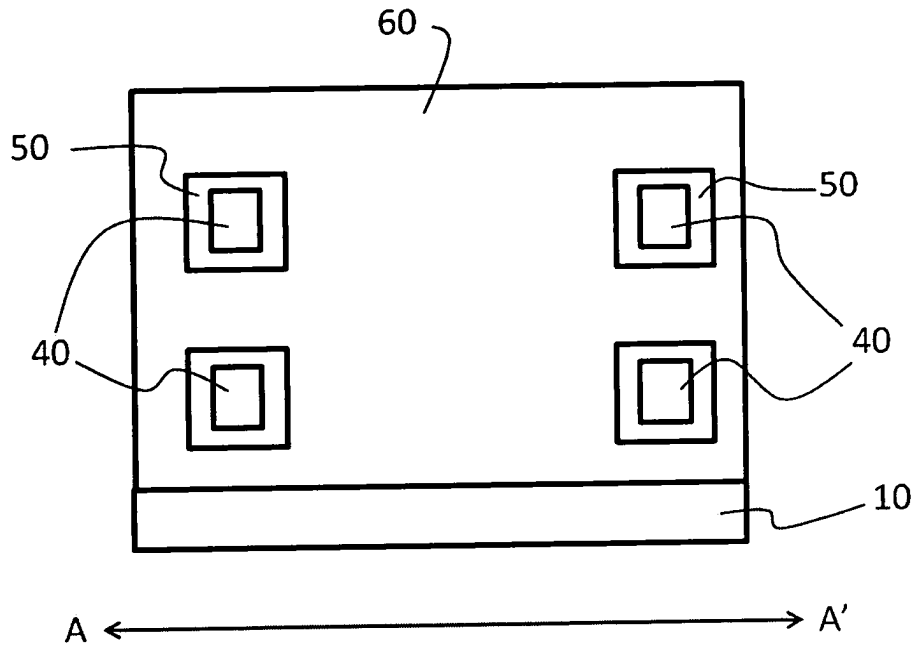
第 4 A 圖



第 4 B 圖



第 4 C 圖



第 4 D 圖