



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I466436 B

(45)公告日：中華民國 103 (2014) 年 12 月 21 日

(21)申請案號：100130922

(22)申請日：中華民國 100 (2011) 年 08 月 29 日

(51)Int. Cl. : **H03B5/24 (2006.01)**(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號(72)發明人：何盈杰 HO, YING CHIEH (TW)；楊于昇 YANG, YU SHENG (TW)；蘇朝琴 SU,
CHAU CHIN (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

(56)參考文獻：

TW I329976

TW I339014

US 6072372

Swee Yew Choe, et al., "A 1V Bootstrapped CMOS Digital Logic Family" Solid-State Circuits Conference, 1997. ESSCIRC '97.

Proceedings of the 23rd European, pages 352-355.

審查人員：陳佳韶

申請專利範圍項數：6 項 圖式數：6 共 32 頁

(54)名稱

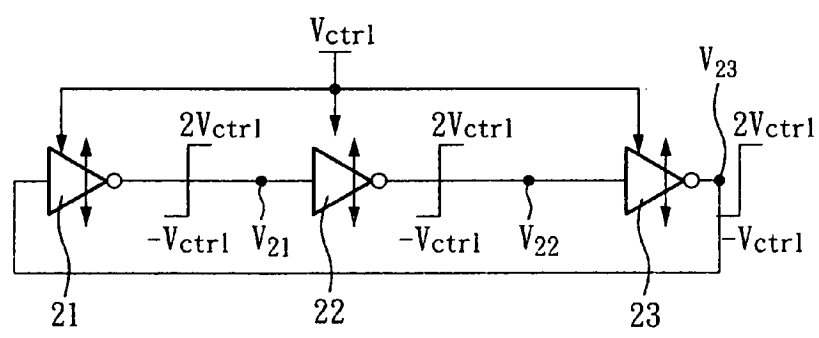
環型振盪器

RING OSCILLATOR

(57)摘要

本發明係有關於一種環型振盪器，俾能操作於低電壓環境下，且仍具有良好的操作速度及線性度的環型振盪器，包括：N 個延遲電路單元，每一延遲電路單元係具有一輸入端及一輸出端，而 N 係至少為 3。其中，每一延遲電路單元係接受一控制電壓，且各延遲電路單元係互相串聯。並且，每一延遲電路單元之輸入端係與相鄰之另一延遲電路單元之輸出端電性連接。

A ring oscillator with excellent operating speed and linearity is provided, capable of operating under a low-voltage condition. The disclosed ring oscillator comprises: N delay circuit cells, each of them having an input port and an output port, respectively. Besides, N has a value equal to or larger than 3. Wherein, each of these N delay circuit cells receives a control voltage, and all of the N delay circuit cells are electrically connected with each other in series. Furthermore, the input port of one of the N delay circuit cells is electrically connected with the output port of a nearby delay circuit cell of the N delay circuit cells.



21、22、23 . . . 延
遲電路單元
 V_{21} 、 V_{22} 、
 V_{23} . . . 節點
 V_{ctrl} . . . 控制電壓

圖2

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100130922

※申請日：100.3.29 ※IPC分類：H03B 5/24 (2006.01)

一、發明名稱：(中文/英文)

環型振盪器 /

Ring oscillator

二、中文發明摘要：

本發明係有關於一種環型振盪器，俾能操作於低電壓環境下，且仍具有良好的操作速度及線性度的環型振盪器，包括：N 個延遲電路單元，每一延遲電路單元係具有一輸入端及一輸出端，而 N 係至少為 3。其中，每一延遲電路單元係接受一控制電壓，且各延遲電路單元係互相串聯。並且，每一延遲電路單元之輸入端係與相鄰之另一延遲電路單元之輸出端電性連接。

三、英文發明摘要：

A ring oscillator with excellent operating speed and linearity is provided, capable of operating under a low-voltage condition. The disclosed ring oscillator comprises: N delay circuit cells, each of them having an input port and an output port, respectively. Besides, N has a value equal to or larger than 3. Wherein, each of these N delay circuit cells receives a control voltage, and all of the N delay circuit cells are electrically connected with each other in series. Furthermore, the input port of one of the N delay circuit cells is electrically connected with the output port of a nearby delay circuit cell of the N delay circuit cells.

四、指定代表圖：

(一)本案指定代表圖為：圖 (2) 。

(二)本代表圖之元件符號簡單說明：

21、22、23 延遲電路單元

V_{21} 、 V_{22} 、 V_{23} 節點

V_{ctrl} 控制電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種環型振盪器，尤指一種適用於低電壓操作環境下，且仍具有良好的操作速度及線性度的環型振盪器。

【先前技術】

近年來、環保、節能的議題越來越受重視，對電子產品而言，可分為兩個方面來討論：對於許多電子產品而言，電池是提供電源的主要來源，因此，我們可以想辦法來延長電池的壽命；其次，我們也可以藉由低功率電路設計的技術，使得電路能在低消耗功率的情況下還能維持電路本身所需達到的效能。如此一來，第二點所述即等同於延長電池的使用期限。因此，低功率消耗電路的設計對於目前許多高精密度的電子產品而言是非常重要的，例如手持式行動通訊產品、或PDA。

另外，由於半導體製程的進步，現在可以將很多功能不同的積體電路(IC)整合在同一顆晶片上，這就是單一系統晶片(System on Chip)的概念，用來取代傳統的印刷電路板(Printed Circuit Board)，使得電子產品的體積及重量大幅的降低。

其中，根據 $P=fCV^2$ 的理論可知，電路的功率消耗和操作頻率、負載電容、操作電壓有關。因此，想要降低電路的功率消耗，最直接有效的方法就是降低電路的操作電

壓，使得整體電路的功率消耗可以達到冪次方的下降，甚至將電路操作在次臨界區 (Sub-Threshold Region) 下。

在低電壓下操作時，電晶體的臨界電壓 (V_{TH}) 成為最大的問題。在半導體製程不斷的進步下，電路的操作電壓不斷下降，但電晶體的臨界電壓下降的幅度卻沒有操作電壓來得快。有關電晶體的臨界電壓與操作電壓，請參閱圖 1，圖 1 係電晶體臨界電壓與操作電壓之關係趨勢圖。其中，橫軸係代表操作電壓，而縱軸係代表閘延遲。如圖 1 所示，當操作電壓降低時，電晶體的閘極/源極電位差 (V_{GS}) 下降，如此將會造成電晶體的電流下降，對數位電路會造成充放電的時間增加，使電路的操作速度變慢。即如圖 1 所示之當操作電壓下降時，電晶體之閘延遲卻大幅增加。除了對電路操作速度的影響之外，當電路操作在次臨界區或次臨界區附近的電壓時，整體電路系統對於製程與環境的變異 (Process Voltage Temperature Variation) 所造成的影響會比傳統一般的電壓操作下來得大，因此，製程的漂移會變得十分劇烈。

綜上所述，在低電壓下操作時的電路主要會面臨到兩個問題：首先是驅動力下降的問題，當操作電壓降低，電晶體閘極-源極電位差 (V_{GS}) 下降，使電路能夠操作的速度變慢。再者，當電路操作在次臨界區或次臨界區附近的電壓時，系統對於製程與環境的變異所造成的影響會比傳統一般的電壓操作下來得大。

因此，業界需要一種能夠操作在低電壓，仍能維持驅動動力及操作速度的振盪器、且能使輸出頻率與控制電壓保有高度的線性度的振盪器電路。

【發明內容】

本發明之一目的係在提供一種環型振盪器，俾能操作於低電壓環境下，且仍具有良好的操作速度的環型振盪器。

本發明之另一目的係在提供一種環型振盪器，俾能使輸出頻率與控制電壓具有高度的線性度，進而抑制製程漂移。

為達成上述目的，本發明之環型振盪器包括：N個延遲電路單元，每一此等延遲電路單元係具有一輸入端及一輸出端，N係至少為3；其中，每一此等延遲電路單元係接受一控制電壓，此等延遲電路單元係互相串聯，每一此等延遲電路單元之此輸入端係與相鄰之另一此延遲電路單元之此輸出端電性連接，互相串聯之此等延遲電路單元係形成一迴路。

其中，根據上述說明可知，本發明之環型振盪器係為由至少3個延遲電路單元所串接而成的電路結構。此外，串接在最後一個之延遲電路單元的輸出端係與串接在第一個之延遲電路單元的輸入端電性連接，如此形成前述之迴路結構。再者，上述之延遲電路單元較佳為一靴帶式延遲電路單元。

除此之外，於一第一更佳實施例中，前述之靴帶式延遲電路單元係包含：一第一反相器，此第一反相器係具有一第一輸入節點及一第一輸出節點；一第二反相器，此第二反相器係具有一第二輸入節點及一第二輸出節點；一第一PMOS電晶體，此第一PMOS電晶體之源極係接受此控制電壓；一第一電容，此第一電容之兩端係分別連接至此第一反相器之此第一輸出節點及此第一PMOS電晶體之汲極；一第二PMOS電晶體，此第二PMOS電晶體之閘極係連接至此第一反相器之此第一輸入節點，而此第二PMOS電晶體之源極則連接至此第一PMOS電晶體之汲極；一第一NMOS電晶體，此第一NMOS電晶體之閘極係連接至此第一反相器之此第一輸入節點，而此第一NMOS電晶體之汲極則連接至此第二PMOS電晶體之汲極；一第二NMOS電晶體，此第二NMOS電晶體之源極係接地，而此第二NMOS電晶體之汲極則連接至此第一NMOS電晶體之源極；以及一第二電容，此第二電容之兩端係分別連接至此第二反相器之此第二輸出節點及此第二NMOS電晶體之汲極；其中，此第一輸入節點與此第二輸入節點係互相連接形成此輸入端，而此第一PMOS電晶體之閘極、此第二PMOS電晶體之汲極、此第一NMOS電晶體之汲極、與此第二NMOS電晶體之閘極係互相連接形成此輸出端。

需注意的是，於上述之第一更佳實施例中，此第一反相器及此第二反相器之形式並無限制為何種反相器，但較佳為一CMOS反相器。

再者，於一第二更佳實施例中，前述之軌帶式延遲電路單元係包含：一反相器，此反相器係具有一輸入節點及一輸出節點；一第一PMOS電晶體，此第一PMOS電晶體之源極係接受此控制電壓；一第一NMOS電晶體，此第一NMOS電晶體之汲極係連接至此第一PMOS電晶體之汲極；一第一電容，此第一電容之兩端係分別連接至此輸出節點及此第一NMOS電晶體之源極；一第二NMOS電晶體，此第二NMOS電晶體之源極係接地，而此第二NMOS電晶體之汲極則連接至此第一NMOS電晶體之源極；一第二PMOS電晶體，此第二PMOS電晶體之源極係接受此控制電壓；一第二電容，此第二電容之兩端係分別連接至此輸出節點及此第二PMOS電晶體之汲極；一第三PMOS電晶體，此第三PMOS電晶體之源極係連接至此第二PMOS電晶體之汲極；一第三NMOS電晶體，此第三NMOS電晶體之源極係接地，此第三NMOS電晶體之汲極係連接至此第三PMOS電晶體之汲極；一第四NMOS電晶體，此第四NMOS電晶體之汲極係連接至此第一PMOS電晶體之汲極；以及一第四PMOS電晶體，此第四PMOS電晶體之源極係連接至此第四NMOS電晶體之源極，而此第四PMOS電晶體之汲極係連接至此第三PMOS電晶體之汲極；其中，此第一NMOS電晶體之閘極、此第一PMOS電晶體之閘極、此第三NMOS電晶體之閘極、此第三PMOS電晶體之閘極、此第四NMOS電晶體之閘極、此第四PMOS電晶體之閘極、與此反相器之此輸入節點係互

相連接形成此輸入端，而此第四NMOS電晶體之源極與此第四PMOS電晶體之源極係互相連接形成此輸出端。

同樣地，於上述之第二更佳實施例中，此反相器之形式並無限制為何種反相器，但較佳為一CMOS反相器。

此外，於一第三更佳實施例中，前述之靴帶式延遲電路單元係包含：一反相器，此反相器係具有一輸入節點及一輸出節點；一第一PMOS電晶體，此第一PMOS電晶體之源極係接受此控制電壓；一第二PMOS電晶體，此第二PMOS電晶體之源極係連接至此第一PMOS電晶體之閘極，此第二PMOS電晶體之閘極係連接至此反相器之此輸入節點；一第一NMOS電晶體，此第一NMOS電晶體之汲極係連接至此第一PMOS電晶體之閘極，此第一NMOS電晶體之閘極係連接至此反相器之此輸入節點；一第二NMOS電晶體，此第二NMOS電晶體之源極係接地，此第二NMOS電晶體之汲極係連接至此第一NMOS電晶體之源極，此第二NMOS電晶體之閘極係連接至此反相器之此輸出節點；一第一電容，此第一電容之兩端係分別連接至此反相器之此輸出節點及此第二NMOS電晶體之閘極；一第二電容，此第二電容之兩端係分別連接至此反相器之此輸出節點及此第二PMOS電晶體之汲極；一第三PMOS電晶體，此第三PMOS電晶體之源極係接地，此第三PMOS電晶體之閘極係連接至此反相器之此輸出節點；一第四PMOS電晶體，此第四PMOS電晶體之源極係連接至此第三PMOS電晶體之汲極，此第四PMOS電晶體之閘極係連接至此反相器之此輸入節點；一第三NMOS

電晶體，此第三NMOS電晶體之源極係連接至此第四PMOS電晶體之汲極，此第三NMOS電晶體之閘極係連接至此反相器之此輸入節點；一第四NMOS電晶體，此第四NMOS電晶體之源極係接地，此第四NMOS電晶體之閘極係連接至此第三NMOS電晶體之源極，此第四NMOS電晶體之汲極係連接至此第三NMOS電晶體之汲極；一第三電容，此第三電容之兩端係分別連接至此反相器之此輸出節點及此第三NMOS電晶體之汲極；一第四電容，此第四電容之兩端係分別連接至此反相器之此輸出節點及此第三PMOS電晶體之汲極；一第五PMOS電晶體，此第五PMOS電晶體之源極係連接至此第一PMOS電晶體之汲極；以及一第五NMOS電晶體，此第五NMOS電晶體之汲極係連接至此第四NMOS電晶體之汲極；其中，此第五PMOS電晶體之閘極與此第五NMOS電晶體之閘極係互相連接形成此輸入端，而此第五PMOS電晶體之汲極與此第五NMOS電晶體之源極係互相連接形成此輸出端。

此外，值得注意的是，如前所述N係至少為3，意即至少使用3個延遲電路單元。再者，N的上限數目並無限。而前述之控制電壓係無限制，然而，控制電壓較佳之範圍可為一般元件之操作電壓至次臨界電壓。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地

了解本發明之其他優點與功效。此外，本發明亦可藉由其他不同的具體實施例加以施行或應用，且本說明書中的各項細節亦可基於不同觀點與應用，而在不悖離本發明之精神下進行各種修飾與變更。

實施例1

請參閱圖2。圖2係本發明之環型振盪器之示意圖。如圖2所示，本發明第一實施例之環型振盪器係使用3個延遲電路單元21、22、23環型連接而成，而此環型振盪器並有三個節點 V_{21} 、 V_{22} 、 V_{23} 。再者，每一個延遲電路單元係接受一控制電壓 V_{ctrl} 。此外，如圖2所示，3個延遲電路單元21、22、23係互相串聯，而需注意的是，延遲電路單元21之輸入端係與延遲電路單元23之輸出端互相連接形成節點 V_{23} ，延遲電路單元22之輸入端係與延遲電路單元21之輸出端互相連接形成節點 V_{21} ，延遲電路單元23之輸入端係與延遲電路單元22之輸出端互相連接形成節點 V_{22} ，如此便形成如圖2所示之環型迴路。再者，延遲電路單元的使用個數並無限制，但必須至少為3。

除此之外，於本發明第一實施例之環型振盪器中，係使用門檻電壓約為0.3V的製程元件，故控制電壓 V_{ctrl} 的範圍係介於0.2至0.6V之間。再者，於本發明第一實施例之環型振盪器中，延遲電路單元21、22、23係為一靴帶式延遲電路單元。

再者，前述之靴帶式延遲電路單元之電路架構請參閱圖3。圖3係本發明第一實施例之環型振盪器中所用之靴帶

式延遲電路單元之電路架構示意圖。如圖3所示，本發明第一實施例之環型振盪器中所用之靴帶式延遲電路單元係包含：一第一反相器31、一第二反相器32、一第一PMOS電晶體33、一第一電容34、一第二PMOS電晶體35、一第一NMOS電晶體36、一第二NMOS電晶體37、以及一第二電容38。

其中，第一反相器31係具有一第一輸入節點31a及一第一輸出節點31b；而第二反相器32係具有一第二輸入節點32a及一第二輸出節點32b。再者，第一PMOS電晶體33之源極係接受此控制電壓 V_{ctrl} ；而第一電容34之兩端係分別連接至第一反相器31之第一輸出節點31b及此第一PMOS電晶體33之汲極。

接著，第二PMOS電晶體35之閘極則連接至第一反相器31之此第一輸入節點31a，第二PMOS電晶體35之源極則連接至此第一PMOS電晶體33之汲極。再者，第一NMOS電晶體36之閘極係連接至第一反相器31之第一輸入節點31a，而第一NMOS電晶體36之汲極則連接至第二PMOS電晶體35之汲極。此外，第二NMOS電晶體37之源極係接地，而第二NMOS電晶體37之汲極則連接至第一NMOS電晶體36之源極。

最後，第二電容38之兩端係分別連接至第二反相器32之第二輸出節點32b及第二NMOS電晶體37之汲極。其中，第一輸入節點31a與第二輸入節點32b係互相連接形成一輸入端 V_{IN} (由前述說明與圖示可知，排序在此串聯電路結構下的第一個靴帶式延遲電路單元的輸入端 V_{IN} 即對應於 V_{23})，

而第一PMOS電晶體33之閘極、第二PMOS電晶體35之汲極、第一NMOS電晶體36之汲極、與第二NMOS電晶體37之閘極係互相連接形成一輸出端 V_{OUT} (由前述說明與圖示可知，排序在此串聯電路結構下的最後一個靴帶式延遲電路單元的輸出端 V_{OUT} 即對應於 V_{23})。

以下將詳述本發明第一實施例之環型振盪器的運作方式：

當輸入端 V_{IN} 之輸入信號從 V_{ctrl} 下降至 $0V$ 時，第一反相器31之第一輸出節點31b電壓會由 $0V$ 上升至 V_{ctrl} ，上升邊緣經過第一電容34，使節點 V_{BH} 的電壓從 V_{ctrl} 上升至 $2V_{ctrl}$ 。此時，第二PMOS電晶體35所之開關會被打開，因而形成一個充電電流對輸出端 V_{OUT} 的寄生電容充電，使輸出端 V_{OUT} 的輸出電壓上升至 $2V_{ctrl}$ ，而增強對下一級電路的放電能力。於此同時，第二NMOS電晶體37會被打開，並對節點 V_{BL} 進行預放電的動作，使節點 V_{BL} 的電壓回復至 $0V$ 。

而當輸入端 V_{IN} 之輸入信號從 $0V$ 上升至 V_{ctrl} 時，第二反相器32的第二輸出節點32b電壓會由 V_{ctrl} 下降至 $0V$ ，下降邊緣經過第二電容38，使節點 V_{BL} 的電壓會從 $0V$ 下降至 $-V_{ctrl}$ 。如此使得輸出端 V_{OUT} 的電壓被放電至 $-V_{ctrl}$ ，而增強對下一級的充電能力。而此時第一PMOS電晶體33會被打開，對節點 V_{BH} 作預充電的動作，使節點 V_{BH} 的電壓回復至 V_{ctrl} 。

因此，值得注意的是，圖2中每一個節點 V_{21} 、 V_{22} 、 V_{23} 上的電壓訊號皆為升壓過後的訊號，電壓訊號為 $2V_{ctrl}$ 至 $-V_{ctrl}$ 的擺幅訊號，如此即可增加電路的驅動能力。

請再參閱圖6，圖6係本發明之環型振盪器之輸出頻率與控制電壓關係圖。其中，橫軸係代表控制電壓，而縱軸係代表輸出頻率。由圖6可看出本發明之環型振盪器在低操作電壓下，不論在何種製程漂移下(FE 製程漂移、TT 製程漂移、SS 製程漂移)，本發明之環型振盪器的輸出頻率與控制電壓保有高度的線性度。

根據上述說明與圖示，本發明之環型振盪器係用開極升壓的方式，且每一延遲單元經升壓過後係提供 $2V_{ctrl}$ 到 $-V_{ctrl}$ 的大擺幅，使得每一延遲單元無論在控制電壓高於或低於門檻電壓時，皆可操作在三極區(triode region)。因此，本發明之環型振盪器係具有良好的操作速度，且本發明之環型振盪器的輸出頻率與控制電壓保有高度的線性度。

實施例2

本發明第二實施例之環型振盪器係與本發明第一實施例之環型振盪器相似，其差異係僅在於靴帶式延遲電路單元的電路架構不同。請參閱圖4，圖4係本發明第二實施例之環型振盪器中所用之靴帶式延遲電路單元之電路架構示意圖。

如圖4所示，本發明第二實施例之環型振盪器中所用之靴帶式延遲電路單元係包含：一反相器401、一第一PMOS電晶體402、一第一NMOS電晶體403、一第一電容404、一

第二NMOS電晶體405、一第二PMOS電晶體406、一第二電容407、一第三PMOS電晶體408、一第三NMOS電晶體409、一第四NMOS電晶體410、及一第四PMOS電晶體411。

其中，反相器401係具有一輸入節點401a及一輸出節點401b。再者，第一PMOS電晶體402之源極係接受此控制電壓 V_{ctrl} ；而第一NMOS電晶體403之汲極係連接至第一PMOS電晶體402之汲極。此外，第一電容404之兩端係分別連接至輸出節點401b及第一NMOS電晶體403之源極。

接著，第二NMOS電晶體405之汲極則連接至第一NMOS電晶體403之源極；而第二PMOS電晶體406之源極係接受此控制電壓 V_{ctrl} 。再者，第二電容407之兩端係分別連接至輸出節點401b及第二PMOS電晶體406之汲極。此外，第三PMOS電晶體408之源極係連接至第二PMOS電晶體406之汲極，而第三NMOS電晶體409之源極係接地，且第三NMOS電晶體409之汲極係連接至第三PMOS電晶體408之汲極。

最後，第四NMOS電晶體410之汲極係連接至此第一PMOS電晶體402之汲極；而第四PMOS電晶體411之源極係連接至第四NMOS電晶體410之源極，且第四PMOS電晶體411之汲極係連接至第三PMOS電晶體408之汲極；其中，第一NMOS電晶體403之閘極、第一PMOS電晶體402之閘極、第三NMOS電晶體409之閘極、第三PMOS電晶體408之閘極、第四NMOS電晶體410之閘極、第四PMOS電晶體411之閘極、與此反相器401之輸入節點401a係互相連接形成一輸

入端 V_{IN} (由前述說明與圖示可知，排序在此串聯電路結構下的第一個靴帶式延遲電路單元的輸入端 V_{IN} 即對應於 V_{23})，而第四 NMOS 電晶體 410 之源極與第四 PMOS 電晶體 411 之源極係互相連接形成一輸出端 V_{OUT} (由前述說明與圖示可知，排序在此串聯電路結構下的最後一個靴帶式延遲電路單元的輸出端 V_{OUT} 即對應於 V_{23})。

由於本發明第二實施例之環型振盪器與本發明第一實施例之差異僅在於靴帶式延遲電路單元的電路架構不同，因此於本發明第二實施例中僅描述第二實施例所用之靴帶式延遲電路單元的電路架構，其原理與功效便不再贅述。

實施例 3

本發明第三實施例之環型振盪器係與本發明第一實施例之環型振盪器相似，其差異係僅在於靴帶式延遲電路單元的電路架構不同。請參閱圖 5，圖 5 係本發明第三實施例之環型振盪器中所用之靴帶式延遲電路單元之電路架構示意圖。

如圖 5 所示，本發明第三實施例之環型振盪器中所用之靴帶式延遲電路單元係包含：一反相器 501、一第一 PMOS 電晶體 502、一第二 PMOS 電晶體 503、一第一 NMOS 電晶體 504、一第二 NMOS 電晶體 505、一第一電容 506、一第二電容 507、一第三 PMOS 電晶體 508、一第四 PMOS 電晶體 509、一第三 NMOS 電晶體 510、一第四 NMOS 電晶體 511、一第三電容 512、一第四電容 513、一第五 PMOS 電晶 514、及一第五 NMOS 電晶體 515。

其中，反相器501係具有一輸入節點501a及一輸出節點501b，而第一PMOS電晶體502之源極係接受此控制電壓 V_{ctrl} 。再者，第二PMOS電晶體503之源極係連接至第一PMOS電晶體502之閘極，而第二PMOS電晶體503之閘極係連接至反相器501之輸入節點501a。此外，第一NMOS電晶體504之汲極係連接至第一PMOS電晶體502之閘極，而第一NMOS電晶體504之閘極係連接至反相器501之此輸入節點501a。

接著，第二NMOS電晶體505之源極係接地，而第二NMOS電晶體505之汲極係連接至第一NMOS電晶體504之源極，且第二NMOS電晶體504之閘極係連接至反相器501之此輸出節點501a。再者，第一電容506之兩端係分別連接至反相器501之輸出節點501b及第二NMOS電晶體505之閘極；第二電容之兩端係分別連接至反相器501之此輸出節點501b及第二PMOS電晶體503之汲極。

除此之外，第三PMOS電晶體508之源極係接地，而第三PMOS電晶體506之閘極係連接至反相器501之輸出節點501b，第四PMOS電晶體509之源極係連接至第三PMOS電晶體508之汲極，而第四PMOS電晶體509之閘極係連接至反相器501之此輸入節點501a。再者，第三NMOS電晶體510之源極係連接至第四PMOS電晶體509之汲極，且第三NMOS電晶體510之閘極係連接至反相器501之輸入節點501a。第四NMOS電晶體511之源極係接地，而第四NMOS電晶體511之

閘極係連接至第三NMOS電晶體510之源極，且第四NMOS電晶體511之汲極係連接至第三NMOS電晶體510之汲極。

其中，第三電容512之兩端係分別連接至反相器501之輸出節點501b及第三NMOS電晶體510之汲極，而第四電容513之兩端係分別連接至反相器501之輸出節點501b及第三PMOS電晶體508之汲極。

最後，第五PMOS電晶體514之源極係連接至第一PMOS電晶體502之汲極；第五NMOS電晶體515之汲極係連接至第四NMOS電晶體511之汲極。其中，第五PMOS電晶體514之閘極與第五NMOS電晶體515之閘極係互相連接形成一輸入端 V_{IN} (由前述說明與圖示可知，排序在此串聯電路結構下的第一個靴帶式延遲電路單元的輸入端 V_{IN} 即對應於 V_{23})，而第五PMOS電晶體514之汲極與第五NMOS電晶體515之源極係互相連接形成一輸出端 V_{OUT} (由前述說明與圖示可知，排序在此串聯電路結構下的最後一個靴帶式延遲電路單元的輸出端 V_{OUT} 即對應於 V_{23})。

由於本發明第三實施例之環型振盪器與本發明第一實施例之差異僅在於靴帶式延遲電路單元的電路架構不同，因此於本發明第三實施例中僅描述第三實施例所用之靴帶式延遲電路單元的電路架構，其原理與功效便不再贅述。

綜上所述，於本發明所提供之環型振盪器中，由於每一級靴帶式延遲電路單元的輸入與輸出電壓被抬升至 $2V_{Ctrl}$ 及 $-V_{Ctrl}$ ，使得每顆電晶體可以遠離次臨界區的操作，

因此可以得到良好的輸出頻率與控制電壓的線性度，而且受到製程變異的影響也較傳統的架構來得小。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係電晶體臨界電壓與操作電壓之關係趨勢圖。

圖2係本發明之環型振盪器之示意圖。

圖3係本發明第一實施例之環型振盪器中所用之靴帶式延遲電路單元之電路架構示意圖。

圖4係本發明第二實施例之環型振盪器中所用之靴帶式延遲電路單元之電路架構示意圖。

圖5係本發明第三實施例之環型振盪器中所用之靴帶式延遲電路單元之電路架構示意圖。

圖6係本發明之環型振盪器之輸出頻率與控制電壓關係圖。

【主要元件符號說明】

21、22、23 延遲電路單元

V_{21} 、 V_{22} 、 V_{23} 節點

V_{ctrl} 控制電壓

31 第一反相器

32 第二反相器

33 第一PMOS電晶體

34 第一電容

35 第二PMOS電晶體

36 第一NMOS電晶體

37 第二NMOS電晶體

38 第二電容

31a	第一輸入節點	31b	第一輸出節點
32a	第二輸入節點	32b	第二輸出節點
V_{IN}	輸入端	V_{OUT}	輸出端
V_{BH} 、 V_{BL}	節點	401	反相器
402	第一PMOS電晶體	403	第一NMOS電晶體
404	第一電容	405	第二NMOS電晶體
406	第二PMOS電晶體	407	第二電容
408	第三PMOS電晶體	409	第三NMOS電晶體
410	第四NMOS電晶體	411	第四PMOS電晶體
401a	輸入節點	401b	輸出節點
501	反相器	502	第一PMOS電晶體
503	第二PMOS電晶體	504	第一NMOS電晶體
505	第二NMOS電晶體	506	第一電容
507	第二電容	508	第三PMOS電晶體
509	第四PMOS電晶體	510	第三NMOS電晶體
511	第四NMOS電晶體	512	第三電容
513	第四電容	514	第五PMOS電晶
515	第五NMOS電晶體	501a	輸入節點
501b	輸出節點		

七、申請專利範圍：

1. 一種環型振盪器，包括：

N個延遲電路單元，每一該等延遲電路單元係具有一輸入端及一輸出端，N係至少為3；

其中，每一該等延遲電路單元係接受一控制電壓，該等延遲電路單元係互相串聯，每一該等延遲電路單元之該輸入端係與相鄰之另一該延遲電路單元之該輸出端電性連接，互相串聯之該等延遲電路單元係形成一迴路；

其中，每一該等延遲電路單元係為一靴帶式延遲電路單元，每一該等延遲電路單元輸出一電壓訊號為 $2V_{ctrl}$ 至 $(-V_{ctrl})$ 的擺幅訊號，其中 V_{ctrl} 係控制訊號。

2. 如申請專利範圍第1項所述之環型振盪器，其中，該靴帶式延遲電路單元係包含：

一第一反相器，該第一反相器係具有一第一輸入節點及一第一輸出節點；

一第二反相器，該第二反相器係具有一第二輸入節點及一第二輸出節點；

一第一PMOS電晶體，該第一PMOS電晶體之源極係接受該控制電壓；

一第一電容，該第一電容之兩端係分別連接至該第一反相器之該第一輸出節點及該第一PMOS電晶體之汲極；

一第二PMOS電晶體，該第二PMOS電晶體之閘極係連接至該第一反相器之該第一輸入節點，而該第二PMOS電晶體之源極則連接至該第一PMOS電晶體之汲極；

一第一NMOS電晶體，該第一NMOS電晶體之閘極係連接至該第一反相器之該第一輸入節點，而該第一NMOS電晶體之汲極則連接至該第二PMOS電晶體之汲極；

一第二NMOS電晶體，該第二NMOS電晶體之源極係接地，而該第二NMOS電晶體之汲極則連接至該第一NMOS電晶體之源極；以及

一第二電容，該第二電容之兩端係分別連接至該第二反相器之該第二輸出節點及該第二NMOS電晶體之汲極；

其中，該第一輸入節點與該第二輸入節點係互相連接形成該輸入端，而該第一PMOS電晶體之閘極、該第二PMOS電晶體之汲極、該第一NMOS電晶體之汲極、與該第二NMOS電晶體之閘極係互相連接形成該輸出端。

3. 如申請專利範圍第2項所述之環型振盪器，其中，該第一反相器及該第二反相器係為一CMOS反相器。

4. 如申請專利範圍第1項所述之環型振盪器，其中，該靴帶式延遲電路單元係包含：

一反相器，該反相器係具有一輸入節點及一輸出節點；

一第一PMOS電晶體，該第一PMOS電晶體之源極係接受該控制電壓；

一第一NMOS電晶體，該第一NMOS電晶體之汲極係連接至該第一PMOS電晶體之汲極；

一第一電容，該第一電容之兩端係分別連接至該輸出節點及該第一NMOS電晶體之源極；

一 第二NMOS電晶體，該第二NMOS電晶體之源極係接地，而該第二NMOS電晶體之汲極則連接至該第一NMOS電晶體之源極；

一 第二PMOS電晶體，該第二PMOS電晶體之源極係接受該控制電壓；

一 第二電容，該第二電容之兩端係分別連接至該輸出節點及該第二PMOS電晶體之汲極；

一 第三PMOS電晶體，該第三PMOS電晶體之源極係連接至該第二PMOS電晶體之汲極；

一 第三NMOS電晶體，該第三NMOS電晶體之源極係接地，該第三NMOS電晶體之汲極係連接至該第三PMOS電晶體之汲極；

一 第四NMOS電晶體，該第四NMOS電晶體之汲極係連接至該第一PMOS電晶體之汲極；以及

一 第四PMOS電晶體，該第四PMOS電晶體之源極係連接至該第四NMOS電晶體之源極，而該第四PMOS電晶體之汲極係連接至該第三PMOS電晶體之汲極；

其中，該第一NMOS電晶體之閘極、該第一PMOS電晶體之閘極、該第三NMOS電晶體之閘極、該第三PMOS電晶體之閘極、該第四NMOS電晶體之閘極、該第四PMOS電晶體之閘極、與該反相器之該輸入節點係互相連接形成該輸入端，而該第四NMOS電晶體之源極與該第四PMOS電晶體之源極係互相連接形成該輸出端。

5. 如申請專利範圍第4項所述之環型振盪器，其中，該反相器係為一CMOS反相器。

6. 如申請專利範圍第1項所述之環型振盪器，其中，該靴帶式延遲電路單元係包含：

一反相器，該反相器係具有一輸入節點及一輸出節點；

一第一PMOS電晶體，該第一PMOS電晶體之源極係接受該控制電壓；

一第二PMOS電晶體，該第二PMOS電晶體之源極係連接至該第一PMOS電晶體之閘極，該第二PMOS電晶體之閘極係連接至該反相器之該輸入節點；

一第一NMOS電晶體，該第一NMOS電晶體之汲極係連接至該第一PMOS電晶體之閘極，該第一NMOS電晶體之閘極係連接至該反相器之該輸入節點；

一第二NMOS電晶體，該第二NMOS電晶體之源極係接地，該第二NMOS電晶體之汲極係連接至該第一NMOS電晶體之源極，該第二NMOS電晶體之閘極係連接至該反相器之該輸出節點；

一第一電容，該第一電容之兩端係分別連接至該反相器之該輸出節點及該第二NMOS電晶體之閘極；

一第二電容，該第二電容之兩端係分別連接至該反相器之該輸出節點及該第二PMOS電晶體之汲極；

一第三PMOS電晶體，該第三PMOS電晶體之源極係接地，該第三PMOS電晶體之閘極係連接至該反相器之該輸出節點；

一 第四PMOS電晶體，該第四PMOS電晶體之源極係連接至該第三PMOS電晶體之汲極，該第四PMOS電晶體之閘極係連接至該反相器之該輸入節點；

一 第三NMOS電晶體，該第三NMOS電晶體之源極係連接至該第四PMOS電晶體之汲極，該第三NMOS電晶體之閘極係連接至該反相器之該輸入節點；

一 第四NMOS電晶體，該第四NMOS電晶體之源極係接地，該第四NMOS電晶體之閘極係連接至該第三NMOS電晶體之源極，該第四NMOS電晶體之汲極係連接至該第三NMOS電晶體之汲極；

一 第三電容，該第三電容之兩端係分別連接至該反相器之該輸出節點及該第三NMOS電晶體之汲極；

一 第四電容，該第四電容之兩端係分別連接至該反相器之該輸出節點及該第三PMOS電晶體之汲極；

一 第五PMOS電晶體，該第五PMOS電晶體之源極係連接至該第一PMOS電晶體之汲極；以及

一 第五NMOS電晶體，該第五NMOS電晶體之汲極係連接至該第四NMOS電晶體之汲極；

其中，該第五PMOS電晶體之閘極與該第五NMOS電晶體之閘極係互相連接形成該輸入端，而該第五PMOS電晶體之汲極與該第五NMOS電晶體之源極係互相連接形成該輸出端。

八、圖式 (請見下頁):

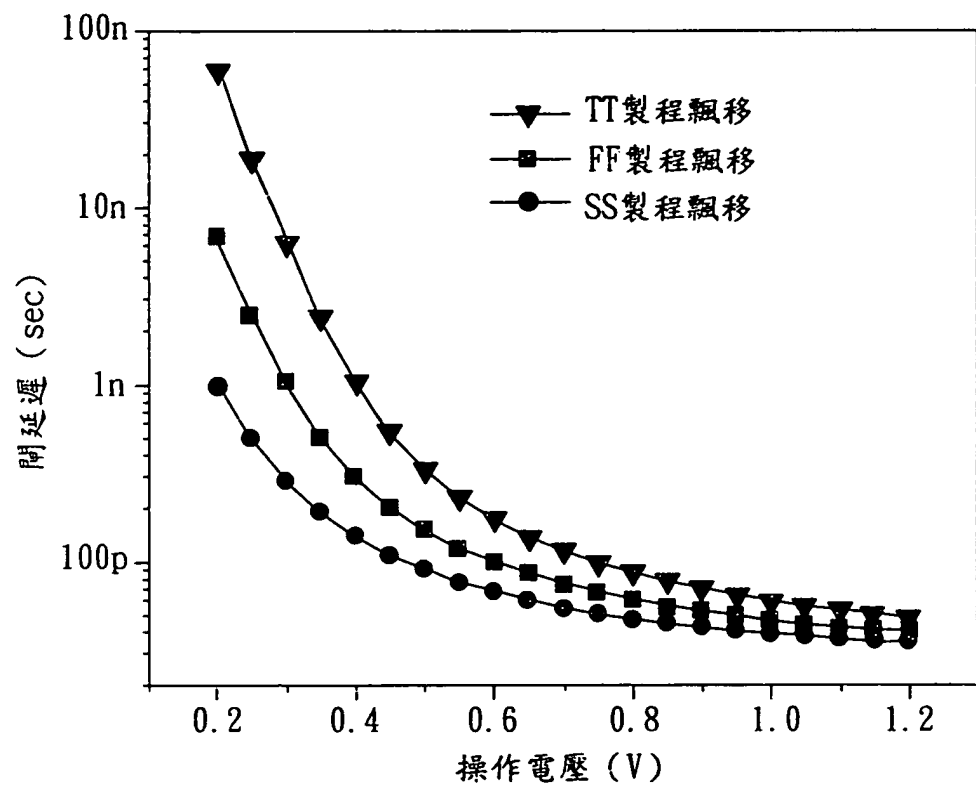


圖1

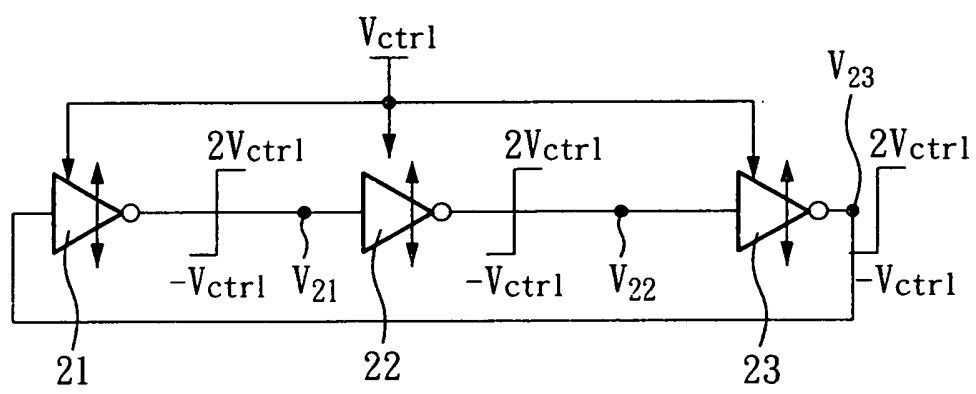


圖 2

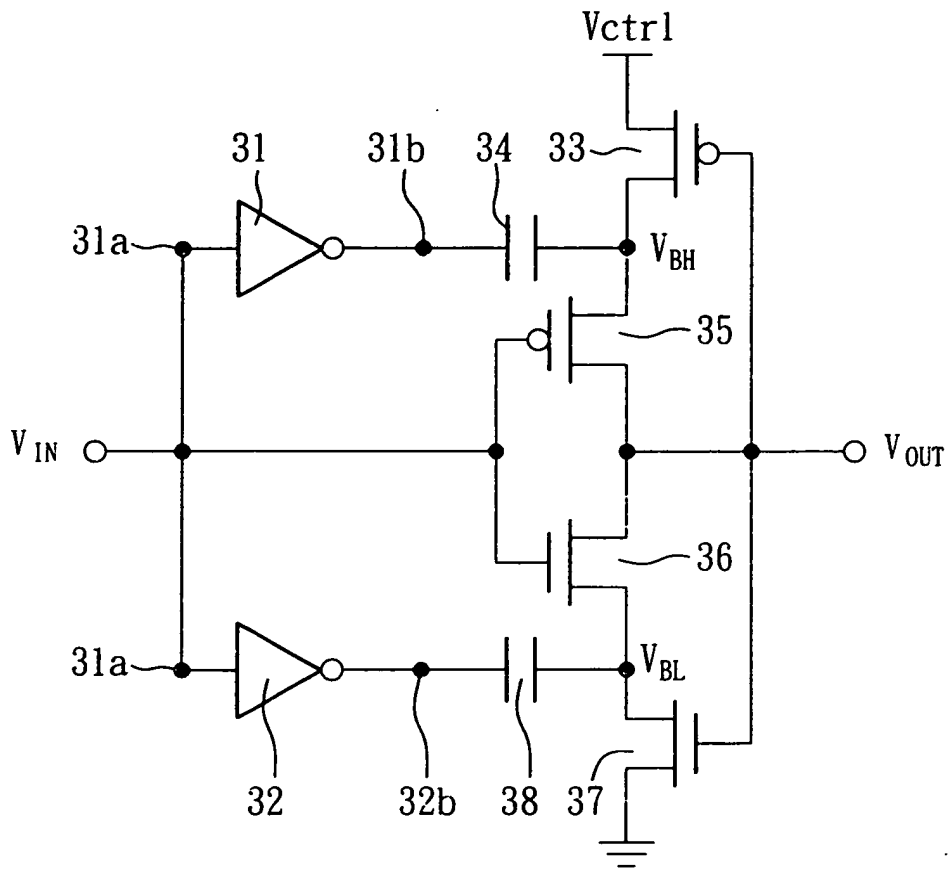


圖 3

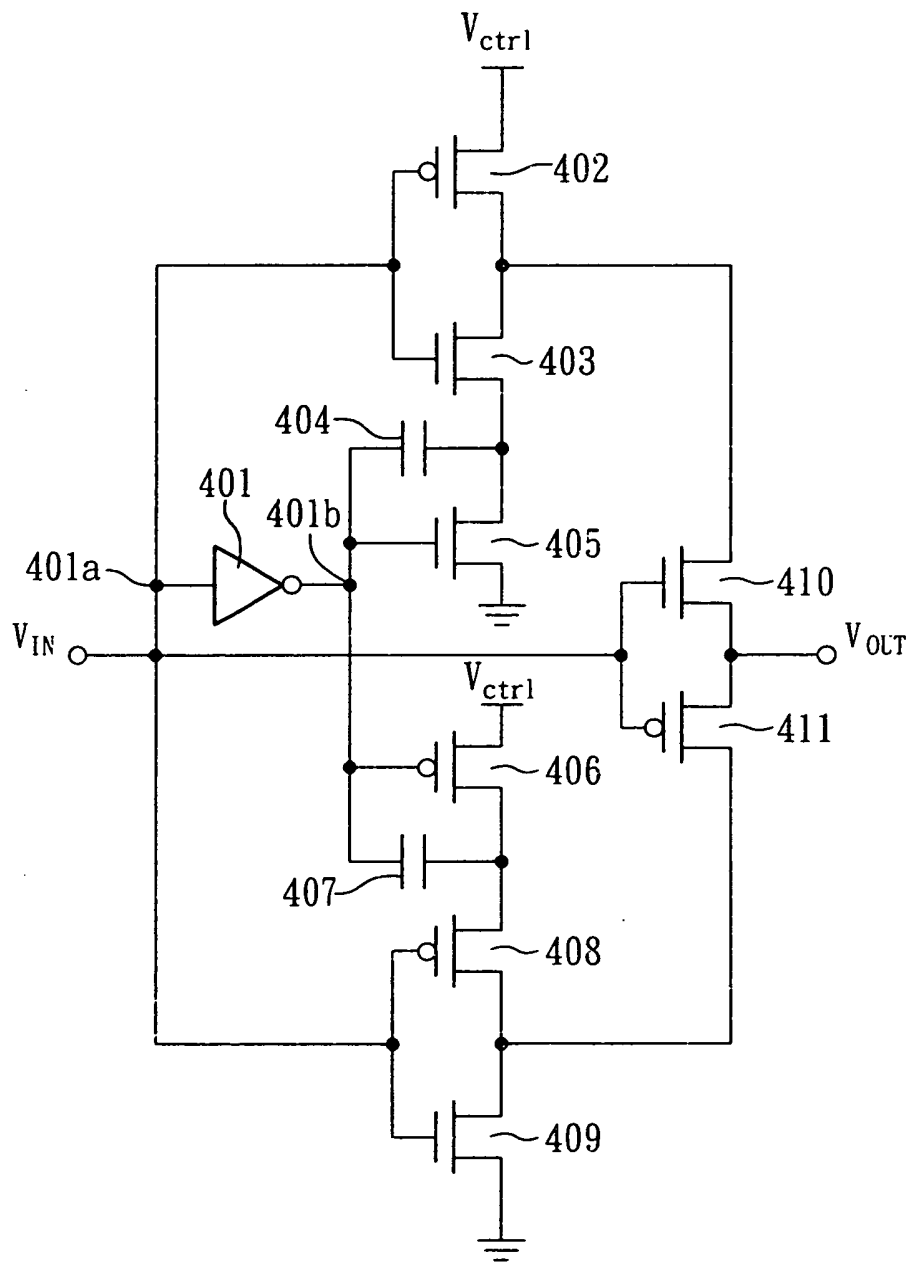


圖4

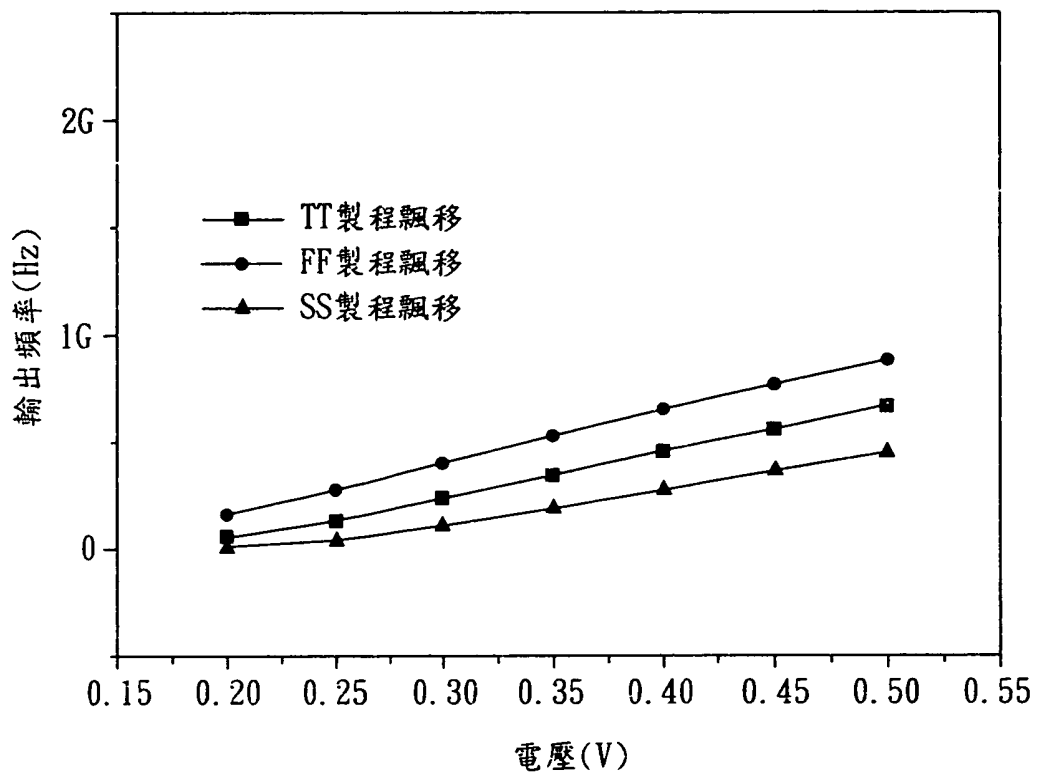


圖6