



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201517268 A

(43) 公開日：中華民國 104 (2015) 年 05 月 01 日

(21) 申請案號：103114272

(22) 申請日：中華民國 103 (2014) 年 04 月 18 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30) 優先權：2013/10/31 中華民國

102139565

(71) 申請人：奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)

臺南市新市區紫棟路 26 號

原景科技股份有限公司 (中華民國) HIMAX ANALOGIC, INC. (TW)

臺南市新市區紫棟路 26 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：蘇潮源 SU, CHAOYUAN (TW)；吳清逸 WU, CHINGYI (TW)；陳弘斌 CHEN, HUNGBIN (TW)；張俊彥 (TW)

(74) 代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：2 共 23 頁

(54) 名稱

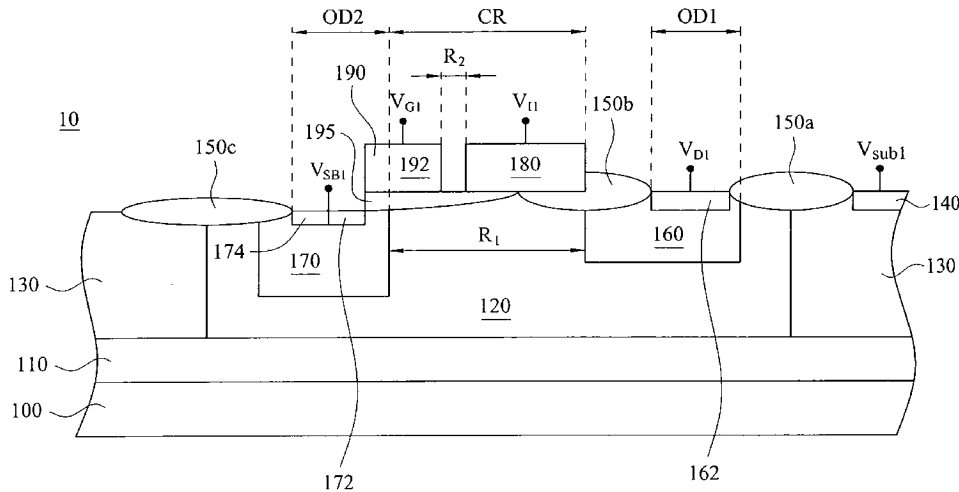
水平擴散金氧半導體元件

LATERAL DIFFUSED METAL OXIDE SEMICONDUCTOR DEVICE

(57) 摘要

一種水平擴散 N 型金氧半導體元件，包括半導體基底、磊晶層在半導體基底上、圖案化的隔離層在磊晶層上、N 型雙擴散區於圖案化的隔離層的第一主動區中、N 型濃摻雜汲極區設置於 N 型雙擴散區中、P 型體摻雜區設置於圖案化的隔離層的第二主動區中、一對相鄰的 N 型濃摻雜源極區和 P 型濃摻雜源極區設置於 P 型體摻雜區中、第一閘極結構設置於通道區上以及第二閘極結構設置於第二主動區上。第二閘極結構與第一閘極結構相隔預定距離。N 型雙擴散區的製作方式包括離子佈植及磊晶層摻雜。

A lateral diffused N-type metal oxide semiconductor device includes a semiconductor substrate, an epi-layer on the semiconductor substrate, a patterned isolation layer on the epi-layer, a N-type double diffused drain (NDDD) region in a first active region of the patterned isolation layer, a N+ heavily doped drain region disposed in the NDDD region, a P-body diffused region disposed in a second active region of the patterned isolation layer, a neighboring pair of a N+ heavily doped source region and a P+ heavily doped source region disposed in the P-body diffused region, a first gate structure disposed above a channel region of the patterned isolation layer and a second gate structure disposed above the second active region. The second gate structure and the first gate structure are spaced at a predetermined distance. A making method of the NDDD region includes using an ion implant and an epitaxy layer doping.



第 1 圖

- 10 . . . 水平擴散 N 型金氧半導體元件
- 100 . . . 半導體基底
- 110 . . . 磊晶層
- 120 . . . 高電壓 N 型井區
- 130 . . . 高電壓 P 型井區
- 140 . . . P 型濃擴散區
- 150a、150b、150c . . . 圖案化的隔離區
- 160 . . . N 型雙擴散區
- 162 . . . N 型濃摻雜汲極區
- 170 . . . P 型體摻雜區
- 172 . . . N 型濃摻雜源極區
- 174 . . . P 型濃摻雜源極區
- 180 . . . 第一閘極結構
- 190 . . . 第二閘極結構
- 192 . . . 延伸部
- 195 . . . 閘極介電層
- CR . . . 通道區
- OD1 . . . 第一主動區
- OD2 . . . 第二主動區
- R₁ . . . 第一預定距離
- R₂ . . . 第二預定距離
- V_{D1} . . . 汲極電壓

V_{G1} . . . 閘極電壓

V_{I1} . . . 輸入電壓

V_{SB1} . . . 電壓

V_{sub1} . . . 基底電壓

發明摘要

※申請案號： 103114272

※申請日： 103. 4. 18

※IPC 分類：

【發明名稱】

水平擴散金氧半導體元件

LATERAL DIFFUSED METAL OXIDE SEMICONDUCTOR
DEVICE

H01L 21/78 (2006.01)

H01L 21/28 (2006.01)

【中文】

一種水平擴散 N 型金氧半導體元件，包括半導體基底、磊晶層在半導體基底上、圖案化的隔離層在磊晶層上、N 型雙擴散區於圖案化的隔離層的第一主動區中、N 型濃摻雜汲極區設置於 N-型雙擴散區中、P 型體摻雜區設置於圖案化的隔離層的第二主動區中、一對相鄰的 N 型濃摻雜源極區和 P 型濃摻雜源極區設置於 P 型體摻雜區中、第一閘極結構設置於通道區上以及第二閘極結構設置於第二主動區上。第二閘極結構與第一閘極結構相隔預定距離。N 型雙擴散區的製作方式包括離子佈植及磊晶層摻雜。

【英文】

A lateral diffused N-type metal oxide semiconductor device includes a semiconductor substrate, an epi-layer on

the semiconductor substrate, a patterned isolation layer on the epi-layer, a N-type double diffused drain (NDDD) region in a first active region of the patterned isolation layer, a N+ heavily doped drain region disposed in the NDDD region, a P-body diffused region disposed in a second active region of the patterned isolation layer, a neighboring pair of a N+ heavily doped source region and a P+ heavily doped source region disposed in the P-body diffused region, a first gate structure disposed above a channel region of the patterned isolation layer and a second gate structure disposed above the second active region. The second gate structure and the first gate structure are spaced at a predetermined distance. A making method of the NDDD region includes using an ion implant and an epitaxy layer doping.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 10 水平擴散 N 型金氧半導體元件
- 100 半導體基底
- 110 磊晶層
- 120 高電壓 N 型井區
- 130 高電壓 P 型井區
- 140 P 型濃擴散區

- 150a、150b、150c 圖案化的隔離區
- 160 N型雙擴散區
- 162 N型濃摻雜汲極區
- 170 P型體摻雜區
- 172 N型濃摻雜源極區
- 174 P型濃摻雜源極區
- 180 第一閘極結構
- 190 第二閘極結構
- 192 延伸部
- 195 閘極介電層
- CR 通道區
- OD1 第一主動區
- OD2 第二主動區
- R_1 第一預定距離
- R_2 第二預定距離
- V_{D1} 汲極電壓
- V_{G1} 閘極電壓
- V_{I1} 輸入電壓
- V_{SB1} 電壓
- V_{sub1} 基底電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

【發明名稱】

水平擴散金氧半導體元件

LATERAL DIFFUSED METAL OXIDE SEMICONDUCTOR
DEVICE

【技術領域】

【0001】 本發明是有關於一種金氧半導體元件，且特別是有關於一種水平擴散 N 型或 P 型金氧半導體元件。

【先前技術】

【0002】 單晶片系統中已被大量地整合控制器、記憶體、低電壓電路元件與高電壓功率元件等裝置。例如，雙擴散金氧半導體 (double-diffused metal oxide semiconductor : DMOS) 電晶體常以低導通電阻 (on-resistance: R_{on}) 及高電壓操作以作為功率元件。

【0003】 在設計電晶體時，具有高崩潰電壓 (breakdown voltage : BV) 與低導通電阻是主要的兩個考慮因素。然而，於超大型積體電路邏輯電路 (VLSI) 之技術中，高電壓橫向擴散型金氧半導體 (lateral double-diffused metal oxide semiconductor : LDMOS)，相較於慣用的垂直擴散型金氧半導體 (vertical double-diffused metal oxide semiconductor : VDMOS)，其具有較高之導通電阻。如何降低導通電阻變成促進品質因素 (figure of merit : FOM) 的一個重要的因素，例如 BV/R_{on} 。

【發明內容】

【0004】 因此，本揭露提供一種水平擴散 N 型金氧半導體 (lateral diffused n-type metal oxide semiconductor : LDNMOS) 元件以及一種水平擴散 P 型金氧半導體 (lateral diffused p-type metal oxide semiconductor : LDPMOS) 元件，來降低水平擴散 N 型金氧半導體元件及水平擴散 P 型金氧半導體元件的導通電阻。

【0005】 本揭露之一態樣提出一種水平擴散 N 型金氧半導體元件，包含半導體基底、磊晶層 (epitaxial layer : epi-layer)、圖案化的隔離層、N 型雙擴散區 (N-type double diffused drain : NDDD)、N 型濃摻雜汲極區、P 型體摻雜區 (P-body diffused region)、一對相鄰的 N 型濃摻雜源極區 (N+ heavily doped source region) 和 P 型濃摻雜源極區 (P+ heavily doped source region)、第一閘極結構以及第二閘極結構。磊晶層在半導體基底上。圖案化的隔離層設置於磊晶層上，藉以定義第一主動區、第二主動區及通道區，其中通道區位於第一主動區及第二主動區之間。N 型雙擴散區設置於第一主動區中，N 型雙擴散區的製作方式可包括離子佈植 (Ion Implant) 及磊晶 (Epitaxy) 層摻雜 N 型雜質。N 型濃摻雜汲極區設置於 N-型雙擴散區中。P 型體摻雜區設置於第二主動區中，其中 N-型雙擴散區和 P-型體摻雜區相隔第一預定距離，以露出磊晶層。一對相鄰的 N 型濃摻雜源極區和 P 型濃摻雜源極區設置於 P 型體摻雜區中。第一閘極結構設置於通道區上。第二閘極結構設置於第二主動區上，其中第二閘極結構與第一閘極結構相隔第二預定距

離。

【0006】 在一或多個實施例中，第二閘極結構具有延伸部，延伸部係自一介面朝第一閘極結構延伸，且延伸部設置於通道區上，其中此介面位於 P 型體摻雜區與通道區之間。

【0007】 在一或多個實施例中，延伸部之長度與第一預定距離之比例係 0.13 至 0.52。

【0008】 在一或多個實施例中，延伸部之長度與第一預定距離之比例係 0.35 至 0.52。

【0009】 在一或多個實施例中，第二特定距離係 $0.1 \mu\text{m}$ 至 $10 \mu\text{m}$ 。

【0010】 在一或多個實施例中，更包含閘極介電層設置於第一閘極結構與通道區之間。

【0011】 在一或多個實施例中，閘極介電層之厚度為 12nm 至 100nm。

【0012】 在一或多個實施例中，閘極介電層之材質為二氧化矽。

【0013】 在一或多個實施例中，閘極介電層設置於第二閘極結構與第二主動區之間。

【0014】 在一或多個實施例中，第一閘極結構之長度為 1nm 至 1000nm。

【0015】 本揭露之另一態樣提出一種水平擴散 P 型金氧半導體元件，包含半導體基底、磊晶層、圖案化的隔離層、P 型雙擴散區 (P-type double diffused drain: PDDD)、P 型濃摻雜汲極區、N 型體摻雜區 (N-body diffused region)、一對

相鄰的 P 型濃摻雜源極區和 N 型濃摻雜源極區、第一閘極結構及第二閘極結構。磊晶層在半導體基底上。圖案化的隔離層設置於磊晶層上，藉以定義第一主動區、第二主動區及通道區，其中通道區位於第一主動區及第二主動區之間。P 型雙擴散區設置於第一主動區中，P 型雙擴散區的製作方式可包括離子佈植及磊晶層摻雜 P 型雜質。P 型濃摻雜汲極區設置於 P 型雙擴散區中。N 型體摻雜區於第二主動區中，其中 P 型雙擴散區和 N 型體摻雜區相隔第一預定距離，以露出磊晶層。一對相鄰的 P 型濃摻雜源極區和 N 型濃摻雜源極區設置於 N-型體摻雜區中。第一閘極結構設置於通道區上。第二閘極結構設置於第二主動區上，且第二閘極結構與第一閘極結構相隔第二預定距離。

【0016】 在一或多個實施例中，第二閘極結構具有延伸部，延伸部係自一介面朝第一閘極結構延伸，且延伸部設置於通道區上，其中此介面位於 N 型體摻雜區與通道區之間。

【0017】 在一或多個實施例中，延伸部之長度與第一預定距離之比例係 0.13 至 0.52。

【0018】 在一或多個實施例中，延伸部之長度與第一預定距離之比例係 0.35 至 0.52。

【0019】 在一或多個實施例中，第二特定距離係 $0.1 \mu\text{m}$ 至 $10 \mu\text{m}$ 。

【0020】 在一或多個實施例中，更包含閘極介電層設置於第一閘極結構與通道區之間。

【0021】 在一或多個實施例中，閘極介電層之厚度為 12nm

至 100nm。

【0022】 在一或多個實施例中，閘極介電層之材質為二氧化矽。

【0023】 在一或多個實施例中，閘極介電層設置於第二閘極結構與第二主動區之間。

【0024】 在一或多個實施例中，第一閘極結構之長度為 1nm 至 1000nm。

【0025】 根據上述，與習知技術相比，本揭露的技術方案具有明顯的優點以及有益的效果。藉由前述的技術措施，本揭露可製作相當的技術流程且具有廣泛的工業應用價值。本揭露的元件可以藉由第一閘極結構電性連接到一輸入電壓來達到降低導通電阻。再者，水平擴散 N 型金氧半導體元件及水平擴散 P 型金氧半導體元件的品質因素也可以被增益。

【圖式簡單說明】

【0026】

第 1 圖係繪示根據本揭露之一實施例的一種水平擴散 N 型金氧半導體元件之示意圖；以及

第 2 圖係繪示根據本揭露之一實施例的一種水平擴散 P 型金氧半導體元件之示意圖。

【實施方式】

【0027】 以下將以圖式及詳細說明清楚說明本揭露之精神，任何所屬技術領域中具有通常知識者在瞭解本揭露之

較佳實施例後，當可由本揭露所教示之技術，加以改變及修飾，其並不脫離本揭露之精神與範圍。

【0028】參照第 1 圖，第 1 圖係繪示根據本揭露之一實施例的一種水平擴散 N 型金氧半導體元件之示意圖。在第 1 圖中，一種水平擴散 N 型金氧半導體元件 10 包括半導體基底 100，例如 P 型矽基底，其上有磊晶層 110。磊晶層 110 包括高電壓 N 型井(high voltage N-well: HVNW)區 120，被高電壓 P 型井(high voltage P-well HVPW)區 130 環繞。高電壓 P 型井區 130 的表面包括 P 型濃擴散區 140，其中 P 型濃擴散區 140 被施加基底電壓 V_{sub1} 。

【0029】圖案化的隔離區 150a、150b 及 150c 設置於磊晶層 110 上，藉以定義第一主動區 OD1、第二主動區 OD2 以及通道區 CR，其中通道區 CR 位於第一主動區 OD1 及第二主動區 OD2 之間。在一些實施例中，圖案化的隔離區 150a、150b 及 150c 的材質是場氧化物(field oxide: FOX)。N 型雙擴散區 160 設置於第一主動區 OD1 中。在一例子中，N 型雙擴散區 160 的製作方式包括離子佈植及磊晶層 110 摻雜 N 型雜質。N 型濃摻雜汲極區 162 設置於 N 型雙擴散區 160 中，其中 N 型濃摻雜汲極區 162 被施加汲極電壓 V_{D1} 。P 型體摻雜區 170 設置於第二主動區 OD2 中，其中 N 型雙擴散區 160 和 P 型體摻雜區 170 相隔第一預定距離 R_1 ，藉以露出半導體基底 100。一對相鄰的 N 型濃摻雜源極區 172 和 P 型濃摻雜源極區 174 設置於 P 型體摻雜區 170 中，其中此對相鄰的 N 型濃摻雜源極區 172 和 P 型濃摻雜源極區

174 被施加電壓 V_{SB1} (源極到基體電壓)。第一閘極結構 180 設置於通道區 CR 上，以及第二閘極結構 190 設置於第二主動區 OD2 上，其中第二閘極結構 190 與第一閘極結構 180 相距第二預定距離 R_2 。在一些實施例中，第二預定距離 R_2 的範圍實質上為 $0.1 \mu\text{m}$ 至 $10 \mu\text{m}$ 。在其他實施例中，第一閘極結構 180 的長度實質上為 1nm 至 1000nm 。

【0030】 根據一些實施例，一直提供輸入電壓 V_{I1} 予第一閘極結構 180，但是當需要的時候才提供閘極電壓 V_{G1} 予第二閘極結構 190 以導通被定義的通道區 CR。選擇地，輸入電壓 V_{I1} 由汲極電極或單一電極所提供。詳細而言，水平擴散 N 型金氧半導體元件 10 可以作為開關。例如，第二閘極結構 190 具有自一介面朝第一閘極結構 180 延伸且設置在通道區 CR 上的延伸部 192，其中此介面位於 P 型體摻雜區 170 及通道區 CR 之間。當輸入電壓 V_{I1} 一直導通(ON)且閘極電壓 V_{G1} 切斷(OFF)，由於位於通道區 CR 上的延伸部 192 沒有導通，所以通道區 CR 就不會被導通。然而，位於通道區 CR 上的第一閘極結構 180 是一直導通的。因此，水平擴散 N 型金氧半導體元件 10 的導通電阻(R_{ON})就會降低。

【0031】 在一些實施例中，延伸部 192 的長度與第一預定距離 R_1 的比例的範圍實質上為 0.13 至 0.52。在其他實施例中，前述的比例的範圍實質上為 0.35 至 0.52。

【0032】 在某些實施例中，設置在第一閘極結構 180 及通道區 CR 之間的閘極介電層 195 的材質例如是二氧化矽的介電材料。其他常見的高介電(high-k)材料，如碳、鍺、矽鍺、

錄、氮、銻、磷及/或類似的材料，也可以用來形成閘極介電層 195。根據提供予第一閘極結構 180 的輸入電壓 V_{I1} ，閘極介電層 195 的厚度的範圍實質上為 12nm 至 100nm。一般而言，當輸入電壓 V_{I1} 越高，就需要越厚的閘極介電層 195 來避免水平擴散 N 型金氧半導體元件 10 受到損害。例如，第一閘極結構 180 被輸入 40 伏特，則閘極介電層 195 的厚度較佳為 100nm；或是第一閘極結構 180 被輸入 50 伏特，則閘極介電層 195 的厚度較佳為 12nm。在一些實施例中，閘極介電層 195 更設置在第二閘極結構 190 及第二主動區 OD2 之間。

【0033】 在一些實施例中，相對於不具有分開的閘極結構的習知的水平擴散 N 型金氧半導體元件，本揭露之水平擴散 N 型金氧半導體元件 10 具有較低的導通電阻。例如，本揭露之水平擴散 N 型金氧半導體元件 10 的導通電阻的範圍實質上是 502.87 至 541.48 歐姆，其中前述的延伸部 192 是 0.8 至 1.2 μm 、第一閘極結構 180 的長度是 0.5 至 0.9 μm 、第一預定距離 R_1 是 2.3 μm 、第二預定距離 R_2 是 0.6 μm 、閘極電壓 V_{G1} 是 5 伏特至 40 伏特以及前述的輸入電壓 V_{I1} 的範圍實質上是 5 伏特至 40 伏特。再者，較大的輸入電壓 V_{I1} 可產生較低的導通電阻。相反地，習知的水平擴散 N 型金氧半導體元件的導通電阻是 573.72 歐姆，其中未分開的閘極結構的長度是 2.3 μm 以及施加在未分開的閘極結構上的閘極電壓是 4 伏特。因此，本揭露的水平擴散 N 型金氧半導體元件 10 具有大約 6% 至 12% 範圍的導通電阻降低百

分率。

【0034】 參照第 2 圖，第 2 圖係繪示根據本揭露之一實施例的一種水平擴散 P 型金氧半導體元件之示意圖。在第 2 圖中，一種水平擴散 P 型金氧半導體元件 20 包括半導體基底 200，例如 N 型矽基底，其上有磊晶層 210。磊晶層 210 包括高電壓 P 型井區 220，被高電壓 N 型井區 230 環繞。高電壓 N 型井區 230 的表面包括 N 型濃擴散區 240，其中 N 型濃擴散區 240 被施加基底電壓 V_{sub2} 。

【0035】 圖案化的隔離區 250a、250b 及 250c 設置於磊晶層 210 上，藉以定義第一主動區 OD1、第二主動區 OD2 以及通道區 CR，其中通道區 CR 位於第一主動區 OD1 及第二主動區 OD2 之間。在一些實施例中，圖案化的隔離區 250a、250b 及 250c 的材質是場氧化物。P 型雙擴散區 260 設置於第一主動區 OD1 中。在一例子中，P 型雙擴散區 260 的製作方式包括離子佈植及磊晶層 210 摻雜 P 型雜質。P 型濃摻雜汲極區 262 設置於 P 型雙擴散區 260 中，其中 P 型濃摻雜汲極區 262 被施加汲極電壓 V_{D2} 。N 型體摻雜區 270 設置於第二主動區 OD2 中，其中 P 型雙擴散區 260 和 N 型體摻雜區 270 相隔第一預定距離 R_1 ，藉以露出半導體基底 200。一對相鄰的 P 型濃摻雜源極區 272 和 N 型濃摻雜源極區 274 設置於 N 型體摻雜區 270 中，其中此對相鄰的 P 型濃摻雜源極區 272 和 N 型濃摻雜源極區 274 被施加電壓 V_{SB2} (源極到基體電壓)。第一閘極結構 280 設置於通道區 CR 上，以及第二閘極結構 290 設置於第二主動區 OD2 上，

其中第二閘極結構 290 與第一閘極結構 280 相距第二預定距離 R_2 。

【0036】相似於前述實施例的水平擴散 N 型金氧半導體元件 10，第一閘極結構 280 被施加輸入電壓 V_{I2} 來降低水平擴散 P 型金氧半導體元件 20 的導通電阻，以及當需要時，第二閘極結構 290 被施加閘極電壓 V_{G2} 來導通被定義的通道區 CR。因此，可以被增益水平擴散 N 型金氧半導體元件 10 以及水平擴散 P 型金氧半導體元件 20 的品質因素。

【0037】雖然本揭露已以實施方式揭露如上，然其並非用以限定本揭露，在本揭露所屬技術領域中任何具有通常知識者，在不脫離本揭露之精神和範圍內，當可作各種之更動與潤飾，因此本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0038】

- 10 水平擴散 N 型金氧半導體元件
- 20 水平擴散 P 型金氧半導體元件
- 100 半導體基底
- 110 磊晶層
- 120 高電壓 N 型井區
- 130 高電壓 P 型井區
- 140 P 型濃擴散區
- 150a、150b、150c 圖案化的隔離區
- 160 N 型雙擴散區

- 162 N 型濃摻雜汲極區
- 170 P 型體摻雜區
- 172 N 型濃摻雜源極區
- 174 P 型濃摻雜源極區
- 180 第一閘極結構
- 190 第二閘極結構
- 192 延伸部
- 195 閘極介電層
- 200 半導體基底
- 210 磊晶層
- 220 高電壓 P 型井區
- 230 高電壓 N 型井區
- 240 N 型濃擴散區
- 250a、250b、250c 圖案化的隔離區
- 260 P 型雙擴散區
- 262 P 型濃摻雜汲極區
- 270 N 型體摻雜區
- 272 P 型濃摻雜源極區
- 274 N 型濃摻雜源極區
- 280 第一閘極結構
- 290 第二閘極結構
- CR 通道區
- OD1 第一主動區
- OD2 第二主動區

R_1 第一預定距離

R_2 第二預定距離

V_{D1} 、 V_{D2} 汲極電壓

V_{G1} 、 V_{G2} 閘極電壓

V_{I1} 、 V_{I2} 輸入電壓

V_{SB1} 、 V_{SB2} 電壓

V_{sub1} 、 V_{sub2} 基底電壓

申請專利範圍

1. 一種水平擴散 N 型金氧半導體(LDNMOS)元件，包括：

- 半導體基底；
- 磊晶層在該半導體基底上；
- 圖案化的隔離層設置於該磊晶層上，藉以定義一第一主動區、一第二主動區及一通道區，其中該通道區位於該第一主動區及該第二主動區之間；
- N 型雙擴散區設置於該第一主動區中；
- N 型濃摻雜汲極區設置於該 N-型雙擴散區中；
- P 型體摻雜區設置於該第二主動區中，其中該 N-型雙擴散區和該 P-型體摻雜區相隔一第一預定距離，以露出該磊晶層；
- 一對相鄰的一 N 型濃摻雜源極區和一 P 型濃摻雜源極區設置於該 P 型體摻雜區中；
- 第一閘極結構設置於該通道區上；以及
- 第二閘極結構設置於該第二主動區上，其中該第二閘極結構與該第一閘極結構相隔一第二預定距離。

2. 如申請專利範圍第 1 項所述之水平擴散 N 型金氧半導體元件，其中該第二閘極結構具有一延伸部，該延伸部係自一介面朝該第一閘極結構延伸，且該延伸部設置於該通道區上，其中該介面位於該 P 型體摻雜區與該通道區之間。

3. 如申請專利範圍第 2 項所述之水平擴散 N 型金氧半導體元件，其中該延伸部之一長度與該第一預定距離之一比例係 0.13 至 0.52。

4. 如申請專利範圍第 2 項所述之水平擴散 N 型金氧半導體元件，其中該延伸部之一長度與該第一預定距離之一比例係 0.35 至 0.52。

5. 如申請專利範圍第 1 項所述之水平擴散 N 型金氧半導體元件，其中該第二特定距離係 $0.1 \mu\text{m}$ 至 $10 \mu\text{m}$ 。

6. 如申請專利範圍第 1 項所述之水平擴散 N 型金氧半導體元件，更包含一閘極介電層設置於該第一閘極結構與該通道區之間。

7. 如申請專利範圍第 6 項所述之水平擴散 N 型金氧半導體元件，其中該閘極介電層之一厚度為 12nm 至 100nm。

8. 如申請專利範圍第 6 項所述之水平擴散 N 型金氧半導體元件，其中該閘極介電層之材質為二氧化矽。

9. 如申請專利範圍第 6 項所述之水平擴散 N 型金氧半導體元件，其中該閘極介電層設置於該第二閘極結構與該

第二主動區之間。

10. 如申請專利範圍第 1 項所述之水平擴散 N 型金氧半導體元件，其中該第一閘極結構之一長度為 1nm 至 1000nm。

11. 一種水平擴散 P 型金氧半導體(LDPMOS)元件，包括：

一半導體基底；

一磊晶層在該半導體基底上；

一圖案化的隔離層設置於該磊晶層上，藉以定義一第一主動區、一第二主動區及一通道區，其中該通道區位於該第一主動區及該第二主動區之間；

一 P 型雙擴散區設置於該第一主動區中；

一 P 型濃摻雜汲極區設置於該 P 型雙擴散區中；

一 N 型體摻雜區於該第二主動區中，其中該 P 型雙擴散區和該 N 型體摻雜區相隔一第一預定距離，以露出該磊晶層；

一對相鄰的一 P 型濃摻雜源極區和一 N 型濃摻雜源極區設置於該 N-型體摻雜區中；

一第一閘極結構設置於該通道區上；以及

一第二閘極結構設置於該第二主動區上，且該第二閘極結構與該第一閘極結構相隔一第二預定距離。

12. 如申請專利範圍第 11 項所述之水平擴散 P 型金氧半導體元件，其中該第二閘極結構具有一延伸部，該延伸部係自一介面朝該第一閘極結構延伸，且該延伸部設置於該通道區上，其中該介面位於該 N 型體摻雜區與該通道區之間。

13. 如申請專利範圍第 12 項所述之水平擴散 P 型金氧半導體元件，其中該延伸部之一長度與該第一預定距離之一比例係 0.13 至 0.52。

14. 如申請專利範圍第 12 項所述之水平擴散 P 型金氧半導體元件，其中該延伸部之一長度與該第一預定距離之一比例係 0.35 至 0.52。

15. 如申請專利範圍第 11 項所述之水平擴散 P 型金氧半導體元件，其中該第二特定距離係 $0.1 \mu\text{m}$ 至 $10 \mu\text{m}$ 。

16. 如申請專利範圍第 11 項所述之水平擴散 P 型金氧半導體元件，更包含一閘極介電層設置於該第一閘極結構與該通道區之間。

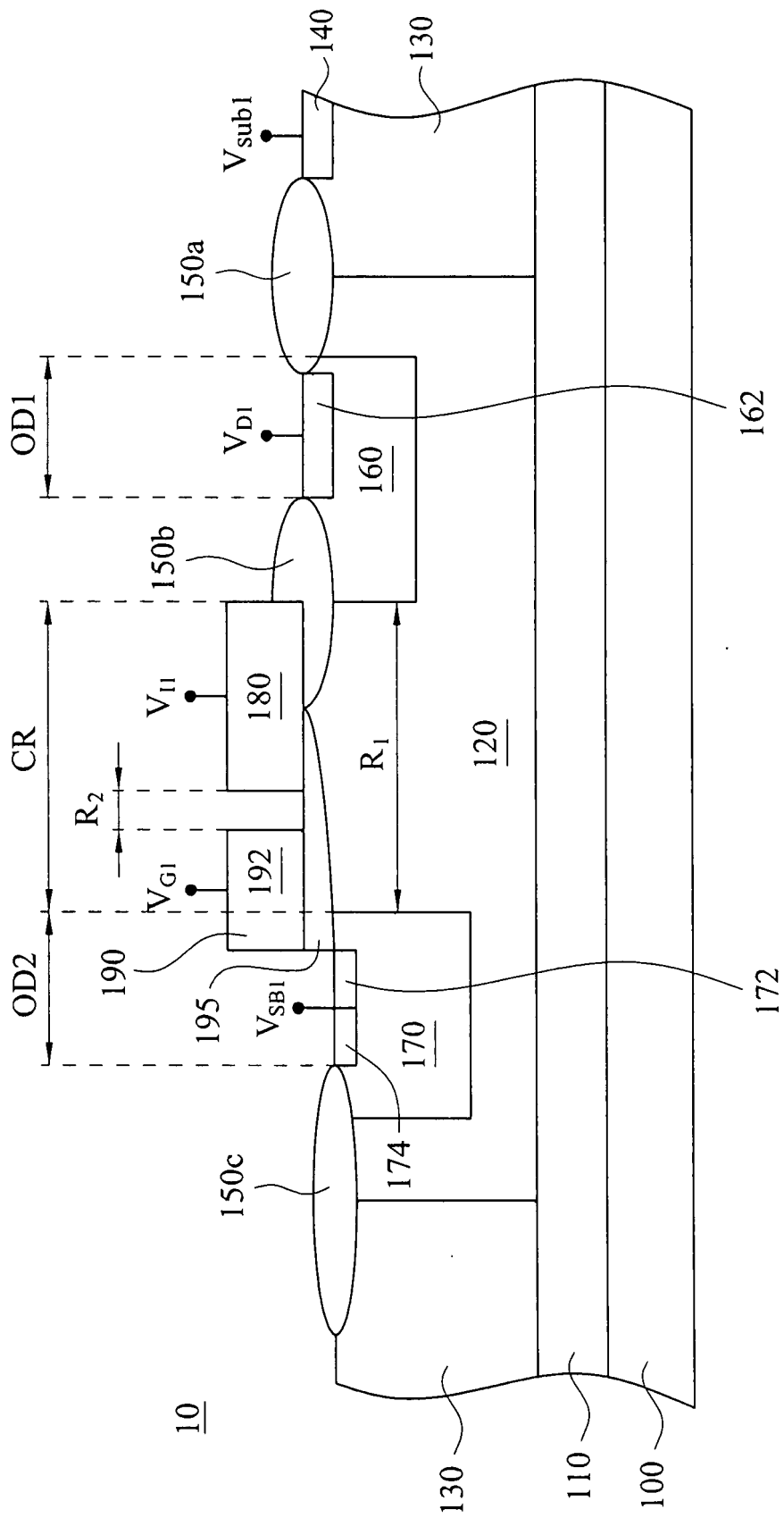
17. 如申請專利範圍第 16 項所述之水平擴散 P 型金氧半導體元件，其中該閘極介電層之一厚度為 12nm 至 100nm。

18. 如申請專利範圍第 16 項所述之水平擴散 P 型金氧半導體元件，其中該閘極介電層之材質為二氧化矽。

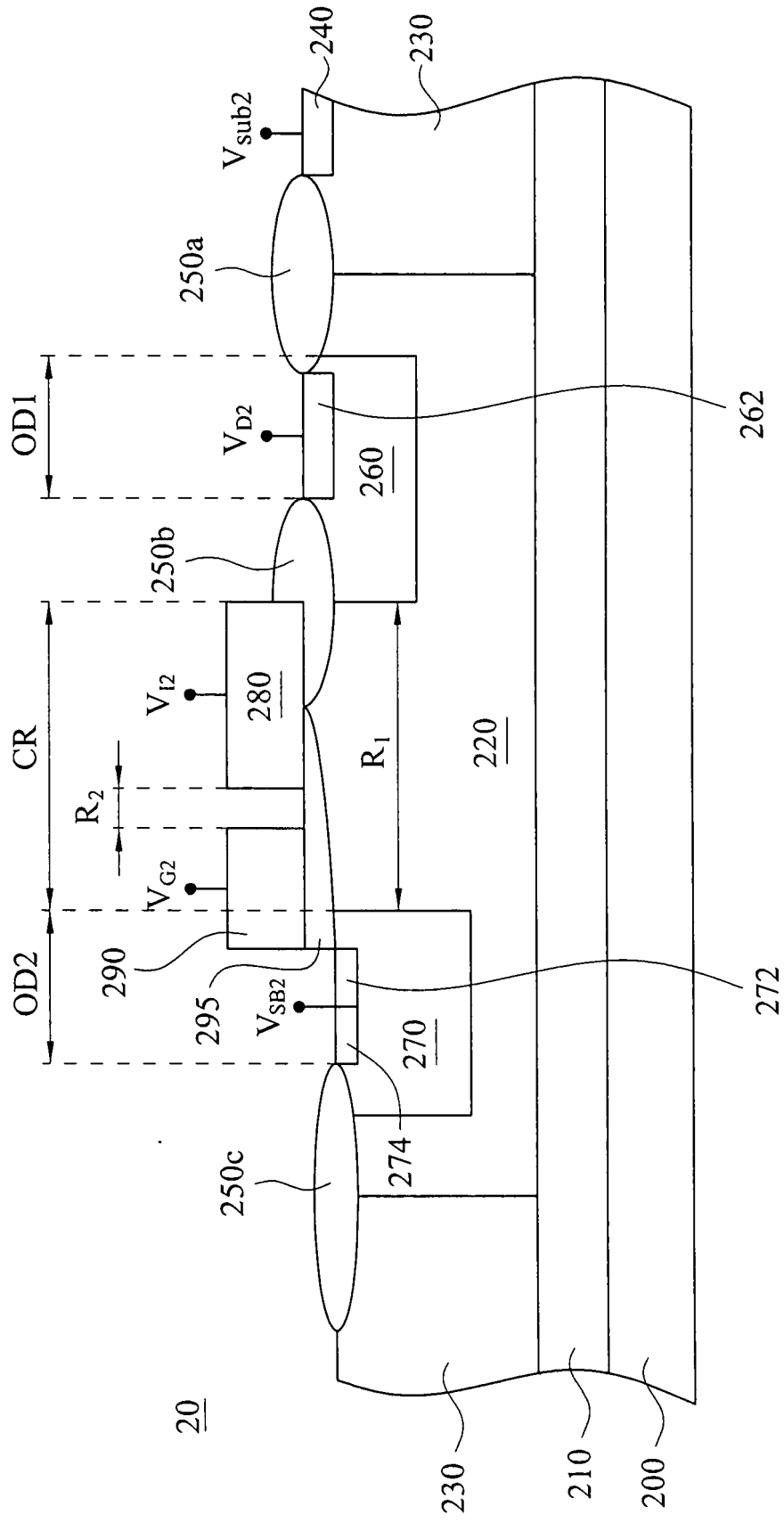
19. 如申請專利範圍第 16 項所述之水平擴散 P 型金氧半導體元件，其中該閘極介電層設置於該第二閘極結構與該第二主動區之間。

20. 如申請專利範圍第 11 項所述之水平擴散 P 型金氧半導體元件，其中該第一閘極結構之長度為 1nm 至 1000nm。

圖式



第 1 圖



第 2 圖