



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201515219 A

(43) 公開日：中華民國 104 (2015) 年 04 月 16 日

(21) 申請案號：102136932

(22) 申請日：中華民國 102 (2013) 年 10 月 14 日

(51) Int. Cl. :

*H01L29/778 (2006.01)**H01L21/22 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, YI (TW)；黃延儀 WONG, YUEN YEE (MY)；謝祈峰 HSIEH, CHI FENG (TW)

(74) 代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 14 頁

(54) 名稱

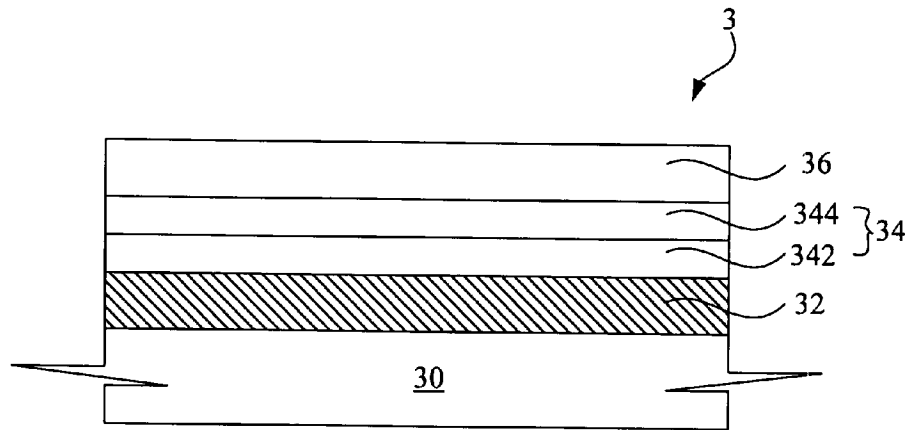
含氮化鎵之半導體結構

GAN-CONTAINING SEMICONDUCTOR STRUCTURE

(57) 摘要

一種含氮化鎵之半導體結構的形成方法，包括提供基板、將成核層(nucleation layer)形成在基板上、將擴散阻擋層(diffusion blocking layer)形成在成核層上、將應力釋放層(strain relief layer)形成在擴散阻擋層上以及將半導體層形成在應力釋放層上，其中擴散阻擋層係形成在成核層上而可以防止雜質向基板擴散的向外擴散效應發生。

A method for forming a GaN-containing semiconductor structure is provided. The method includes a substrate is provided, a nucleation layer is formed above the substrate, a diffusion blocking layer is formed above the nucleation layer, a strain relief layer is formed above the diffusion blocking layer, and a semiconductor layer is formed above the stain relief layer, in which the diffusion blocking layer is deposited on the nucleation layer such that the diffusion blocking layer can prevent the impurities out-diffusion from the substrate.



- 3 . . . 含氮化鎵之半
導體結構
- 30 . . . 基板
- 32 . . . 成核層
- 34 . . . 緩衝層
- 342 . . . 擴散阻擋層
- 344 . . . 應力釋放層
- 36 . . . 氮化鎵半導
體層

第 2 圖

201515219

發明摘要

※ 申請案號：102176932
 ※ 申請日：102.10.14

※IPC 分類：H01L29/1778 2006.01
 H01L21/22 2006.01

【發明名稱】 含氮化鎵之半導體結構/GaN-containing semiconductor structure

【中文】

一種含氮化鎵之半導體結構的形成方法，包括提供基板、將成核層(nucleation layer)形成在基板上、將擴散阻擋層(diffusion blocking layer)形成在成核層上、將應力釋放層(strain relief layer)形成在擴散阻擋層上以及將半導體層形成在應力釋放層上，其中擴散阻擋層係形成在成核層上而可以防止雜質向基板擴散的向外擴散效應發生。

【英文】

A method for forming a GaN-containing semiconductor structure is provided. The method includes a substrate is provided, a nucleation layer is formed above the substrate, a diffusion blocking layer is formed above the nucleation layer, a strain relief layer is formed above the diffusion blocking layer, and a semiconductor layer is formed above the stain relief layer, in which the diffusion blocking layer is deposited on the nucleation layer such that the diffusion blocking layer can prevent the impurities out-diffusion from the substrate.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

- 3 含氮化鎵之半導體結構
- 30 基板
- 32 成核層

34 緩衝層

342 擴散阻擋層

344 應力釋放層

36 氮化鎵半導體層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

含氮化鎵之半導體結構/GaN-containing semiconductor structure

【技術領域】

【0001】 本發明係有關於一種半導體結構，更特別的是一可供氮化鎵電子元件使用之含氮化鎵之半導體結構及其形成方法。

【先前技術】

【0002】 一般來說，對於製作具有氮化鎵之電子元件製程來說，需要藉由品質良好氮化鋁緩衝層來降低整個電子元件的漏電流(current leakage)的問題。而氮化鋁緩衝層的特性在於可以防止氧原子(oxygen)從基板內的向外擴散(out-diffusion)，特別是指藍寶石(sapphire)基板。另外，氮化鋁緩衝層也可以防止矽(Si)原子由矽基板或是碳化矽基板擴散進入氮化鎵材料中。

【0003】 然而，由於氮化鋁緩衝層的粗糙表面以及在氮化鋁材料及氮化鎵材料之間的大晶格常數不匹配，使得在氮化鋁緩衝層所成長的氮化鎵層上的粗糙表面形態也會受到影響。

【0004】 在習知技術中，係在氮化鋁的成長過程中通過調整氨氣(NH₃)通入成長腔體方法，也就是周期性的通入，此方法可以提高鋁原子在材料表面的擴散距離，使得在所形成的氮化鋁的表面係為平坦表面。然而此方法係為複雜及具困難的氮化鋁的成長控制。除此之外，此方法也會降低氮化鋁的成長速率。利用此方法的問題還包括由於快速的開啟及關閉操作會導致於在金屬有機化學氣相沉積(MOCVD)的質量流率控制器(mass flow controller)或者是在分子束磊晶(MBE)中的機械快門(mechanical shutter)失去其功能性。

【0005】 於另一習知技術中，係在金屬有機化學氣相沉積法中使用較極端的成長條件，例如非常高的成長溫度如大於 1200°C，或者是非常低的

五族元素(V group)與三族元素(III group)的氣體流率比，例如 V/III 比例小於 10。然而，並非所有的反應器都可以提供非常高溫以及非常低的氣體流速比。對大多數的 MOCVD 的反應器而言，此種較為極端的成長參數可能超出了成長條件的最佳範圍。此種結果，係會影響在反應器內的氣體流動的動力學。

【0006】 另外也有利用氮化鎵鋁緩衝層來防止向外擴散的問題。但是氮化鎵鋁層的效果沒有氮化鋁來的好，這是因為氮化鎵鋁具有較高的能隙 (band gap)。因此在此材料裡的雜質例如氧原子會趨向於形成捕捉雜質 (deep trap) 而不是供給者 (donor)，所以較不容易變成低電阻的特性，且這些雜質在氮化鎵鋁緩衝層的成長過程中會向氮化鎵層擴散。

【發明內容】

【0007】 根據習知技術之缺點，本發明的主要目的是揭露一種具有複合式緩衝層之含氮化鎵半導體結構，使其具有高阻值及平坦的表面形態。

【0008】 本發明另一目的係利用低漏電流電子元件製程來形成含氮化鎵之半導體結構。

【0009】 本發明的再一目的係利用高溫方式形成擴散阻擋層，以防止雜質的向外擴散至氮化鎵半導體層。

【0010】 根據以上所述之目的，本發明揭露一種含氮化鎵之半導體結構的形成方法，包括提供基板、將成核層 (nucleation layer) 形成在基板上、將擴散阻擋層 (diffusion blocking layer) 形成在成核層上、將應力釋放層 (strain relief layer) 形成在擴散阻擋層上以及將半導體層形成在應力釋放層上，其中擴散阻擋層係形成在成核層上，而可以防止雜質向基板擴散的向外擴散效應發生。

【圖式簡單說明】

【0011】 第 1 圖係根據本發明所揭露之技術，表示形成含氮化鎵半導體結構之步驟流程圖。

【0012】 第 2 圖係根據本發明所揭露之技術，表示含氮化鎵半導體結構之截面示意圖。

【0013】 第 3 圖係根據本發明所揭露之技術，表示含氮化鎵之半導體結構之電子顯微鏡(TEM, transmission electron microscope)檢視圖。

【0014】 第 4 圖係根據本發明所揭露之技術，表示具有擴散阻擋層及應力釋放層做為緩衝層之氮化鎵成長結構與只有單一的一層緩衝層之氮化鎵成長結構之表面結構的光學影像圖。

【實施方式】

【0015】 請參考第 1 圖。第 1 圖係為本發明所揭露之含氮化鎵之半導體結構的形成步驟流程示意圖。在第 1 圖中，步驟 12 係先提供基板。步驟 14 係在基板上沉積成核層(nucleation layer)。步驟 16 係在成核層上沉積擴散阻擋層(diffusion blocking layer)。接著，步驟 18 係在擴散阻擋層上沉積氮化鎵應力釋放層(strain relief layer)。最後在步驟 20，係將氮化鎵半導體層沉積在氮化鎵應力釋放層上以完成含氮化鎵之半導體結構，含氮化鎵之半導體結構可以適用於形成高電子遷移電晶體(HEMT, high electron mobility transistor)或是蕭基二極體(SBD, Schottky barrier diode)。此外，於本實施例的沉積方法係利用金屬有機化學氣相沉積(MOCVD, metal organic chemical vapor deposition)。

【0016】 接著，請參考第 2 圖。第 2 圖係根據本發明所揭露之含氮化鎵之半導體結構之截面示意圖。在第 2 圖中，含氮化鎵之半導體結構 3 由下到上依序為基板 30、成核層 32、緩衝層 34 以及氮化鎵半導體層 36。

【0017】 在本發明中，基板 30 可以是矽基板(silicon substrate)、碳化矽(silicon carbide)基板或是藍寶石(sapphire)基板。成核層 32 係利用金屬有機化學氣相沉積法(MOCVD, metal organic chemical vapor deposition)成長在基板 30 上，於本實施例中，成核層 32 的沉積溫度範圍為 500°C 至 800°C 及沉積的厚度小於 50 奈米(nm)。此外，成核層 32 可以是氮化鋁(AlN)或是氮化鎵鋁(AlGaIn)。

【0018】 接著同樣參考第 2 圖。在本發明中的緩衝層 34 係包含擴散阻擋層(diffusion blocking layer)342 以及應力釋放層(strain relief layer)344，其中擴散阻擋層 342 係沉積在成核層 32 上以及應力釋放層 344 沉積在擴散阻擋

層 342 上。在本發明的實施例中，擴散阻擋層 342 在成核層 32 上的沉積溫度範圍為 950°C 至 1200°C 以及沉積在成核層 32 的厚度為 100 奈米至 2000 奈米。於一實施例中，其擴散阻擋層 342 可以是氮化鋁、氮化鋁及單層氮化鎵鋁或是氮化鋁及多層氮化鎵鋁。

【0019】 要說明的是，由於在基板 30 上沉積緩衝層 34 時，係在高溫條件下(950°C 至 1200°C)進行，此高溫條件會造成氧原子(oxygen)或矽原子(Silicon)的向外擴散現象，其中若基板 30 為藍寶石基板時，由於藍寶石基板 30 包含了氧化鋁(Al_2O_3)，其中氧原子會由藍寶石基板擴散至氮化鎵半導體層 36，而矽原子則是由矽基板或是碳化矽基板擴散至氮化鎵半導體層 36。因此，在本發明中所形成的擴散阻擋層 342 可以防止矽原子或是氧原子等雜質，由基板 30 擴散至氮化鎵半導體層 36，而增加半導體結構的可靠度。

【0020】 在第 2 圖中，應力釋放層 344 係在低溫條件下沉積擴散阻擋層 342 上，其沉積溫度範圍為 450°C 至 600°C，較佳的沉積溫度為 500°C。於本實施例中，應力釋放層 344 係為氮化鎵，其沉積在擴散阻擋層 342 上之厚度範圍為 30 奈米至 100 奈米。

【0021】 接著，由於其氮化鎵半導體層 344 的沉積溫度較低，其氮化鎵半導體層 344 可以視為缺陷層(defective layer)。當要沉積氮化鎵半導體層 36 時，由於其需要較高的成長溫度，因此將其成長溫度提高至約 1050°C，當成長溫度持續的增加時，先前所沉積的氮化鎵應力釋放層 344 的再結晶反應(recrystallization)會開始發生，此升溫程序會釋放出導至氮化鋁及氮化鎵之間的晶格常數不匹配的應力(strain)，進而使得在上面成長之高溫的氮化鎵半導體層 36 可以得到高品質以及平坦的表面。這也是因為先前藉由擴散阻擋層 342 捕捉或是阻擋了由基板 30 擴散至氮化鎵半導體層 36 的雜質，而使得氮化鎵半導體層 36 係具有高阻值的氮化鎵半導體層 36。於本實施例中，氮化鎵半導體層 36 沉積溫度範圍為 950°C 至 1200°C 及其沉積厚度為 1 微米(μm)至 5 微米(μm)。

【0022】 接著請參考第 3 圖。第 3 圖係根據本發明所揭露之含氮化鎵之半導體結構之電子顯微鏡(TEM)檢視圖。在第 3 圖中可以明顯的看出緩衝層 34 中之應力釋放層 344 係具有多缺陷之結構。

【0023】 接著請參考第 4 圖。第 4 圖係表示具有擴散阻擋層及應力釋放層做為緩衝層之氮化鎵成長結構與只有單一層緩衝層之氮化鎵成長結構之表面結構的光學影像圖。在第 4 圖的圖面左邊係為具有擴散阻擋層 342 及應力釋放層 344 做為緩衝層 34 之氮化鎵成長結構以及在第 4 圖的圖面右邊為只有單一層氮化鋁緩衝層之氮化鎵成長結構，很明顯的可以得到在第 4 圖的圖面左邊，其氮化鎵成長結構的表面形態係為平坦，而在第 4 圖的圖面右邊，其氮化鎵成長結構的表面為粗糙表面。

【0024】 因此，根據以上所述，在本發明中所揭露之可供氮化鎵電子元件使用之高阻值氮化鎵之半導體結構，其高阻值緩衝層 34 係主要由擴散阻擋層 342 及應力釋放層 344 所構層。擴散阻擋層 342 的材料係為氮化鋁或是氮化鋁再加上一層或是多層的氮化鋁鎵材料，而應力釋放層 344 則是一層低溫成長的氮化鎵材料。藉由低溫成長的應力釋放層 344 雖擁有許多缺陷但卻可以舒緩氮化鋁及氮化鎵之間的晶格不匹配所產生的應力，並且當基板 30 溫度升高至成長高溫的氮化鎵時，這層低溫層長的應力釋放層 344 將會再結晶，於再結晶的過程中可有效提升高溫氮化鎵層 36 的品質。此種成長模式可以在粗糙擴散阻擋層 342 表面上成長出表面平滑的氮化鎵材料。同時由於結合了擴散阻擋層的使用，可以將氮化鎵內的雜質降到最低，使得其材料的阻值大幅的提高。利用這種具有高阻值的氮化鎵材料做為緩衝層，並且在其上成長高電子遷移率電晶體(High electron mobility transistor)或是蕭基二極體元件(Schottky barrier diode)應用的材料結構將可以有效的降低電子元件的漏電流，並且提升元件的功率轉換效率。

【符號說明】

12 提供基板

14 在基板上沉積成核層

16 在成核層上沉積擴散阻擋層

18 在擴散阻擋層上沉積氮化鎵應力釋放層

20 將氮化鎵半導體層沉積在氮化鎵應力釋放層上以完成含氮化鎵之半導體結構

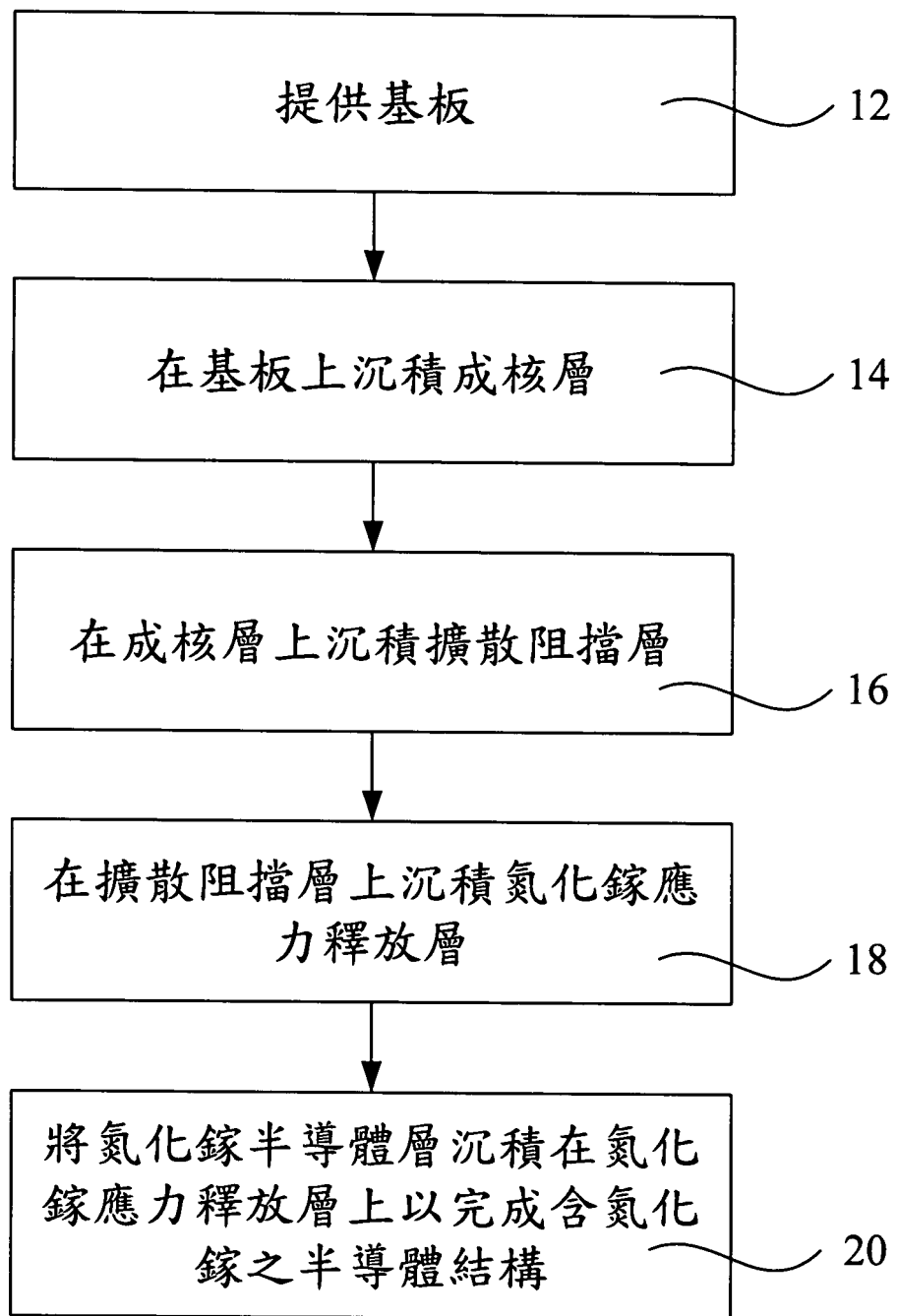
- 3 含氮化鎵之半導體結構
- 30 基板
- 32 成核層
- 34 緩衝層
- 342 擴散阻擋層
- 344 應力釋放層
- 36 氮化鎵半導體層

申請專利範圍

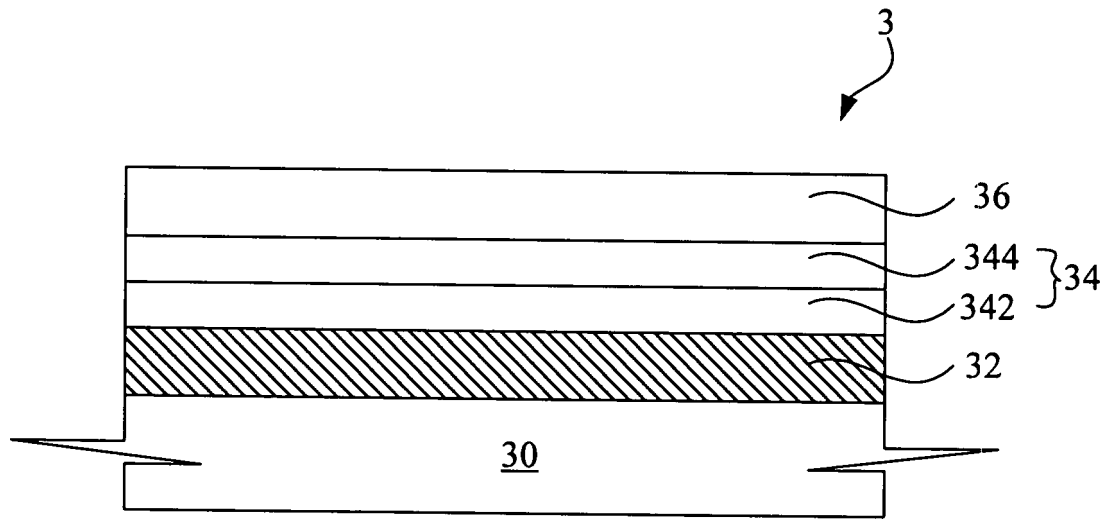
1. 一種含氮化鎵之半導體結構的形成方法，包括：
 - 提供一基板；
 - 形成一成核層在該基板上；
 - 形成一擴散阻擋層在該成核層上；
 - 形成一應力釋放層在該擴散阻擋層上；以及
 - 形成一半導體層在該應力釋放層上。
2. 如申請專利範圍第 1 項所述之形成方法，其中該成核層、該擴散阻擋層、該應力釋放層及該半導體層係利用金屬有機化學氣相沉積法(MOCVD, metal-organic chemical vapor deposition)達成。
3. 如申請專利範圍第 1 項所述之形成方法，其中該成核層的形成溫度範圍為 500°C 至 800°C。
4. 如申請專利範圍第 1 項所述之形成方法，其中該擴散阻擋層的形成溫度範圍為 950°C 至 1200°C。
5. 如申請專利範圍第 1 項所述之形成方法，其中該應力釋放層之形成溫度範圍為 450°C 至 600°C。
6. 如申請專利範圍第 1 項所述之形成方法，其中該半導體層之形成溫度範圍為 950°C 至 1200°C。
7. 一種含氮化鎵之半導體結構，包括：
 - 一基板；
 - 一成核層在該基板上；
 - 一擴散阻擋層在該成核層上；
 - 一應力釋放層在該擴散阻擋層上；以及
 - 一半導體層在該應力釋放層上。
8. 如申請專利範圍第 7 項所述之含氮化鎵之半導體結構，其中該成核層為氮化鋁(AlN)成核層。
9. 如申請專利範圍第 7 項所述之含氮化鎵之半導體結構，其中該擴散阻擋層係選自於由單層氮化鋁層、單層氮化鋁層與單層氮化鎵鋁層及單層氮化鋁層與多層氮化鎵鋁層所組成之族群。

10. 如申請專利範圍第 7 項所述之含氮化鎵之半導體結構，其中該應力釋放層為氮化鎵且其厚度範圍 30 奈米(nm)至 100 奈米(nm)。

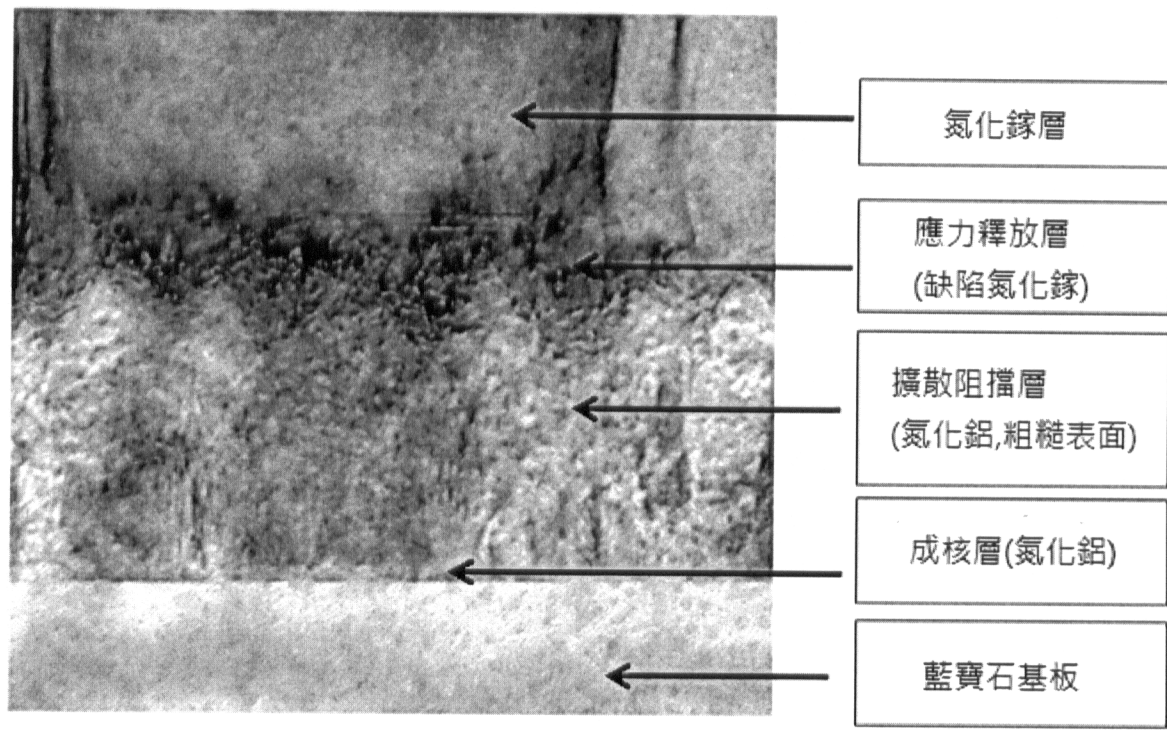
圖式



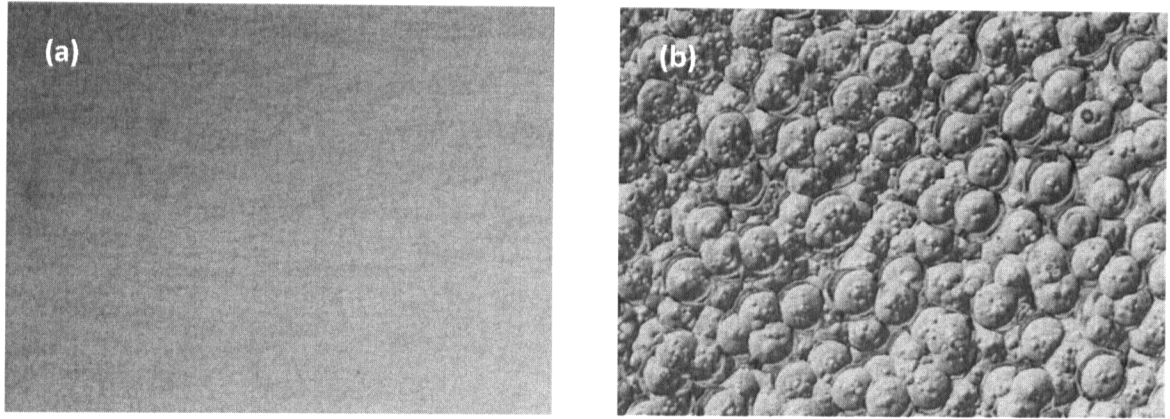
第1圖



第 2 圖



第 3 圖



第 4 圖