



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I484488 B

(45)公告日：中華民國 104 (2015) 年 05 月 11 日

(21)申請案號：102101465

(22)申請日：中華民國 102 (2013) 年 01 月 15 日

(51)Int. Cl. : G11C11/412 (2006.01)

G11C11/417 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：黃威 HWANG, WEI (TW)；王道平 WANG, DAO PING (TW)

(74)代理人：蘇建太；林志鴻

(56)參考文獻：

US 6473334B1

US 7092279B1

US 7660149B2

US 8189368B2

US 2010/0315859A1

US 2011/0182112A1

US 2012/0163068A1

Koji Nil et al., "Synchronous Ultra-High-Density 2RW Dual-Port 8T-SRAM with Circumvention of Simultaneous Common-Row-Access", IEEE Journal of Solid-State Circuits, vol. 44, No. 3, Mar. 2009,

審查人員：蕭明椿

申請專利範圍項數：11 項 圖式數：9 共 33 頁

(54)名稱

具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體

10 TRANSISTORS DUAL-PORT SRAM WITH SHARED BIT-LINE ARCHITECTURE

(57)摘要

本發明揭露一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體，其包含一第一及一第二記憶體單元。第一記憶體單元具有一第一儲存單元、一第一及一第二切換器組，第二記憶體單元具有一第二儲存單元、一第三及一第四切換器組。該第二切換器組連接至一 A 埠反相第一位元線、一 B 埠反相第一位元線、及該第一儲存單元。該第三切換器組連接至該 A 埠反相第一位元線、該 B 埠反相第一位元線、及該第二儲存單元。其中，該第二記憶體單元藉由該第三切換器組，以和該第一記憶體單元共用該 A 埠反相第一位元線及該 B 埠反相第一位元線。

The invention provides a 10 transistors dual-port SRAM with shared bit-line architecture, which has a first memory cell and a second memory cell. The first memory cell comprises a first storage unit, a first switch set, and a second switch set. The second memory cell comprises a second storage unit, a third switch set, and a fourth switch set. The second switch set is connected to a first A-port complement bit line, a first B-port complement bit line, and the first storage unit. The third switch set is connected to the first A-port complement bit line, the first B-port complement bit line, and the second storage unit. Thus, the second memory cell can share the first A-port complement bit line and the first B-port complement bit line with the first memory cell by the third switch set.

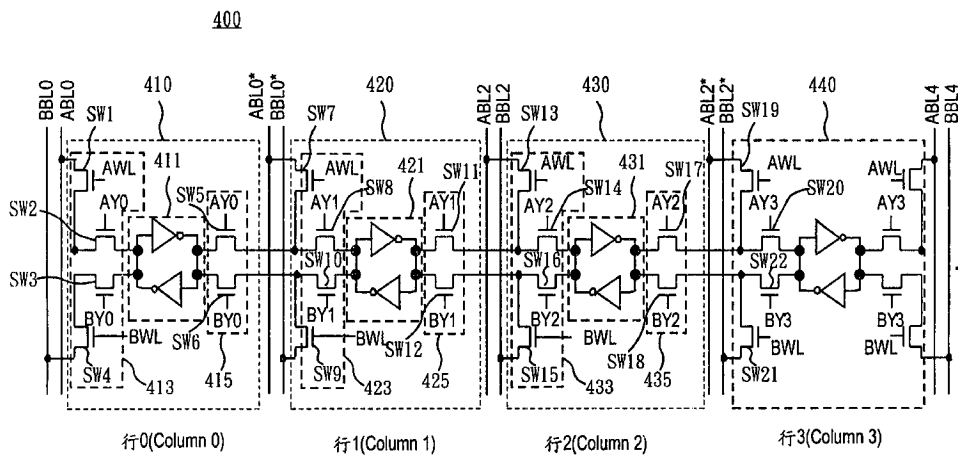


圖 4

400 . . . 具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體

410 . . . 一第一記憶體單元

420 . . . 第二記憶體單元

430 . . . 一第三記憶體單元

411 . . . 第一儲存單元

413 . . . 第一切換器組

415 . . . 第二切換器組

421 . . . 第二儲存單元

423 . . . 第三切換器組

425 . . . 第四切換器組

431 . . . 第三儲存單元

433 . . . 第五切換器組

435 . . . 第六切換器組

SW1~SW22 . . . 第一至第二十二切換器

發明摘要

公告本

※ 申請案號：102101465

※ 申請日：102.1.15

※IPC 分類：G11C 1/412 (2006.01)

G11C 1/417 (2006.01)

【發明名稱】(中文/英文)

具有共享位元線之 10 個電晶體之二對埠靜態隨機存取
記憶體

10 transistors dual-port SRAM with shared bit-line architecture

【中文】

本發明揭露一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體，其包含一第一及一第二記憶體單元。第一記憶體單元具有一第一儲存單元、一第一及一第二切換器組，第二記憶體單元具有一第二儲存單元、一第三及一第四切換器組。該第二切換器組連接至一 A 埠反相第一位元線、一 B 埠反相第一位元線、及該第一儲存單元。該第三切換器組連接至該 A 埠反相第一位元線、該 B 埠反相第一位元線、及該第二儲存單元。其中，該第二記憶體單元藉由該第三切換器組，以和該第一記憶體單元共用該 A 埠反相第一位元線及該 B 埠反相第一位元線。

【英文】

The invention provides a 10 transistors dual-port SRAM with shared bit-line architecture, which has a first memory cell and a second memory cell. The first memory cell comprises a first storage unit, a first switch set, and a second switch set. The second memory cell comprises a second storage unit, a third switch set, and a fourth switch set. The second switch set is connected to a first A-port complement bit line, a first B-port complement bit line, and the first storage unit. The third switch set is connected to the first A-port complement bit line, the first B-port complement bit line, and the second storage unit. Thus, the second memory cell can share the first A-port complement bit line and the first B-port complement bit line with the first memory cell by the third switch set.

【代表圖】

【本案指定代表圖】：圖（ 4 ）。

【本代表圖之符號簡單說明】：

具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體400

一第一記憶體單元410

第二記憶體單元420

一第三記憶體單元430

第一儲存單元411

第一切換器組413

第二切換器組415

第二儲存單元421

第三切換器組423

第四切換器組425

第三儲存單元431

第五切換器組433

第六切換器組435

第一至第二十二切換器SW1~SW22

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

「無」

發明專利說明書

【發明名稱】(中文/英文)

具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體

10 transistors dual-port SRAM with shared bit-line architecture

【技術領域】

【0001】 本發明係關於二對埠靜態隨機存取記憶體的技術領域，尤指一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體。

【先前技術】

【0002】 在積體電路的設計中，近年來由於更多傳輸頻寬的需求，使得由原先的單一埠靜態隨機存取記憶體 (single-port SRAM) 轉向為二對埠靜態隨機存取記憶體 (dual-port SRAM)。因為二對埠靜態隨機存取記憶體 (dual-port SRAM) 在高速通訊和視像應用上擁有平行處理的先進特性，是單一埠靜態隨機存取記憶體 (single-port SRAM) 所沒有的。雖然二對埠靜態隨機存取記憶體能同時對不同埠進行平行的讀或寫操作，然而會產生在同一列存取時的讀寫干擾衝突之問題。

【0003】 圖 1(A)至圖 1(D)係習知二對埠靜態隨機存取

記憶體存取之示意圖。如圖 1(A)所示，其係存取不同列(row)不同行(column)的 A 埠及 B 埠。圖 1(B)係存取不同列(row)同行(column)的 A 埠及 B 埠。如圖 1(A)及圖 1(B)的存取模式只在一列(row)中致能一個埠。亦即，因為在圖 1(A)及圖 1(B)中，字元線(word line, WL)被致能的記憶體單元(memory cell)其存取操作如單一埠存取操作(single-port access)，因此圖 1(A)及圖 1(B)的存取模式不會有衝突(conflict)產生。

● **【0004】** 圖 1(C)係存取同列(row)不同行(column)的 A 埠及 B 埠。圖 1(D)係存取在同列(row)同行(column)的 A 埠及 B 埠。然而，如圖 1(C)及圖 1(D)的存取模式則會有衝突(conflict)產生。

● **【0005】** 圖 1(C)表示列 1 中的在左邊的記憶體單元(memory cell)110 由其 A 埠執行讀/寫操作，記憶體單元(memory cell)120 的 A 埠變成虛讀(dummy read)，且其位元線(bit line, BL)被預充至一高電位。當記憶體單元(memory cell)120 要經由位元線、及 B 埠寫入一低電位(0)時，記憶體單元(memory cell)120 內部的儲存點會有難以改變儲存狀態的現象，此現象又稱為寫入資料干擾(write data disturb)。

【0006】 圖 2 為習知寫入資料干擾的示意圖。在對記憶體單元(memory cell)110、120 存取前，所有位元線均會被預充至一高電位(1)。當要對左邊的記憶體單元 110 由其 A 埠執行讀/寫操作時，需先將其字元線(WL)致能，亦即字元

線 AWL1 為高電位(1)。此時，若要對記憶體單元 120 要經由位元線 BBL2、及 B 埠寫入一低電位(0)，則將其字元線(WL)致能，亦即其字元線 BWL1 為高電位(H)，同時位元線 BBL2 低電位(0)。由於字元線 AWL1 及字元線 BWL1 為高電位(1)，故電晶體 N1 及 N2 均導通，此時位元線 ABL2 為高電位(1)、位元線 BBL2 為低電位(0)，記憶體單元 120 內部的儲存點 X 由於位元線 ABL2 拉高(pull up)，會有難以改變儲存狀態的現象。

【0007】 圖 3 為習知讀出資料干擾(read data disturb)的示意圖。在對記憶體單元(memory cell)110、120 存取前，所有位元線均會被預充至一高電位(1)。當要對左邊的記憶體單元 110 由其 A 埠執行讀出操作時，需先將其字元線(WL)致能，亦即字元線 AWL1 為高電位(1)，此會讓電晶體 N1 均導通。由於位元線 ABL2 被預充為高電位(1)，若內部的儲存點 X 原來儲存低電位(0)資料，此時儲存點 X 的電壓會被位元線 ABL2 稍微拉高(pull up)，其電壓以 $0+$ 表示，而產生讀出資料干擾現象。亦即，此時經由位元線 BBL2 讀出記憶體單元 120 內部的儲存點 X 之的電壓 $0+$ ，再經一感測放大器(sensing amplifier)放大後，會容易產生錯誤的讀取資料。

【0008】 為解決寫入資料干擾(write data disturb)及讀出資料干擾(read data disturb)的問題，於 Koji Nii, Yasumasa Tsukamoto, Makoto Yabuuchi, Yasuhiro Masuda, Susumu Imaoka, Keiichi Usui, Shigeki Ohbayashi, Hiroshi Makino,

and Hirofumi Shinohara 在 IEEE Journal of Solid-State Circuits. Vol. 44, No. 3, March 2009, pp. 977-986 所發表的「Synchronous Ultra-High-Density 2RW Dual-Port 8T-SRAM With Circumvention of Simultaneous Common-Row-Access」論文中，係使用一行位置比較器(row-address comparator)以偵測是否存取同一個列(row)，若是，則將 B 埠的列解碼器(row decoder)關閉，以免 A 埠及 B 埠同時存取所產生的衝突。然而，此種方式會將低整體的存取效率，同時係需增加行位置比較器及其他週邊電路，而增加成本。因此習知之之二對埠靜態隨機存取記憶體之技術實仍有改善的空間。

【發明內容】

【0009】 本發明之目的主要係在提供一具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體，可共享相鄰位元線，消除讀寫干擾衝突的問題，同時可增大靜態雜訊限幅。更可將位元線數目減半，而降低讀寫功率消耗在位元線充電上。相較於習知的 8 個電晶體的二對埠靜態隨機存取記憶體，本發明可降低位元線漏電消耗。

【0010】 依據本發明之一特色，本發明提出一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體，其包含一第一記憶體單元、一第二記憶體單元。該第一記憶體單元具有一第一儲存單元、一第一切換器組、及一第二切換器組，該第一切換器組連接至一 A 埠第一位元線

(ABL0)、一 B 埠第一位元線(BBL0)、及該第一儲存單元，該第二切換器組耦合至一 A 埠反相第一位元線(ABL0*)、一 B 埠反相第一位元線(BBL0*)、並連接該第一儲存單元。該第二記憶體單元具有一第二儲存單元、一第三切換器組、及一第四切換器組，該第三切換器組連接至該 A 埠反相第一位元線(ABL0*)、該 B 埠反相第一位元線(BBL0*)、及該第二儲存單元，該第四切換器組耦合至一 A 埠第二位元線(ABL2)、一 B 埠第二位元線(BBL2)、並連接該第二儲存單元。其中，該第二記憶體單元藉由該第三切換器組，以和該第一記憶體單元共用該 A 埠反相第一位元線(ABL0*)及該 B 埠反相第一位元線(BBL0*)。

【0011】 依據本發明之另一特色，本發明提出一種具有二對埠靜態隨機存取記憶體單元，其包含一儲存單元、一第一切換器組、及一第二切換器組。該儲存單元係由栓鎖器(latch)所組成，並具有一第一儲存節點(Q)及一第二儲存節點(QB)。該第一切換器組具有第一至第四切換器，該第一切換器的一端連接至一 A 埠第一位元線(ABL0)，其控制端連接至一 A 埠字元線(A-port word line, AWL)，其另一端連接至該第二切換器的一端，該第二切換器的另一端連接至該第一儲存節點(Q)，其控制端連接至一 A 埠第一行控制線(AY0)，該第三切換器的一端連接至一 B 埠第一位元線(BBL0)，其控制端連接至一 B 埠字元線(B-port word line, BWL)，其另一端連接至該第四切換器的一端，該第四切換器的另一端連接至該第一儲存節點(Q)，其控制端連接至一

B 埠第一行控制線(BY0)。該第二切換器組具有第五至第六切換器，該第五切換器的一端連接至該第二儲存節點(QB)，其控制端連接至該 A 埠第一行控制線(AY0)，該第六切換器的一端連接至該第二儲存節點(QB)，其控制端連接至該 B 埠第一行控制線(BY0)。

【圖式簡單說明】

【0012】

圖 1(A)至圖 1(D)係習知二對埠靜態隨機存取記憶體之存取之示意圖。

圖 2 為習知寫入資料干擾之示意圖。

圖 3 為習知讀出資料干擾之示意圖。

圖 4 係本發明一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體之示意圖。

圖 5 係本發明具有二對埠靜態隨機存取記憶體單元之示意圖。

圖 6 係本發明一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體的 A 埠及 B 埠同時存取示意圖。

圖 7(A)與圖 7(B)係本發明與習知技術電流消耗之比較示意圖。

圖 8 係本發明漏電流路徑之示意圖。

圖 9 係本發明與習知技術漏電流之比較示意圖。

【實施方式】

【0013】 圖 4 係本發明一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體 400 的示意圖，該具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體 400 包含一第一記憶體單元 410、一第二記憶體單元 420、及一第三記憶體單元 430。

【0014】 該第一記憶體單元 410 具有一第一儲存單元 411、一第一切換器組 413、及一第二切換器組 415，該第一切換器組 413 連接至一 A 埠第一位元線 (ABL0)、一 B 埠第一位元線 (BBL0)、及該第一儲存單元 411，該第二切換器組 415 耦合至一 A 埠反相第一位元線 (ABL0*)、一 B 埠反相第一位元線 (BBL0*)、及並連接該第一儲存單元 411。

【0015】 該第二記憶體單元 420 的結構與該第一記憶體單元 410 相同，亦即，該第二記憶體單元 420 具有一第二儲存單元 421、一第三切換器組 423、及一第四切換器組 425，該第三切換器組 423 連接至該 A 埠反相第一位元線 (ABL0*)、該 B 埠反相第一位元線 (BBL0*)、及該第二儲存單元 421，該第四切換器組 425 耦合至一 A 埠第二位元線 (ABL2)、一 B 埠第二位元線 (BBL2)、及並連接該第二儲存單元 421。

【0016】 如圖 4 所示，該第二記憶體單元 420 藉由該第三切換器組 423，以和該第一記憶體單元 410 共用該 A 埠反相第一位元線 (ABL0*) 及該 B 埠反相第一位元線 (BBL0*)。

【0017】 該第三記憶體單元 430 其具有一第三儲存單元 431、一第五切換器組 433、及一第六切換器組 435，該第五切換器組 433 連接至該 A 埠第二位元線(ABL2)、該 B 埠第二位元線(BBL2)、及該第三儲存單元 431，該第六切換器組 435 耦合至一 A 埠反相第二位元線(ABL2*)、一 B 埠反相第二位元線(BBL2*)、及並連接該第三儲存單元 431。其中，該第三記憶體單元 430 藉由該第五切換器組 433，以和該第二記憶體單 420 元共用該 A 埠第二位元線(ABL2)、該 B 埠第二位元線(BBL2)。

【0018】 於本發明中，該第一切換器組 413、第三切換器組 423、及第五切換器組 433 具有相同的結構，該第二切換器組 415、第四切換器組 425、及第六切換器組 435 具有相同的結構。

【0019】 於本發明中，該記憶體單元 410、第二記憶體單元 420、及第三記憶體單元 430 等係由圖 5 的電路演化改良而來。圖 5 係本發明具有二對埠靜態隨機存取記憶體單元 500 的示意圖。該具有二對埠靜態隨機存取記憶體單元 500 包含一儲存單元 510、一第一切換器組 520、一第二切換器組 530。

【0020】 該儲存單元 510 其係由栓鎖器(latch)所組成，並具有一第一儲存節點(Q)及一第二儲存節點(QB)。

【0021】 該第一切換器組 520 其具有第一至第四切換器 BSW1~BSW4，該第一切換器 BSW1 的一端連接至一 A 埠第一位元線(ABL0)，其控制端連接至一 A 埠字元線(A-port

word line, AWL), 其另一端連接至該第二切換器 BSW2 的一端。該第二切換器 BSW2 的另一端連接至該第一儲存節點(Q), 其控制端連接至一 A 埠第一行控制線(AY0)。

【0022】 該第三切換器 BSW3 的一端連接至一 B 埠第一位元線(BBL0), 其控制端連接至一 B 埠字元線(B-port word line, BWL), 其另一端連接至該第四切換器 BSW4 的一端。該第四切換器 BSW4 的另一端連接至該第一儲存節點(Q), 其控制端連接至一 B 埠第一行控制線(BY0)。

【0023】 第二切換器組 530 其具有第五至第六切換器 BSW5~BSW6, 該第五切換器 BSW5 的一端連接至該第二儲存節點(QB), 其控制端連接至該 A 埠第一行控制線(AY0), 該第六切換器 BSW6 的一端連接至該第二儲存節點(QB), 其控制端連接至該 B 埠第一行控制線(BY0)。

【0024】 該第二切換器組 530 更包含第七至第八切換器 BSW7~BSW8, 該第五切換器 BSW5 的另一端連接至該第七切換器 BSW7 的一端, 該第七切換器 BSW7 的控制端連接至一 A 埠字元線(A-port word line, AWL), 其另一端連接至一 A 埠反相第一位元線(ABL0*), 該第六切換器 BSW6 的另一端連接至該第八切換器 SW8 的一端, 該第八切換器 SW8 的控制端連接至一 B 埠字元線(B-port word line, BWL), 其另一端連接至一 B 埠反相第一位元線(BBL0*)。

【0025】 請一併參閱圖 4 及圖 5, 本發明之圖 4 中的第一記憶體單元 410、第二記憶體單元 420、及第三記憶體單元 430 係由圖 5 中的具有二對埠靜態隨機存取記憶體單元

500 電路演化改良而來。亦即第一記憶體單元 410 右邊的第七切換器 BSW7 與第八切換器 BSW8 移除，而共用第二記憶體單元 420 的第一切換器 BSW1 及第二切換器 BSW2，因為該等切換器的控制端均連接至該 A 埠字元線(AWL)。並且由第二記憶體單元 420 的第一切換器 BSW1 及第二切換器 BSW2 連接至該 A 埠反相第一位元線(ABL0*)、及該 B 埠反相第一位元線(BBL0*)。因此，該第二切換器組 415 耦合至該 A 埠反相第一位元線(ABL0*)、及該 B 埠反相第一位元線(BBL0*)。同理，該第四切換器組 425 耦合接至該 A 埠第二位元線(ABL2)、及該 B 埠第二位元線(BBL2)，該第六切換器組 435 耦合至該 A 埠反相第二位元線(ABL2*)、及該 B 埠反相第二位元線(BBL2*)

【0026】 請參閱圖 4，該第一切換器組 413 具有一第一至第四切換器 SW1~SW4，該第二切換器 415 組具有一第五至第六切換器 SW5~SW6，該第三切換器組 423 具有一第七至第十切換器 SW7~SW10，該第四切換器組 425 具有一第十一至第十二切換器 SW11~SW12。

【0027】 其中，該第一切換器 SW1 的一端連接至該 A 埠第一位元線(ABL0)，其控制端連接至該 A 埠字元線(AWL)，其另一端連接至該第二切換器 SW2 的一端，該第二切換器 SW2 的另一端連接至第一儲存單元 411，其控制端連接至一 A 埠第一行控制線(AY0)，該第三切換器 SW3 的一端連接至該 B 埠第一位元線(BBL0)，其控制端連接至一 B 埠字元線(B-port word line, BWL)，其另一端連接至該

第四切換器 SW4 的一端，該第四切換器 SW4 的另一端連接至第一儲存單元 411，其控制端連接至一 B 埠第一行控制線 (BY0)，該第五切換器 SW5 的一端連接至該第一儲存單元 411 的另一端，其控制端連接至該 A 埠第一行控制線 (AY0)，其另一端連接至該第七切換器 SW7 的一端，該第六切換器 SW6 的一端連接至該第一儲存單元 411 的另一端，其控制端連接至該 B 埠第一行控制線 (BY0)，其另一端該第九切換器 SW9 的一端。

【0028】 該第七切換器 SW7 的一端連接至該 A 埠反相第一位元線 (ABL0*)，其控制端連接至該 A 埠字元線 (A-port word line, AWL)，其另一端連接至該第八切換器 SW8 的一端及該第五切換器 SW5 的另一端，該第八切換器 SW8 的另一端連接至第二儲存單元 421，其控制端連接至一 A 埠第二行控制線 (AY1)，該第九切換器 SW9 的一端連接至該 B 埠反相第一位元線 (BBL0*)，其控制端連接至該 B 埠字元線 (B-port word line, BWL)，其另一端連接至該第十切換器 SW10 的一端，該第十切換器 SW10 的另一端連接至第二儲存單元 421，其控制端連接至一 B 埠第二行控制線 (BY1)，該第十一切換器 SW11 的一端連接至該第二儲存單元 421 的另一端，其控制端連接至該 A 埠第二行控制線 (AY1)，該第十二切換器 SW12 的一端連接至該第二儲存單元 421 的另一端，其控制端連接至該 B 埠第二行控制線 (BY1)。

【0029】 其他切換器連接方式相似於前述之連接方式，故不再贅述，請參閱圖 4。該第一至第十二切換器

SW1~SW12 為 NMOS 電晶體。該第一、第二、及第三儲存單元 411、421、431 係一栓鎖器(latch)且該栓鎖器(latch)係由兩反相器(inverter)組成。

【0030】 圖 6 係本發明一種具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體 400 的 A 埠及 B 埠同時存取示意圖。如圖 6 所示，其係對行 0(Column 0)的 A 埠進行讀取、行 2(Column 2)的 B 埠進行寫入低電位(0)。

【0031】 在進行存取前，所有位元線被預充至高電位。由於對行 0(Column 0)的 A 埠及行 2(Column 2)的 B 埠進行存取，故該 A 埠字元線(AWL)及該 G 埠字元線(BWL)在進行存取時為高電位，故第一、三、七、九、十三、十五、十九、及二十一切換器(SW1, SW3, SW7, SW9, SW13, SW15, SW19, SW21)導通。由於對行 0(Column 0)的 A 埠進行讀取，所以只有該 A 埠第一行控制線(AY0)為高電位，其他的 A 埠行控制線(AY1、AY2、AY3、...)為低電位，因此只有該第二切換器 SW2 及該第五切換器 SW5 導通。由於對行 2(Column 2)的 B 埠進行寫入，所以只有該 B 埠第三行控制線(BY2)為高電位，其他的 B 埠行控制線(BY0、BY1、BY3、...)為低電位，因此只有該第十六切換器 SW16 及該第十八切換器 SW18 導通。

【0032】 由於 A 埠第三行控制線(AY2)為低電位，即使 A 埠第二位元線(ABL2)被預充至高電位，但由於第十四切換器被關閉，故不會影響該第三儲存單元 431 的資料，故可正確地由行 2(Column 2)的 B 埠寫入資料至該第三儲存單元 431，而不會有寫入資料干擾(write data disturb)的問題。

【0033】 由於對行 2(Column 2)的 B 埠寫入資料，所以同一列(row)的 B 埠位元線被預充至高電位，由於只對對行

2(Column 2)的 B 埠寫入資料，故只有該 B 埠第三行控制線 (BY2)為高電位，其他的 B 埠行控制線 (BY0、BY1、BY3、...) 為低電位，因此第六切換器被關閉，故不會影響該第一儲存單元 411 的資料讀取，而不會有讀取資料干擾 (read data disturb) 的問題。

【0034】 由前述說明可知，本發明技術不存在虛讀 (dummy read) 操作，因此電流消耗可有效地減少。圖 7(A) 與圖 7(B) 係本發明與習知技術電流消耗的比較示意圖。圖 7(A) 係一埠執行讀取操作或一埠執行寫入操作時電流消耗的比較，如圖 7(A) 所示，在 VDD 電壓為 0.9V 時，不論是讀取操作或寫入操作，本發明技術可較習知技術減少約 40% 的電流消耗。圖 7(B) 係二埠執行讀取操作或二埠執行寫入操作時電流消耗的比較，如圖 7(B) 所示，在 VDD 電壓為 1V 及 1.1V 時，本發明二埠執行寫入操作可較習知技術減少約四十幾%的電流消耗，而本發明二埠執行讀取操作可較習知技術減少約三十幾%的電流消耗。

【0035】 圖 8 係本發明漏電流 (leakage current) 路徑的示意圖。當在保持資料狀態 (hold) 或是待命狀態 (stand-by) 時，資料線被預充至該高電位，而切換器則為關閉。在本發明中，漏電流需經過二個關閉且串連連接的切換器，才能到達儲存單元。反觀圖 2，漏電流需經過一個關閉且由字元線 (word line, AWL) 控制的切換器，即可到達儲存單元，因此本發明技術的漏電流會較習知技術小。

【0036】 圖 9 係本發明與習知技術漏電流 (leakage

current)的比較示意圖。如圖 9 所示，在 VDD 電壓為 0.6V 時，本發明的漏電流可較習知技術減少約四十幾%接近五十%。同時，本發明位元線的數目係習知技術的一半，因此，整體漏電流可較習知技術減少超過五十%。

【0037】 由前述說明可知，本發明技術本發明提出一 10 個電晶體的二對埠靜態隨機存取記憶體位元線共享的架構，可共享相鄰位元線，消除讀寫干擾衝突的問題，同時可增大靜態雜訊限幅。更可將位元線數目減半，而降低讀寫功率消耗在位元線充電上。比起傳統的 8 個電晶體的二對埠靜態隨機存取記憶體，本發明可降低位元線漏電消耗。

【0038】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【符號說明】

【0039】
 記憶體單元 110、120、130、140
 具有共享位元線之 10 個電晶體之二對埠靜態隨機存取記憶體 400

一第一記憶體單元 410	第二記憶體單元 420
一第三記憶體單元 430	第一儲存單元 411
第一切換器組 413	第二切換器組 415
第二儲存單元 421	第三切換器組 423
第四切換器組 425	第三儲存單元 431
第五切換器組 433	第六切換器組 435

第一至第二十二切換器SW1~SW22

具有二對埠靜態隨機存取記憶體單元500

包含一儲存單元510 第一切換器組520、

第二切換器組530

第一至第八切換器BSW1~BSW8

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其包含：

一第一記憶體單元，具有一第一儲存單元、一第一切換器組、及一第二切換器組，該第一切換器組連接至一A埠第一位元線、一B埠第一位元線、及該第一儲存單元，該第二切換器組耦合至一A埠反相第一位元線、一B埠反相第一位元線、並連接該第一儲存單元；以及

一第二記憶體單元，具有一第二儲存單元、一第三切換器組、及一第四切換器組，該第三切換器組連接至該A埠反相第一位元線、該B埠反相第一位元線、及該第二儲存單元，該第四切換器組耦合至一A埠第二位元線、一B埠第二位元線、並連接該第二儲存單元；

其中，該第二記憶體單元藉由該第三切換器組，以和該第一記憶體單元共用該A埠反相第一位元線及該B埠反相第一位元線。

2. 如申請專利範圍第1項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其更包含：

一第三記憶體單元，其具有一第三儲存單元、一第五切換器組、及一第六切換器組，該第五切換器組連接至該A埠第二位元線、該B埠第二位元線、及該第三儲存單元，該第六切換器組耦合至一A埠反相第二位元線、一B埠反相第二位元線、並連接該第三儲存單元；

其中，該第三記憶體單元藉由該第五切換器組，以和該第二記憶體單元共用該A埠第二位元線及該B埠第二位元線。

3. 如申請專利範圍第2項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第一切換器組、第三切換器組、及第五切換器組具有相同的結構，該第二切換器組、第四切換器組、及第六切換器組具有相同的結構。

4. 如申請專利範圍第3項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第一切換器組具有一第一至第四切換器，該第二切換器組具有一第五至第六切換器，該第三切換器組具有一第七至第十切換器，該第四切換器組具有一第十一至第十二切換器。

5. 如申請專利範圍第4項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第一切換器的一端連接至該A埠第一位元線，其控制端連接至一A埠字元線，其另一端連接至該第二切換器的一端，該第二切換器的另一端連接至第一儲存單元，其控制端連接至一A埠第一行控制線，該第三切換器的一端連接至該B埠第一位元線，其控制端連接至一B埠字元線，其另一端連接至該第四切換器的一端，該第四切換器的另一端連接至第一儲存單元，其控制端連接至一B埠第一行控制線，該第五切換器的一端連接至該第一儲存單元的另一端，其控制端連接至該A埠第一行控制線，其另一端連接至該第七切換器的一端，該第六切換器的一端連接至該第一儲存單元的另一端，其控制端連接至該B埠第一行控制線，其另一端該第九切換器的一端。

6. 如申請專利範圍第5項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第七切換器的一端連接至該A埠反相第一位元線，其控制端連接至該A埠字元線，其另一端連接至該第八切換器的一端及該第五切換器的另一端，該第八切換器的另一端連接至第二儲存單元，其控

制端連接至一A埠第二行控制線，該第九切換器的一端連接至該B埠反相第一位元線，其控制端連接至該B埠字元線，其另一端連接至該第十切換器的一端，該第十切換器的另一端連接至第二儲存單元，其控制端連接至一B埠第二行控制線，該第十一切換器的一端連接至該第二儲存單元的另一端，其控制端連接至該A埠第二行控制線，該第十二切換器的一端連接至該第二儲存單元的另一端，其控制端連接至該B埠第二行控制線。

7. 如申請專利範圍第6項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第一至第十二切換器為NMOS電晶體。

8. 如申請專利範圍第7項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該第一、第二、及第三儲存單元係一栓鎖器。

9. 如申請專利範圍第8項的具有共享位元線之10個電晶體之二對埠靜態隨機存取記憶體，其中，該栓鎖器係由兩反相器組成。

10. 一種具有二對埠靜態隨機存取記憶體單元，其包含：
一儲存單元，其係由栓鎖器所組成，並具有一第一儲存節點及一第二儲存節點；

一第一切換器組，其具有第一至第四切換器，該第一切換器的一端連接至一A埠第一位元線，其控制端連接至一A埠字元線，其另一端連接至該第二切換器的一端，該第二切換器的另一端連接至該第一儲存節點，其控制端連接至一A埠第一行控制線，該第三切換器的一端連接至一B埠第一位元線，其控制端連接至一B埠字元線，其另一端連接至該第

四切換器的一端，該第四切換器的另一端連接至該第一儲存節點，其控制端連接至一B埠第一行控制線；以及

一第二切換器組，其具有第五至第六切換器，該第五切換器的一端連接至該第二儲存節點，其控制端連接至該A埠第一行控制線，該第六切換器的一端連接至該第二儲存節點，其控制端連接至該B埠第一行控制線。

11. 如申請專利範圍第10項的具有二對埠靜態隨機存取記憶體單元，其中，該第二切換器組更包含第七至第八切換器，該第五切換器的另一端連接至該第七切換器的一端，該第七切換器的控制端連接至一A埠字元線，其另一端連接至一A埠反相第一位元線，該第六切換器的另一端連接至該第八切換器的一端，該第八切換器的控制端連接至一B埠字元線，其另一端連接至一B埠反相第一位元線。

圖式(請見下頁)

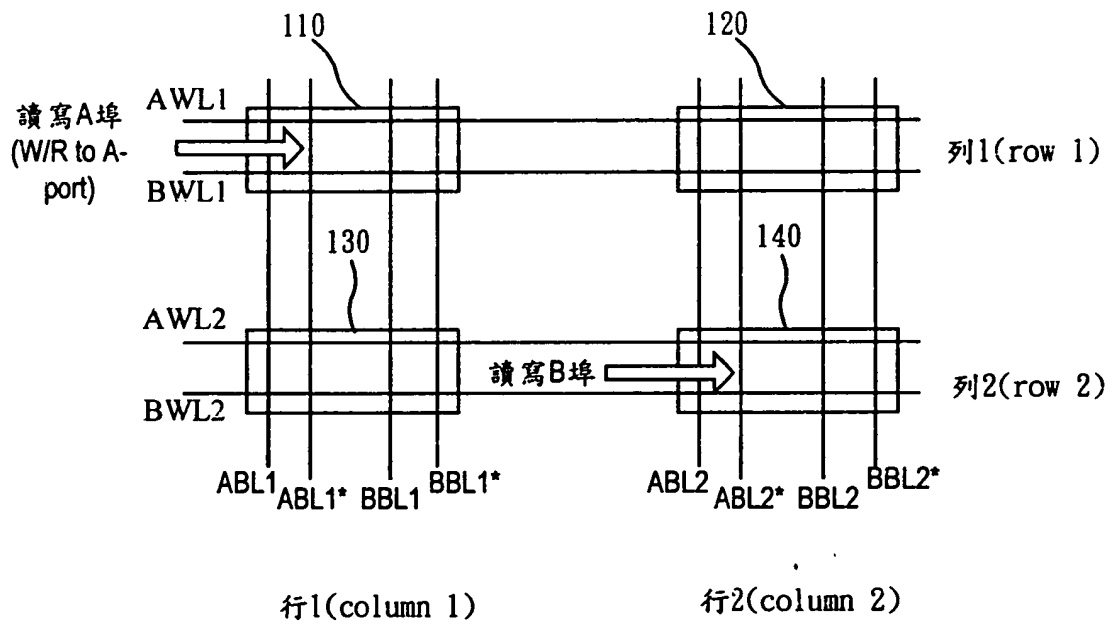


圖 1(A)

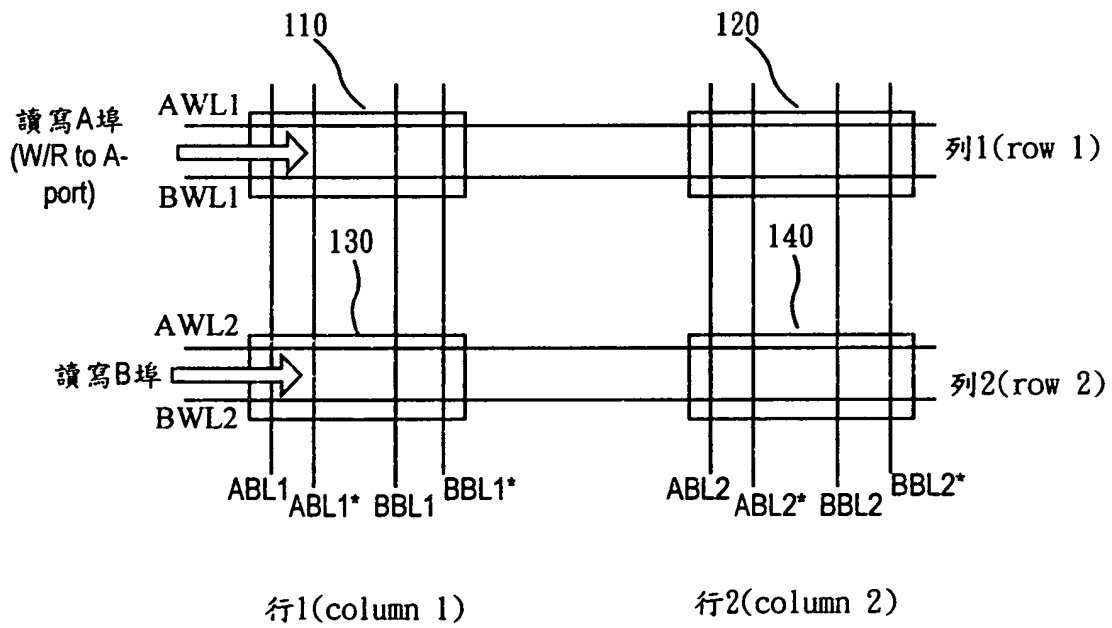


圖 1(B)

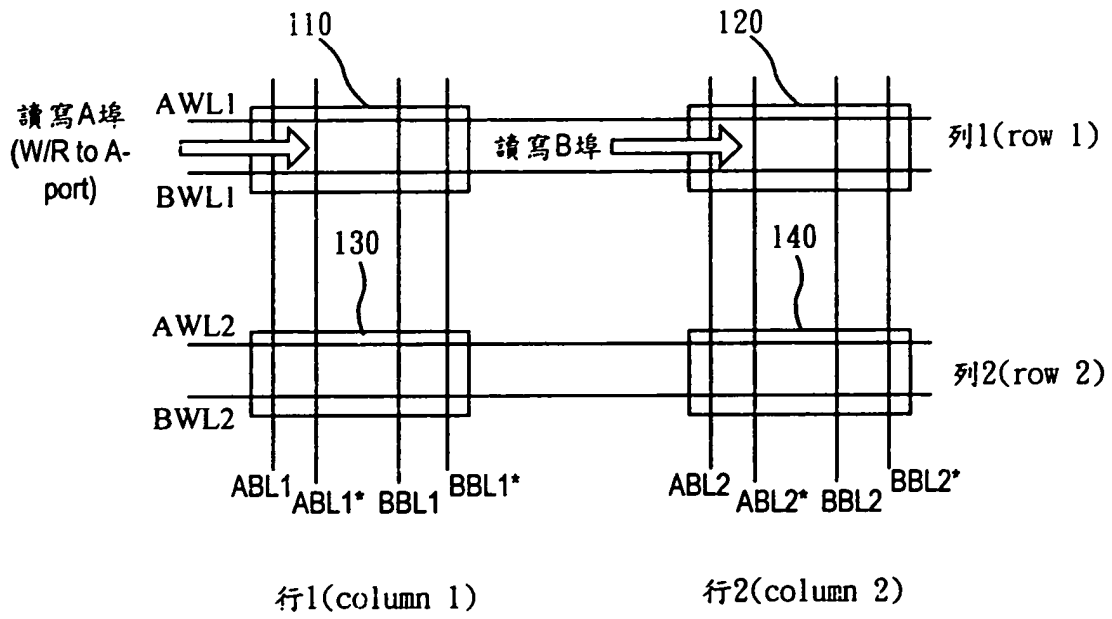


圖 1(C)

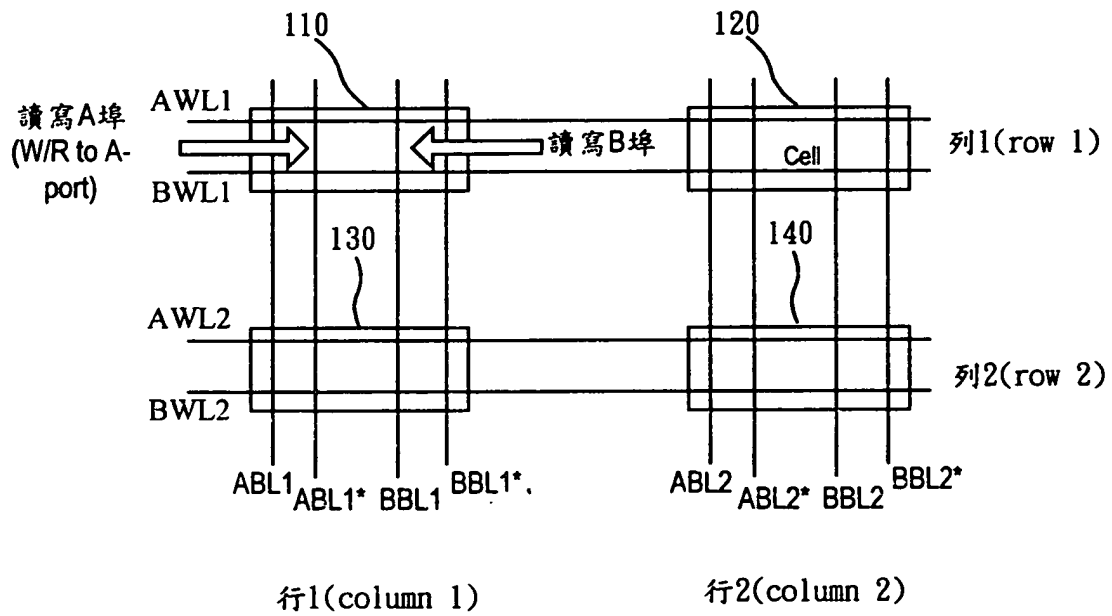
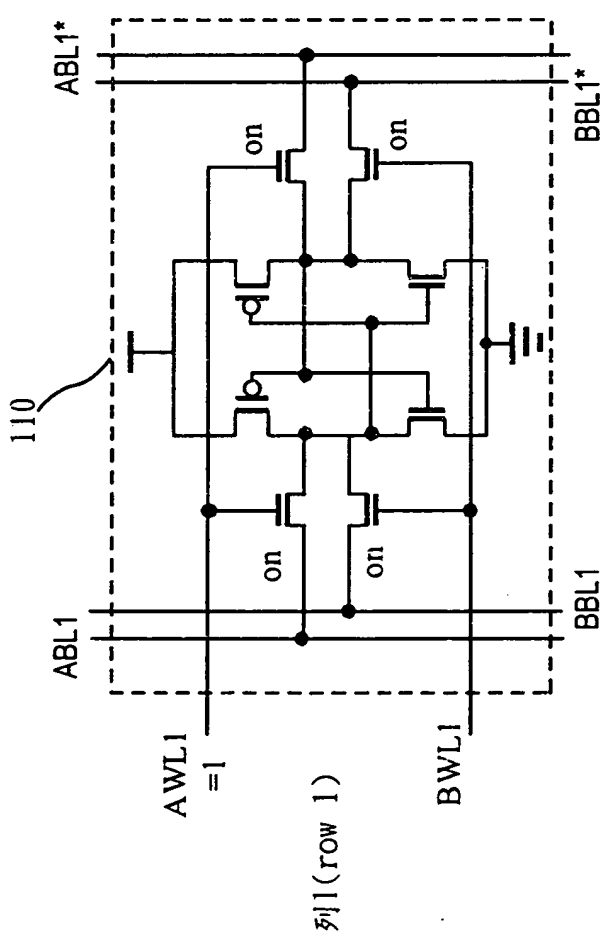
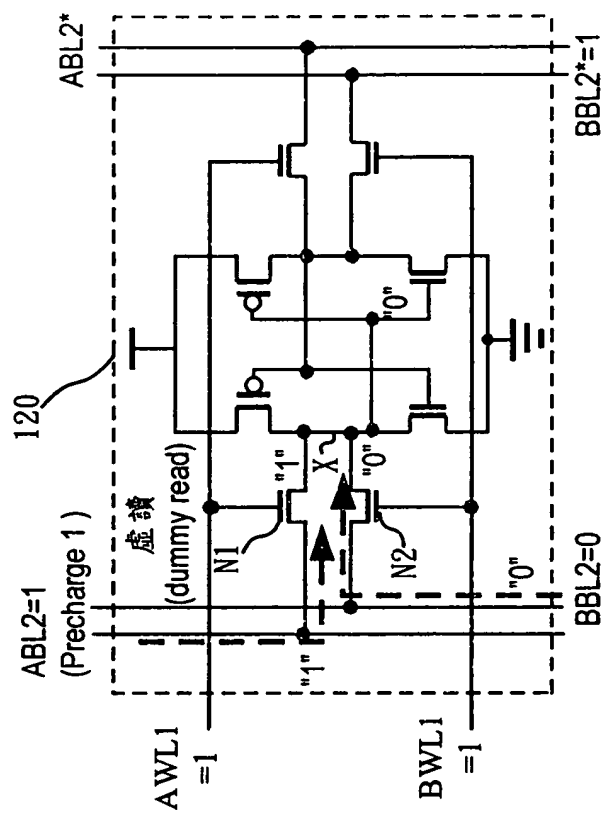


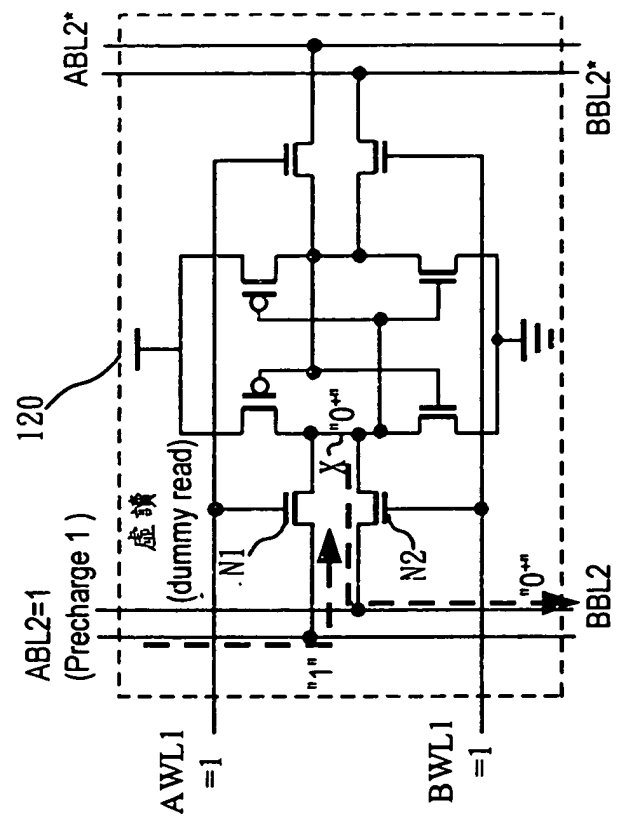
圖 1(D)



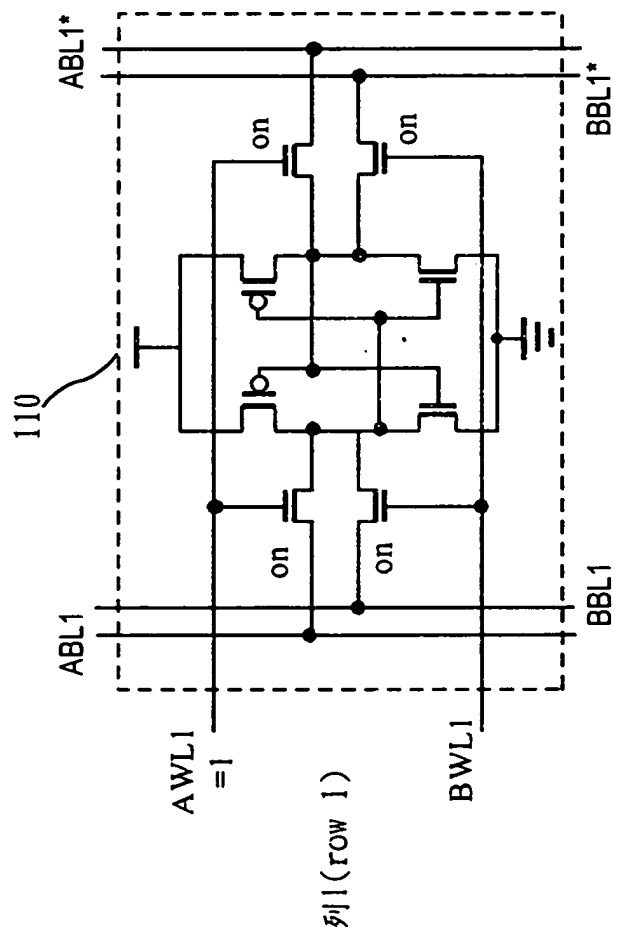
行2(column 2)

行1(column 1)

圖 2



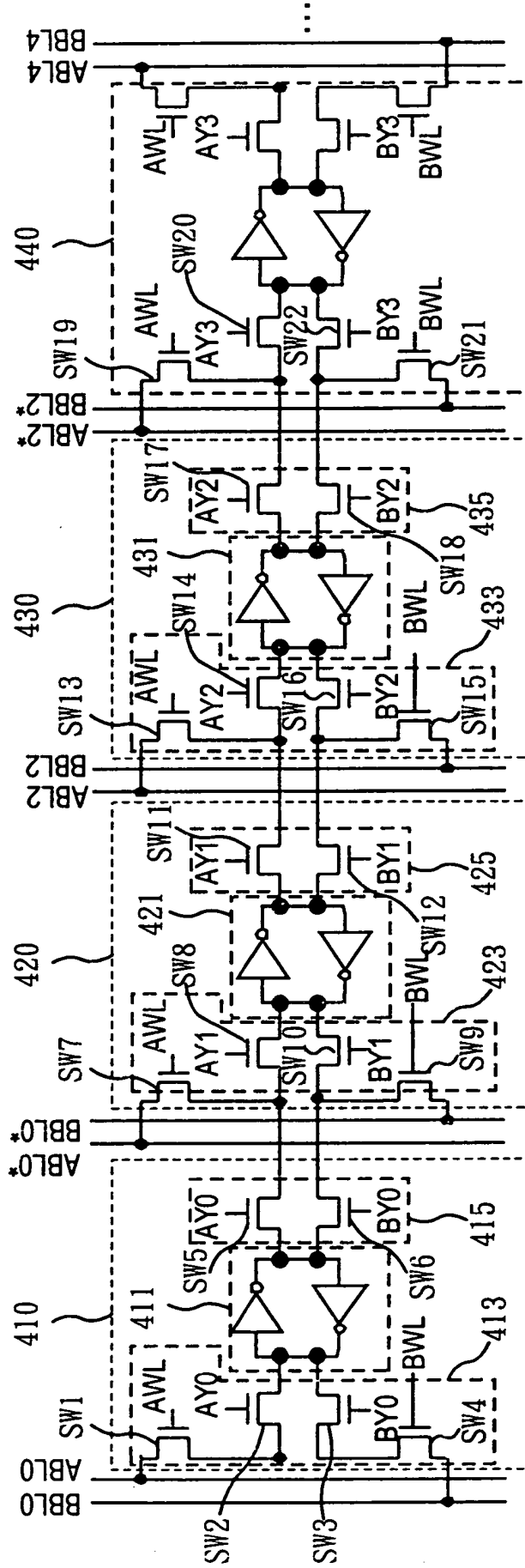
行2(column 2)



行1(column 1)

圖 3

400



行3(Column 3)

行2(Column 2)

行1(Column 1)

行0(Column 0)

圖 4

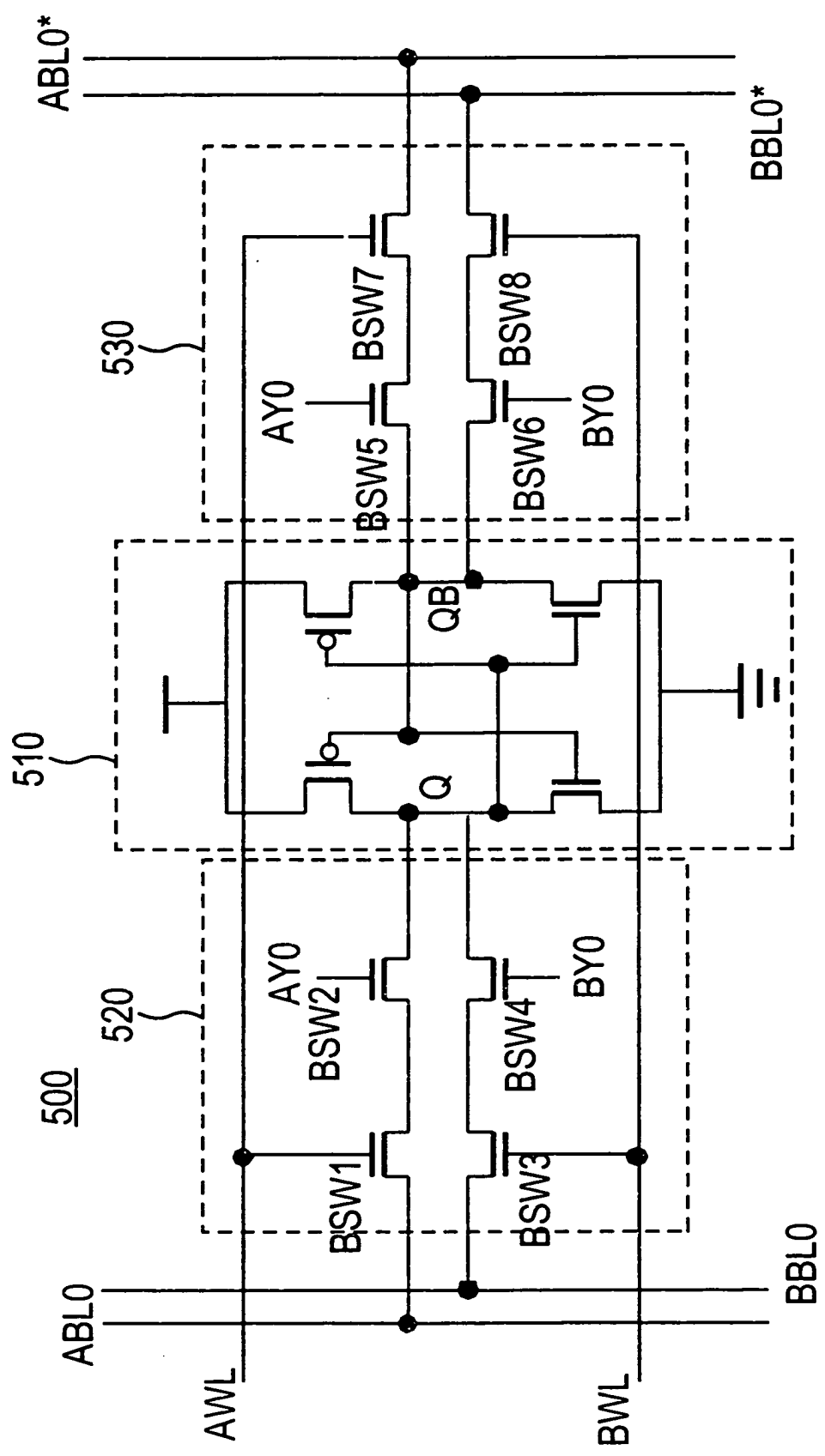


圖 5

400

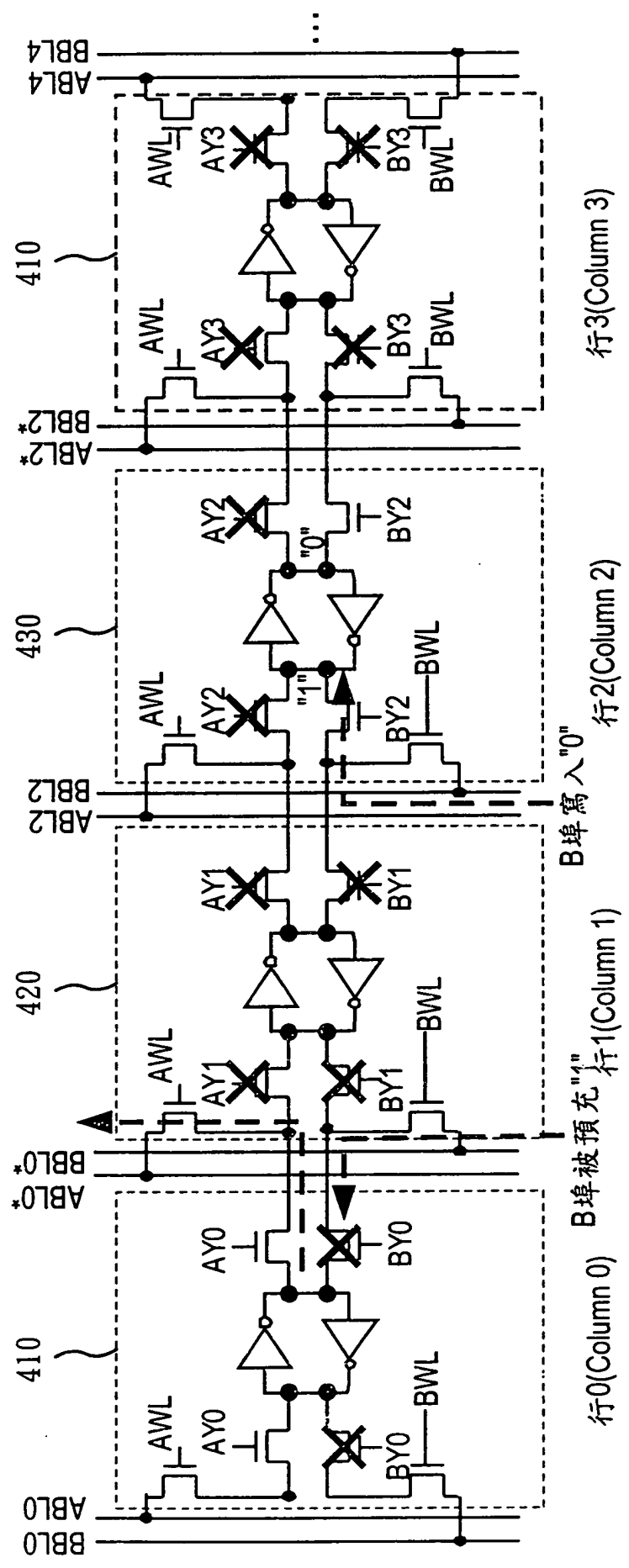


圖 6

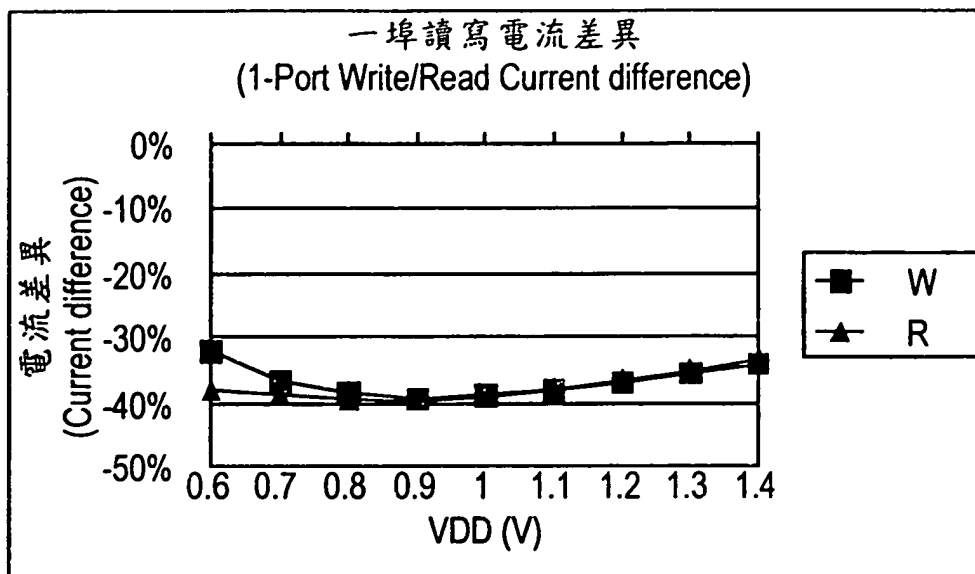


圖 7(A)

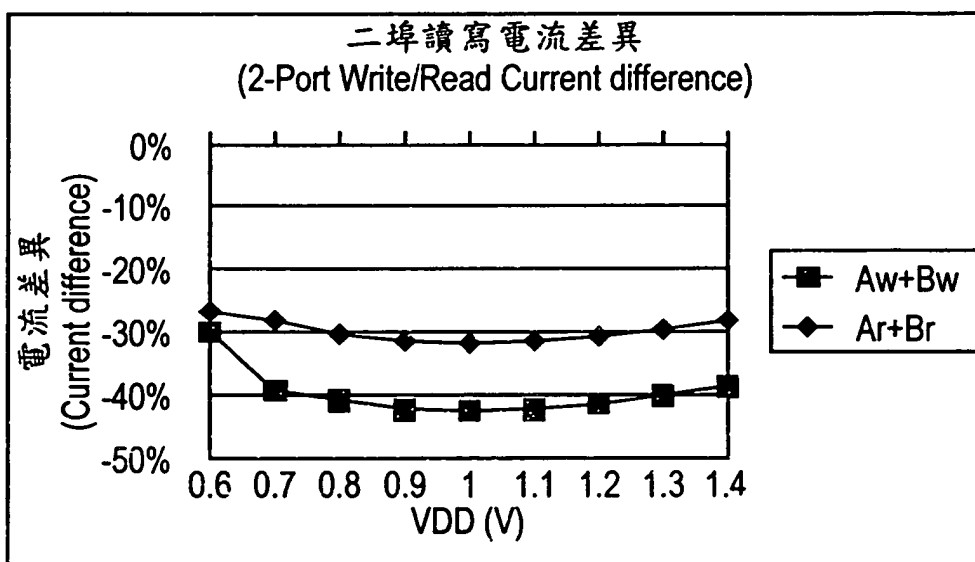


圖 7(B)

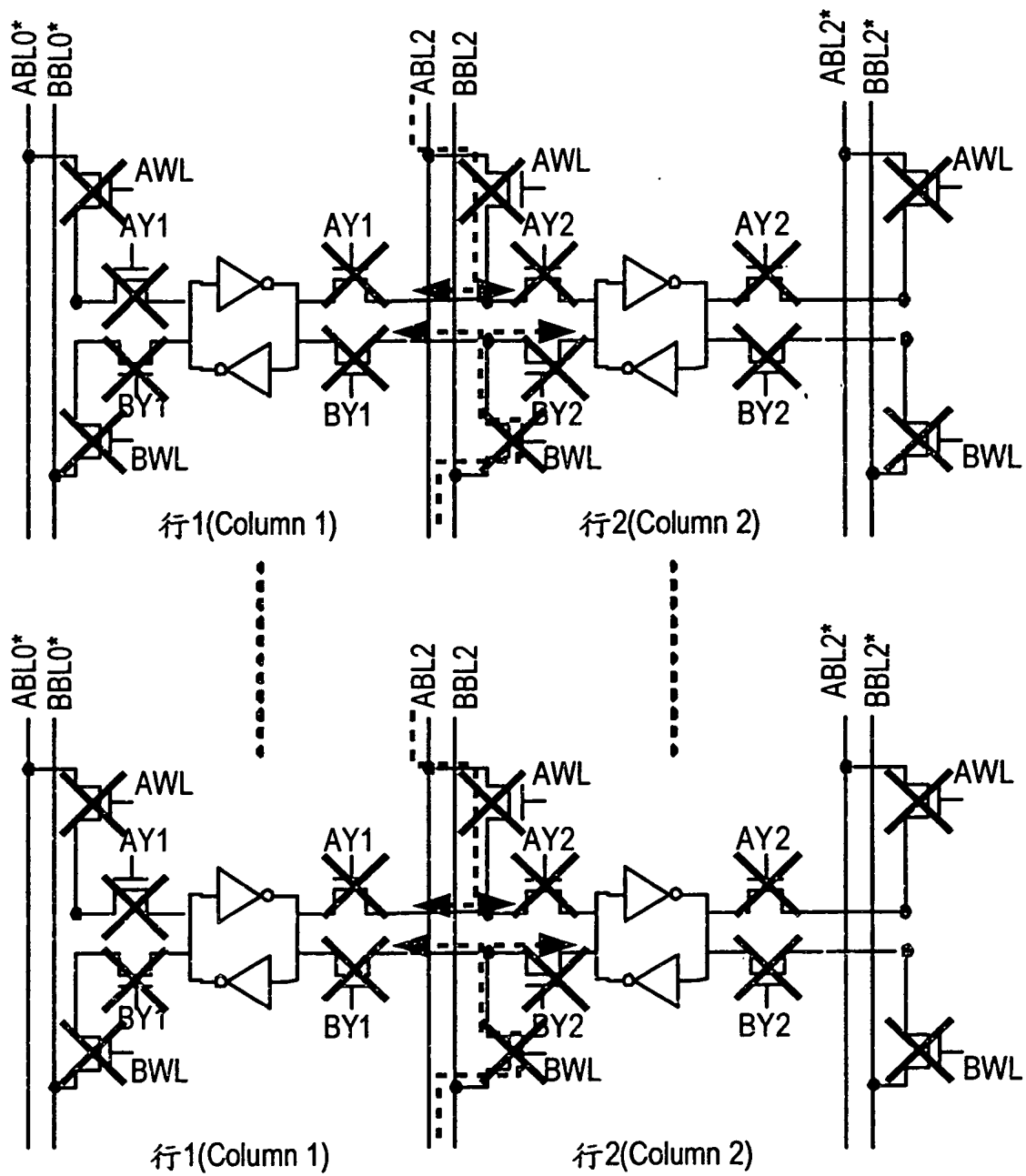


圖 8

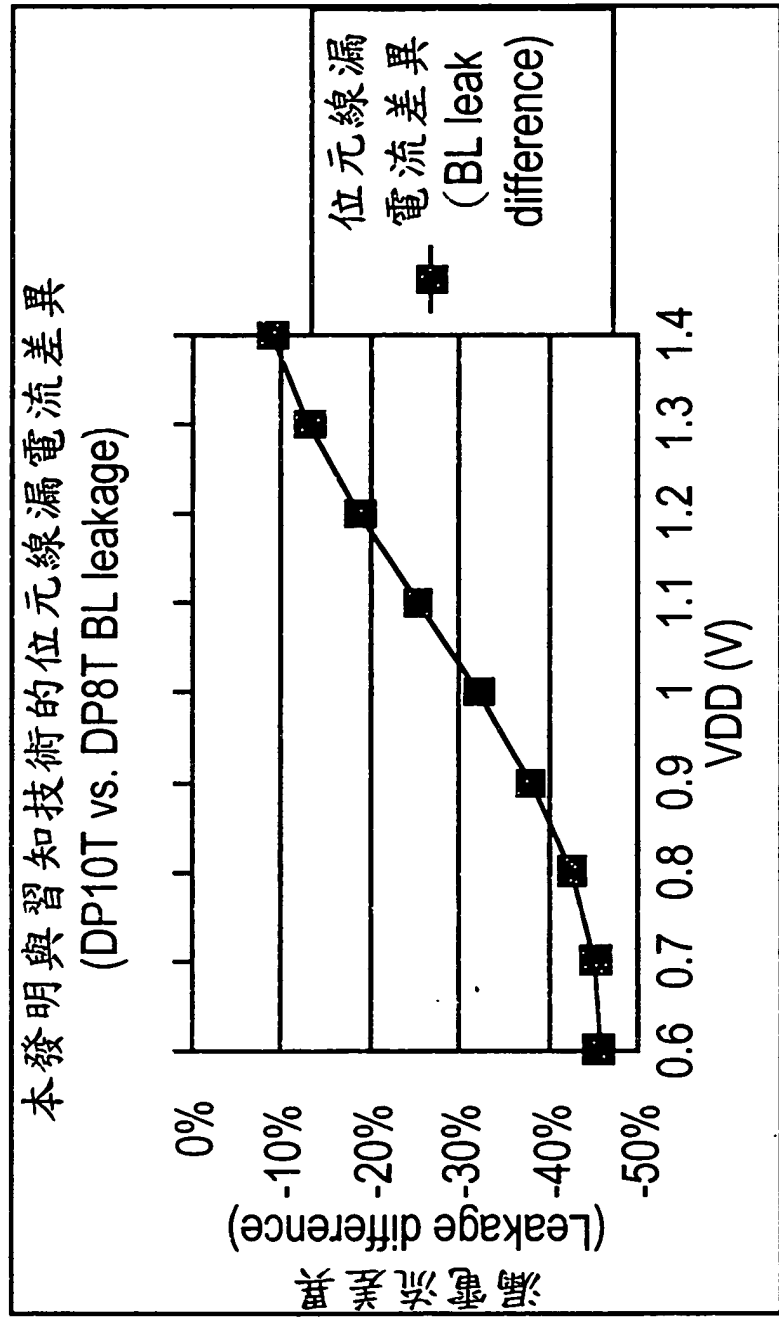


圖 9