



(21)申請案號：101142391

(22)申請日：中華民國 101 (2012) 年 11 月 14 日

(51)Int. Cl. : G11C13/00 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：劉柏村 LIU, POTSUN (TW)；許沁卉 HSU, CHINGHUI (TW)；范揚順 FAN, YANGSHUN (TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

KR	10-1004736B1	US	2009/0257271A1
US	2010/0230654A1	US	2010/0252796A1
US	2010/0258778A1	US	2011/0133152A1
US	2012/0223285A1	US	2012/0241706A1

Chen, Min-Chen, et al., "Studies on nonvolatile resistance memory switching behaviors in InGaZnO thin films", Non-Volatile Memory Technology Symposium (NVMTS), 2011 11th Annual, 7-9 Nov. 2011, Liu, Po-Tsun, et al., " Novel InGaZnO-based TFT for system-on-panel applications ", Opto-Electronics and Communications Conference (OECC), 2011 16th, 4-8 July 2011,

審查人員：蕭明椿

申請專利範圍項數：14 項 圖式數：7 共 31 頁

(54)名稱

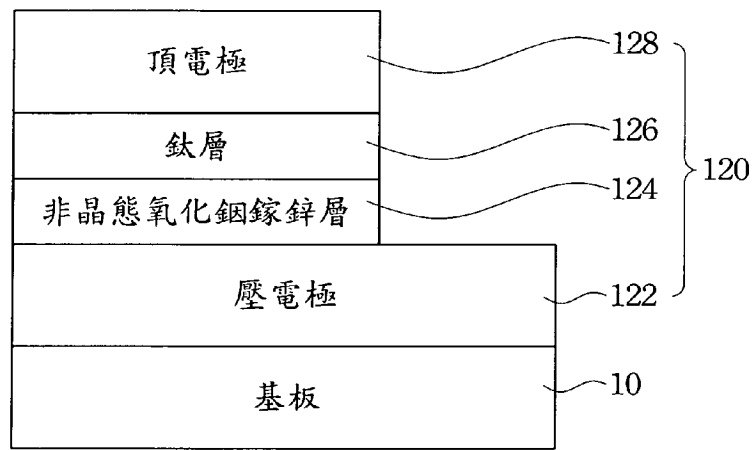
電阻式記憶體裝置及其操作方法

RESISTIVE RANDOM ACCESS MEMORY DEVICE AND OPERATING METHOD THEREOF

(57)摘要

電阻式記憶體裝置及其操作方法在此揭露。電阻式記憶體裝置包括至少一個電阻式記憶體元件以及控制電路。電阻式記憶體元件包括底電極、非晶態氧化銦鎵鋅(amorphous Indium-Gallium-Zinc-Oxide, a-IGZO)層、鈦層以及頂電極。非晶態氧化銦鎵鋅層配置於底電極上。鈦層配置於非晶態氧化銦鎵鋅層。頂電極配置於鈦層上。控制電路用以提供電訊號給電阻式記憶體元件，以改變電阻式記憶體元件的電阻值。

A resistive random access memory (RRAM) device and operating method are disclosed herein. The resistive random access memory device includes at least one resistive random access memory cell and a control circuit. The resistive random access memory cell includes a bottom electrode, an amorphous Indium-Gallium-Zinc-Oxide (a-IGZO) layer, a Ti layer and a top electrode. The a-IGZO layer is disposed on the bottom layer. The Ti layer is disposed on the a-IGZO layer. The top electrode is disposed on the Ti layer. The control circuit is configured to provide an electric signal to the resistive random access memory cell, so as to change the resistance value of the resistive random access memory cell.



- 10 . . . 基板
- 120 . . . 電阻式記憶體元件
- 122 . . . 底電極
- 124 . . . 非晶態氧化銦鎵鋅層
- 126 . . . 鈦層
- 128 . . . 頂電極

第 2 圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101142391

※申請日：101.11.14

※IPC 分類：G11C 13/00 (2006.01)

## 一、發明名稱：

電阻式記憶體裝置及其操作方法

Resistive Random Access Memory Device and Operating Method thereof

## 二、中文發明摘要：

電阻式記憶體裝置及其操作方法在此揭露。電阻式記憶體裝置包括至少一個電阻式記憶體元件以及控制電路。電阻式記憶體元件包括底電極、非晶態氧化銦鎵鋅 (amorphous Indium-Gallium-Zinc-Oxide, a-IGZO) 層、鈦層以及頂電極。非晶態氧化銦鎵鋅層配置於底電極上。鈦層配置於非晶態氧化銦鎵鋅層。頂電極配置於鈦層上。控制電路用以提供電訊號給電阻式記憶體元件，以改變電阻式記憶體元件的電阻值。

## 三、英文發明摘要：

A resistive random access memory (RRAM) device and operating method are disclosed herein. The resistive random access memory device includes at least one resistive random access memory cell and a control circuit. The resistive

random access memory cell includes a bottom electrode, an amorphous Indium-Gallium-Zinc-Oxide (a-IGZO) layer, a Ti layer and a top electrode. The a-IGZO layer is disposed on the bottom layer. The Ti layer is disposed on the a-IGZO layer. The top electrode is disposed on the Ti layer. The control circuit is configured to provide an electric signal to the resistive random access memory cell, so as to change the resistance value of the resistive random access memory cell.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

10：基板

120：電阻式記憶體元件

122：底電極

124：非晶態氧化銦鎵鋅層

126：鈦層

128：頂電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種記憶體裝置及其操作方法，特別是有關於一種電阻式記憶體裝置及其操作方法。

### 【先前技術】

隨著科技的發展，非揮發性記憶體已被廣泛地應用各式電子裝置上，如筆記型電腦、行動電話與平板電腦等。其中，電阻式記憶體元件由於具有結構簡單、低耗損能量、低操作電壓和高操作速度等優點，已成為此領域重要的研究議題。

此外，隨著顯示科技的發展，將系統整合於面板上的系統整合型面板(system on panel, SOP)技術亦為當今熱門的研究議題，其中非揮發性記憶體元件的製程為關鍵技術之一。然而，觀諸現有的電阻式記憶體元件，其所使用的材料及製程條件(例如溫度)皆難以整併於顯示面板的製程當中，而增加電阻式記憶體元件應用在系統整合型面板上的困難。

是以，為使電阻式記憶體元件被更廣泛地應用，一種新型態的電阻式記憶體元件有必要被提出。

### 【發明內容】

本發明一實施樣態為一種電阻式記憶體裝置的操作方法。

根據本發明一實施例，該電阻式記憶體裝置包括至少一電阻式記憶體元件，該電阻式記憶體元件包括一底電極、配置於該底電極上的一非晶態氧化銦鎵鋅(amorphous Indium-Gallium-Zinc-Oxide, a-IGZO)層、配置於該非晶態氧化銦鎵鋅層上的一鈦層以及配置於該鈦層上的一頂電極，該操作方法包括：提供電訊號給該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，其中提供電訊號給該電阻式記憶體元件的步驟包括：提供一設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，當該電阻式記憶體元件處於啟始狀態時，該電阻式記憶體元件具有一第一電阻值。提供該設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流的步驟包括：提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第一電流界限內時，使該電阻式記憶體元件的電阻值改變為一第二電阻值，其中該第二電阻值小於該第一電阻值。

根據本發明一實施例，提供該設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流的步驟包括：提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第二電流界限內時，使該電阻式記憶體元件的電阻值改變為一第三電阻值；以及，提供該設定電壓予具有該第一電阻

值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第三電流界限內時，使該電阻式記憶體元件的電阻值改變為一第四電阻值。該第三電流界限大於該第二電流界限，該第二電流界限大於該第一電流界限，且該第四電阻值小於該第三電阻值，且該第三電阻值小於該第二電阻值。

根據本發明一實施例，操作方法更包括在提供該設定電壓予該電阻式記憶體元件後，提供一重置電壓予該電阻式記憶體元件，以重置該電阻式記憶體元件的電阻值為該第一電阻值。

根據本發明一實施例，該設定電壓與該重置電壓電性相反。

根據本發明一實施例，提供電訊號給該電阻式記憶體元件的步驟包括：提供至少一脈衝訊號至該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，當該電阻式記憶體元件處於啟始狀態時，該電阻式記憶體元件具有一第一電阻值。提供一脈衝訊號至該電阻式記憶體元件的步驟包括：在該電阻式記憶體元件具有該第一電阻值時，提供一第一脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第二電阻值。在該電阻式記憶體元件具有該第二電阻值時，提供一第二脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第三電阻值。在該電阻式記憶體元件具有該第三電阻值時，提供一第三脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的



電阻值改變為一第四電阻值。在該電阻式記憶體元件具有該第四電阻值時，提供一第四脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為該第一電阻值。

根據本發明一實施例，該第四脈衝訊號與該第三脈衝訊號電性相反，且該第三脈衝訊號與該第二脈衝訊號、該第一脈衝訊號電性相同。

根據本發明一實施例，該第三脈衝訊號的振幅大於該第二脈衝訊號的振幅，該第二脈衝訊號的振幅大於第一脈衝訊號的振幅，且該第一電阻值大於該第二電阻值，該第二電阻值大於該第三電阻值，該第三電阻值大於該第四電阻值。

根據本發明一實施例，該第三脈衝訊號、該第二脈衝訊號以及該第一脈衝訊號的脈衝寬度彼此相同，且該第四脈衝訊號的脈衝寬度大於該第三脈衝訊號的脈衝寬度。

本發明的另一實施樣態為一種電阻式記憶體裝置。根據本發明一實施例，該電阻式記憶體裝置包括至少一電阻式記憶體元件以及控制電路。其中該電阻式記憶體元件的結構與前一實施樣態中的電阻式記憶體元件相同，故在此不再贅述。該控制電路用以提供電訊號給該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，該控制電路提供一設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，當該電阻式記憶體元件處於啟

始狀態時，該電阻式記憶體元件具有一第一電阻值。當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第一電流界限內時，該電阻式記憶體元件的電阻值改變為一第二電阻值，其中該第二電阻值小於該第一電阻值。

根據本發明一實施例，當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第二電流界限內時，該電阻式記憶體元件的電阻值改變為一第三電阻值。當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第三電流界限內時，該電阻式記憶體元件的電阻值改變為一第四電阻值。該第三電流界限大於該第二電流界限，該第二電流界限大於該第一電流界限，該第四電阻值小於該第三電阻值，且該第三電阻值小於該第二電阻值。

根據本發明一實施例，該控制電路在提供該設定電壓予該電阻式記憶體元件後，提供一重置電壓予該電阻式記憶體元件，以重置該電阻式記憶體元件的電阻值為該第一電阻值。

根據本發明一實施例，該設定電壓與該重置電壓的電性相反。

根據本發明一實施例，該控制電路用以提供至少一脈衝訊號至該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

根據本發明一實施例，當該電阻式記憶體元件處於啟

始狀態時，該電阻式記憶體元件具有一第一電阻值。在該電阻式記憶體元件具有該第一電阻值時，該控制電路提供一第一脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第二電阻值。在該電阻式記憶體元件具有該第二電阻值時，該控制電路提供一第二脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第三電阻值。在該電阻式記憶體元件具有該第三電阻值時，該控制電路提供一第三脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第四電阻值。在該電阻式記憶體元件具有該第四電阻值時，該控制電路提供一第四脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為該第一電阻值。

根據本發明一實施例，該第四脈衝訊號與該第三脈衝訊號電性相反，該第三脈衝訊號與該第二脈衝訊號、該第一脈衝訊號電性相同。該第三脈衝訊號的振幅大於該第二脈衝訊號的振幅，該第二脈衝訊號的振幅大於第一脈衝訊號的振幅，且該第一電阻值大於該第二電阻值，該第二電阻值大於該第三電阻值，該第三電阻值大於該第四電阻值。

根據本發明一實施例，該第三脈衝訊號、該第二脈衝訊號以及該第一脈衝訊號的脈衝寬度彼此相同，且該第四脈衝訊號的脈衝寬度大於該第三脈衝訊號的脈衝寬度。

綜上所述，應用上述的實施例，一種電阻式記憶體裝置可被實現。其中電阻式記憶體元件的轉換層材料可與部份顯示面板中薄膜電晶體的半導體層材料相同，並可在室

溫下(如攝氏 27 度至攝氏 100 度)沉積，故能直接形成於玻璃基板上，有助於實現系統整合型面板(system on panel, SOP)。此外，在上述的實施例中，電阻式記憶體裝置可透過控制提供給電阻式記憶體元件的脈衝訊號或電流，使電阻式記憶體元件具有多種儲存狀態，進而提高電阻式記憶體元件的儲存密度。

### 【實施方式】

以下將以圖式及詳細敘述清楚說明本揭示內容之精神，任何所屬技術領域中具有通常知識者在瞭解本揭示內容之較佳實施例後，當可由本揭示內容所教示之技術，加以改變及修飾，其並不脫離本揭示內容之精神與範圍。

第 1 圖為根據本發明一實施例所繪示的電阻式記憶體裝置 100 之示意圖。電阻式記憶體裝置 100 可包括控制電路 110 以及至少一個電阻式記憶體元件 120。控制電路 110 可電性連接電阻式記憶體元件 120，並用以提供電訊號(例如可為電壓及/或電流)予電阻式記憶體元件 120，以改變電阻式記憶體元件 120 的電阻值，使得電阻式記憶體元件 120 具有複數個不同的儲存狀態。控制電路 110 例如可用電晶體及/或二極體所構成。

第 2 圖為根據本發明一實施例所繪示的電阻式記憶體元件 120 之示意圖。電阻式記憶體元件 120 可配置於基底 10 上，其中基底 10 例如可為矽基底或玻璃基底。

電阻式記憶體元件 120 可包括底電極 122、非晶態氧化銦鎵鋅(amorphous Indium-Gallium-Zinc-Oxide, a-IGZO)

層 124、鈦層 126 以及頂電極 128。底電極 122 可配置於基板 10 之上，例如可用鉑金、銱、金、氮化鈦或上述材料的混合物所製成。非晶態氧化銻鎳鋅層 124 可配置於底電極 122 之上。鈦層 126 可配置於非晶態氧化銻鎳鋅層 124 之上，用以提升電阻式記憶體元件 120 的穩定性。頂電極 128 可配置於鈦層 126 之上，例如可用氮化鈦製成。另外，上述電極 122、非晶態氧化銻鎳鋅層 124、鈦層 126 以及頂電極 128 可在室溫下(如攝氏 27 度至攝氏 100 度)以物理氣相沉積法製成。

在一實施例中，底電極 122 的厚度例如可為 60 奈米，非晶態氧化銻鎳鋅層 124 的厚度例如可為 50 奈米，鈦層 126 的厚度例如可為 10 奈米，且頂電極 128 的厚度例如可為 70 奈米。

另外，在一實施例中，電阻式記憶體元件 120 與基板 10 之中可另有一鈦層或二氧化鈦層(未繪示)，用以幫助底電極 122 附著於基板 10 上，此一鈦層或二氧化鈦層的厚度例如可為 20 奈米。

上述的配置中，由於非晶態氧化銻鎳鋅層 124 的電阻轉換特性，電阻式記憶體元件 120 的電阻值可在接收電訊號時被改變，因此電阻式記憶體元件 120 可具備多種儲存狀態。另一方面，在上述實施例中，由於電阻式記憶體元件 120 的轉換層的材料為非晶態氧化銻鎳鋅，與部份顯示面板中薄膜電晶體的半導體層材料相同，且電阻式記憶體元件 120 可在室溫下沉積，故能直接形成於軟性基板或玻璃基板上(熔點約攝氏 350 度)，使得電阻式記憶體元件 120

易於整合在薄膜電晶體顯示面板的製程當中，而有助於達成系統整合型面板(system on panel, SOP)的目標。

以下的段落將介紹電阻式記憶體裝置 100 的操作方法，其中電阻式記憶體元件 120 可相應其自身的電阻值而具有不同的儲存狀態。電阻式記憶體裝置 100 可利用控制電路 110 提供電訊號給電阻式記憶體元件 120，以改變電阻式記憶體元件 120 的電阻值，使得電阻式記憶體元件 120 具有至少兩種儲存狀態。以下將以具有四種儲存狀態的電阻式記憶體元件 120 為例進行說明，然而熟習本領域者當可依照需求調整提供給電阻式記憶體元件 120 的電訊號，使電阻式記憶體元件 120 具有多種儲存狀態，而不以本文所述實施例為限。

另外，下述的操作方法可用於結構與前述第 1、2 圖中相同或類似的電阻式記憶體裝置 100。為方便說明，下述控制方法係以第 1、2 圖所示之實施例為例進行描述，但並不以第 1、2 圖之實施例為限。

在本發明的第一實施例中，控制電路 110 係藉由提供設定電壓  $V_{set}$  予電阻式記憶體元件 120，並限制流過電阻式記憶體元件 120 的電流，以改變電阻式記憶體元件 120 的電阻值，亦即，使電阻式記憶體元件 120 由高電阻狀態轉態為低電阻狀態。

第 3 圖為根據本發明第一實施例所繪示的操作方法 300 示意圖。

在啟始狀態時，電阻式記憶體元件 120 具有第一電阻值，此時電阻式記憶體元件 120 為第一儲存狀態(0, 0)。

當控制電路 120 提供設定電壓  $V_{set}$  予具有第一電阻值 (即處於第一儲存狀態  $(0, 0)$ ) 的電阻式記憶體元件 120，並限制流過電阻式記憶體元件 120 的電流於第一電流界限  $L1$  內時，電阻式記憶體元件 120 的電阻值由第一電阻值改變為第二電阻值，且電阻式記憶體元件 120 由第一儲存狀態轉態  $(0, 0)$  轉態為第二儲存狀態  $(0, 1)$ 。且第二電阻值小於第一電阻值。

當控制電路 120 提供設定電壓  $V_{set}$  予具有第一電阻值 (即處於第一儲存狀態  $(0, 0)$ ) 的電阻式記憶體元件 120，並限制流過電阻式記憶體元件 120 的電流於第二電流界限  $L2$  內時，電阻式記憶體元件 120 的電阻值由第一電阻值改變為第三電阻值，且電阻式記憶體元件 120 由第一儲存狀態轉態  $(0, 0)$  轉態為第三儲存狀態  $(1, 0)$ 。

當控制電路 120 提供設定電壓  $V_{set}$  予具有第一電阻值 (即處於第一儲存狀態  $(0, 0)$ ) 的電阻式記憶體元件 120，並限制流過電阻式記憶體元件 120 的電流於第三電流界限  $L3$  內時，電阻式記憶體元件 120 的電阻值由第一電阻值改變為第四電阻值，且電阻式記憶體元件 120 由第一儲存狀態轉態  $(0, 0)$  轉態為第四儲存狀態  $(1, 1)$ 。

另一方面，在控制電路 110 提供設定電壓  $V_{set}$  予電阻式記憶體元件 120 後 (亦即，在電阻式記憶體元件 120 處於第二、第三、第四儲存狀態  $(0, 1)$ 、 $(1, 0)$ 、 $(1, 1)$  時)，控制電路 110 可提供重置電壓  $V_{reset}$  予電阻式記憶體元件 120，以重置電阻式記憶體元件 120 的電阻值為第一電阻值，(亦即，使電阻式記憶體元件 120 的儲存狀態轉態為第

一儲存狀態(0, 0))。

透過上述的操作，電阻式記憶體元件 120 可在不同的儲存狀態間切換。

簡言之，上述實施例係藉由分別控制流過電阻式記憶體元件 120 的電流於複數個電流界限之內，以使電阻式記憶體元件 120 分別具有相應於此些電流界限的電阻值，使得單一電阻式記憶體元件 120 可具有 2 位元以上的儲存空間。

● 另外，在電阻式記憶體元件 120 接收設定電壓  $V_{set}$  而由高電阻狀態轉態為低電阻狀態時，若限制電阻式記憶體元件 120 流過電阻式記憶體元件 120 的電流界限越大，則電阻式記憶體元件 120 的電阻值就會被改變得越小。例如，若第三電流界限大於第二電流界限且第二電流界限大於第一電流界限，則第四電阻值小於第三電阻值且第三電阻值小於第二電阻值。

● 再者，重置電壓  $V_{reset}$  可和設定電壓  $V_{set}$  電性相反，例如重置電壓  $V_{reset}$  可為負電壓，設定電壓  $V_{set}$  可為正電壓。於一實施例中，重置電壓  $V_{reset}$  例如可為 -2 伏特，設定電壓  $V_{set}$  例如可為 2 伏特，第三電流界限例如可為 0.2 毫安培，第二電流界限例如可為 0.5 毫安培，第一電流界限例如可為 2 毫安培。當注意到，以上數值僅為實施上的例示，本發明不以此為限。

以下第 4 圖至第 5 圖分別說明在上述操作方法 300 中電阻式記憶體元件 120 的特性。

第 4 圖為根據本發明一實施例所繪示的電阻式記憶體



元件 120 限制在不同電流界限 L1-L3 下的電阻切換特性示意圖。如圖所示，透過限制流過電阻式記憶體元件 120 的電流於不同電流界限內，可控制電阻式記憶體元件 120 在接收設定電壓  $V_{set}$  (例如是 2 伏特) 而由高電阻狀態轉態為低電阻狀態後的電阻值，使得單一電阻式記憶體元件 120 可具有 2 位元以上的儲存空間。

第 5 圖為根據本發明一實施例所繪示的電阻式記憶體元件 120 的資料保存能力測試圖。如圖所示，在電阻式記憶體元件 120 處於各個儲存狀態下，並持續接收讀取電壓例如為 0.2 伏特，電阻式記憶體元件 120 的電阻值皆能穩定維持。

以下段落將介紹本發明的第二實施例。在本實施例中，控制電路 110 係透過提供至少一脈衝訊號至電阻式記憶體元件 120，以改變電阻式記憶體元件 120 的電阻值。

第 6 圖為根據本發明的第二實施例所繪示的操作方法 700 示意圖。第 7 圖為第 7 圖中電阻式記憶體元件 120 儲存狀態變化示意圖。

同時參照第 6、7 圖，在啟始狀態時，電阻式記憶體元件 120 具有第一電阻值，此時電阻式記憶體元件 120 為第一儲存狀態(0, 0)。

在電阻式記憶體元件 120 具有第一電阻值時(即處於第一儲存狀態(0, 0))，控制電路 110 可提供第一脈衝訊號  $V_1$  予電阻式記憶體元件 120，使電阻式記憶體元件 120 的電阻值改變為第二電阻值，並使電阻式記憶體元件 120 轉態為第二儲存狀態(0, 1)。

在電阻式記憶體元件 120 具有第二電阻值時(即處於第二儲存狀態(0, 1))，控制電路 110 可提供第二脈衝訊號 V2 予電阻式記憶體元件 120，使電阻式記憶體元件 120 的電阻值改變為第三電阻值，並使電阻式記憶體元件 120 轉態為第三儲存狀態(1, 0)。

在電阻式記憶體元件 120 具有第三電阻值時(即處於第三儲存狀態(1, 0))，控制電路 110 可提供第三脈衝訊號 V3 予電阻式記憶體元件 120，使電阻式記憶體元件 120 的電阻值改變為第四電阻值，並使電阻式記憶體元件 120 轉態為第四儲存狀態(1, 1)。

在電阻式記憶體元件 120 具有第四電阻值時(即處於第四儲存狀態(1, 1))，控制電路 110 可提供第四脈衝訊號 V4 予電阻式記憶體元件 120，使電阻式記憶體元件 120 的電阻值改變為第一電阻值，並使電阻式記憶體元件 120 轉態為第一儲存狀態(0, 0)。

透過上述的操作，電阻式記憶體元件 120 可在不同的儲存狀態間切換。

簡言之，上述第二實施例係分別在複數個儲存狀態下提供電阻式記憶體元件 120 相應於儲存狀態的脈衝訊號，以使電阻式記憶體元件 120 的電阻值相應於此些脈衝訊號改變，使得單一電阻式記憶體元件 120 可具有 2 位元以上的儲存空間。

在第二實施例中，第一脈衝訊號 V1 可與第二脈衝訊號 V2、第三脈衝訊號 V3 電性相同，例如可皆為正脈衝訊號，第四脈衝訊號 V4 可與第一脈衝訊號 V1、第二脈衝訊

號 V2、第三脈衝訊號 V3 電性不同，例如可為負脈衝訊號。第三脈衝訊號 V3 的振幅可大於第二脈衝訊號 V2 的振幅，第二脈衝訊號 V2 的振幅可大於第一脈衝訊號的振幅。並且，第一電阻值可大於第二電阻值，第二電阻值可大於第三電阻值，第三電阻值大於第四電阻值。

此外，第三脈衝訊號 V3、第二脈衝訊號 V2 以及第一脈衝訊號 V1 的脈衝寬度可彼此相同，且第四脈衝訊號 V4 的脈衝寬度可大於第三、第二及第一脈衝訊號 V3、V2、V1 的脈衝寬度。

在一實施例中，第一脈衝訊號 V1 的振幅例如是 1 伏特，脈衝寬度例如是 50 奈秒。第二脈衝訊號 V2 的振幅例如是 1.5 伏特，脈衝寬度例如是 50 奈秒。第三脈衝訊號 V3 的振幅例如是 2.5 伏特，脈衝寬度例如是 50 奈秒。第四脈衝訊號 V4 的振幅例如是 -1.5 伏特，脈衝寬度例如是 1 微秒。當注意到，以上數值僅為實施上的例示，本發明不以此為限。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

第 1 圖為根據本發明一實施例所繪示的電阻式記憶體裝置之示意圖；

第 2 圖為根據本發明一實施例所繪示的電阻式記憶體

元件之示意圖；

第 3 圖為根據本發明第一實施例所繪示的操作方法示意圖；

第 4 圖為根據本發明一實施例所繪示的電阻式記憶體元件限制在不同電流界限下的電阻切換特性示意圖；

第 5 圖為根據本發明一實施例所繪示的電阻式記憶體元件的資料保存能力測試圖；

第 6 圖為根據本發明的第二實施例所繪示的操作方法示意圖；

第 7 圖為第 6 圖中電阻式記憶體元件儲存狀態變化示意圖。

#### 【主要元件符號說明】

10：基板	Vset：電壓
100：電阻式記憶體裝置	Vreset：電壓
110：控制電路	V1-V4：脈衝訊號
120：電阻式記憶體元件	L1-L3：電流界限
122：底電極	(0, 0)：儲存狀態
124：非晶態氧化銻鎵鋅層	(0, 1)：儲存狀態
126：鈦層	(1, 0)：儲存狀態
128：頂電極	(1, 1)：儲存狀態

## 七、申請專利範圍：

1. 一種電阻式記憶體裝置的操作方法，其中該電阻式記憶體裝置包括至少一電阻式記憶體元件，該電阻式記憶體元件包括一底電極、配置於該底電極上的一非晶態氧化銦鎵鋅(amorphous Indium-Gallium-Zinc-Oxide, a-IGZO)層、配置於該非晶態氧化銦鎵鋅層上的一鈦層以及配置於該鈦層上的一頂電極，該操作方法包括：

提供電訊號給該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

2. 如請求項 1 所述的操作方法，其中提供電訊號給該電阻式記憶體元件的步驟包括：

提供一設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流，以改變該電阻式記憶體元件的電阻值。

3. 如請求項 2 所述的操作方法，其中當該電阻式記憶體元件處於啟始狀態時，該電阻式記憶體元件具有一第一電阻值，提供該設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流的步驟包括：

提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第一電流界限內時，使該電阻式記憶體元件的電阻值改變為一第二電阻值，其中該第二電阻值小於該第一電阻值；以及在提供該設定電壓予該電阻式記憶體元件後，提供一

重置電壓予該電阻式記憶體元件，以重置該電阻式記憶體元件的電阻值為該第一電阻值，其中該設定電壓與該重置電壓電性相反。

4. 如請求項 3 所述的操作方法，提供該設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流的步驟包括：

提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第二電流界限內時，使該電阻式記憶體元件的電阻值改變為一第三電阻值；以及

提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第三電流界限內時，該電阻式記憶體元件的電阻值改變為一第四電阻值，

該第三電流界限大於該第二電流界限，該第二電流界限大於該第一電流界限，且該第四電阻值小於該第三電阻值，且該第三電阻值小於該第二電阻值。

5. 如請求項 1 所述的操作方法，其中提供電訊號給該電阻式記憶體元件的步驟包括：

提供至少一脈衝訊號至該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

6. 如請求項 5 所述的操作方法，其中當該電阻式記憶

體元件處於啟始狀態時，該電阻式記憶體元件具有一第一電阻值，

且其中提供該至少一脈衝訊號至該電阻式記憶體元件的步驟包括：

在該電阻式記憶體元件具有該第一電阻值時，提供一第一脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第二電阻值，

在該電阻式記憶體元件具有該第二電阻值時，提供一第二脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第三電阻值，

在該電阻式記憶體元件具有該第三電阻值時，提供一第三脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第四電阻值，

在該電阻式記憶體元件具有該第四電阻值時，提供一第四脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為該第一電阻值。

7. 如請求項6所述的操作方法，其中該第四脈衝訊號與該第三脈衝訊號電性相反，且該第三脈衝訊號與該第二脈衝訊號、該第一脈衝訊號電性相同，

該第三脈衝訊號的振幅大於該第二脈衝訊號的振幅，該第二脈衝訊號的振幅大於第一脈衝訊號的振幅，且該第一電阻值大於該第二電阻值，該第二電阻值大於該第三電阻值，該第三電阻值大於該第四電阻值，

該第三脈衝訊號、該第二脈衝訊號以及該第一脈衝訊

號的脈衝寬度彼此相同，且該第四脈衝訊號的脈衝寬度大於該第三脈衝訊號的脈衝寬度。

8. 一種電阻式記憶體裝置，包括：

至少一電阻式記憶體元件，包括：

一底電極；

一非晶態氧化銻鎳鋅層，配置於該底電極上；

一鈦層，配置於該非晶態氧化銻鎳鋅層上；以及

一頂電極，配置於該鈦層上；以及

一控制電路，用以提供電訊號給該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

9. 如請求項 8 所述的電阻式記憶體裝置，其中該控制電路提供一設定電壓予該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流，以改變該電阻式記憶體元件的電阻值。

10. 如請求項 9 所述的電阻式記憶體裝置，其中當該電阻式記憶體元件處於啟始狀態時，該電阻式記憶體元件具有一第一電阻值，

當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第一電流界限內時，該電阻式記憶體元件的電阻值改變為一第二電阻值，該第二電阻值小於該第一電阻



值；以及

在該控制電路在提供該設定電壓予該電阻式記憶體元件後，提供一重置電壓予該電阻式記憶體元件，以重置該電阻式記憶體元件的電阻值為該第一電阻值，其中該設定電壓與該重置電壓的電性相反。

11. 如請求項 10 所述的電阻式記憶體裝置，其中當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第二電流界限內時，該電阻式記憶體元件的電阻值改變為一第三電阻值，

當該控制電路提供該設定電壓予具有該第一電阻值的該電阻式記憶體元件，並限制流過該電阻式記憶體元件的電流於一第三電流界限內時，該電阻式記憶體元件的電阻值改變為一第四電阻值，

該第三電流界限大於該第二電流界限，該第二電流界限大於該第一電流界限，該第四電阻值小於該第三電阻值，且該第三電阻值小於該第二電阻值。

12. 如請求項 8 所述的電阻式記憶體裝置，其中該控制電路用以提供至少一脈衝訊號至該電阻式記憶體元件，以改變該電阻式記憶體元件的電阻值。

13. 如請求項 12 所述的電阻式記憶體裝置，其中當該電阻式記憶體元件處於啟始狀態時，該電阻式記憶體元件

具有一第一電阻值，

在該電阻式記憶體元件具有該第一電阻值時，該控制電路提供一第一脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第二電阻值，

在該電阻式記憶體元件具有該第二電阻值時，該控制電路提供一第二脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第三電阻值，

在該電阻式記憶體元件具有該第三電阻值時，該控制電路提供一第三脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為一第四電阻值，

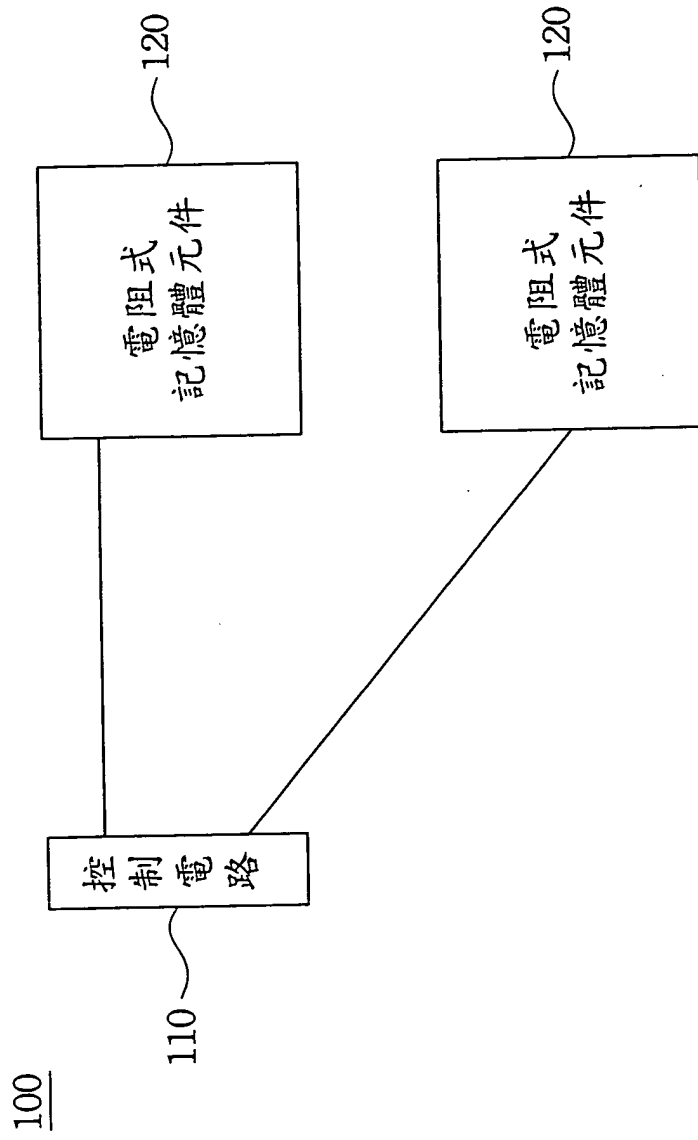
在該電阻式記憶體元件具有該第四電阻值時，該控制電路提供一第四脈衝訊號予該電阻式記憶體元件，使該電阻式記憶體元件的電阻值改變為該第一電阻值。

14. 如請求項 13 所述的電阻式記憶體裝置，其中該第四脈衝訊號與該第三脈衝訊號電性相反，該第三脈衝訊號與該第二脈衝訊號、該第一脈衝訊號電性相同，

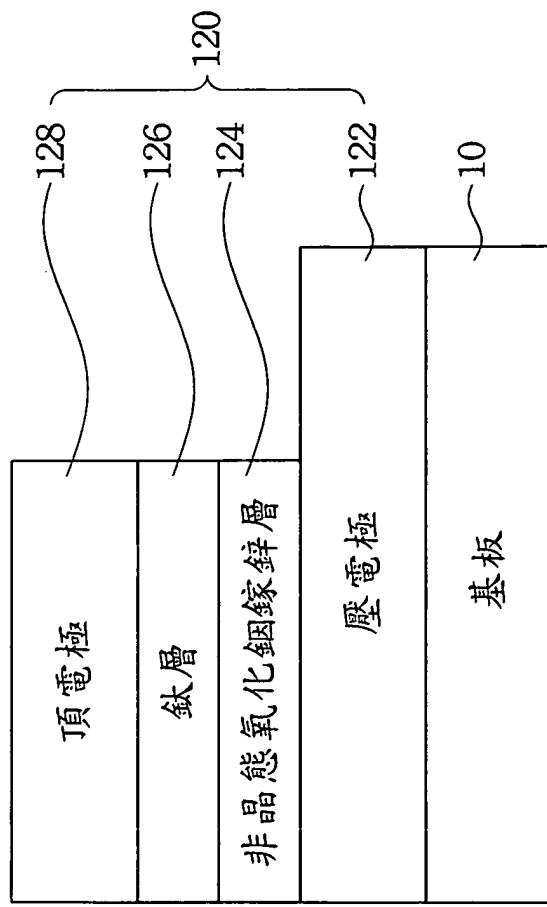
該第三脈衝訊號的振幅大於該第二脈衝訊號的振幅，該第二脈衝訊號的振幅大於第一脈衝訊號的振幅，且該第一電阻值大於該第二電阻值，該第二電阻值大於該第三電阻值，該第三電阻值大於該第四電阻值，

該第三脈衝訊號、該第二脈衝訊號以及該第一脈衝訊號的脈衝寬度彼此相同，且該第四脈衝訊號的脈衝寬度大於該第三脈衝訊號的脈衝寬度。

八、圖式：

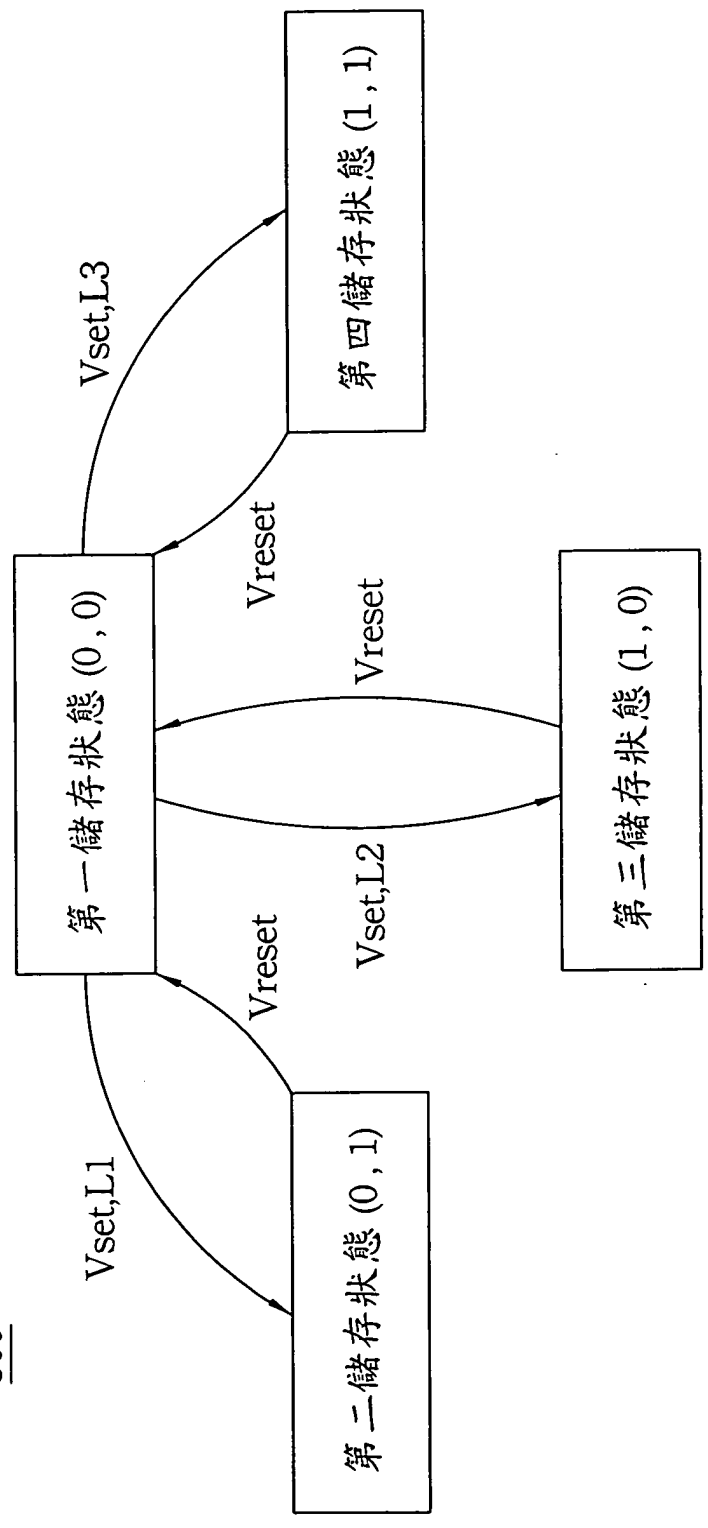


第 1 圖

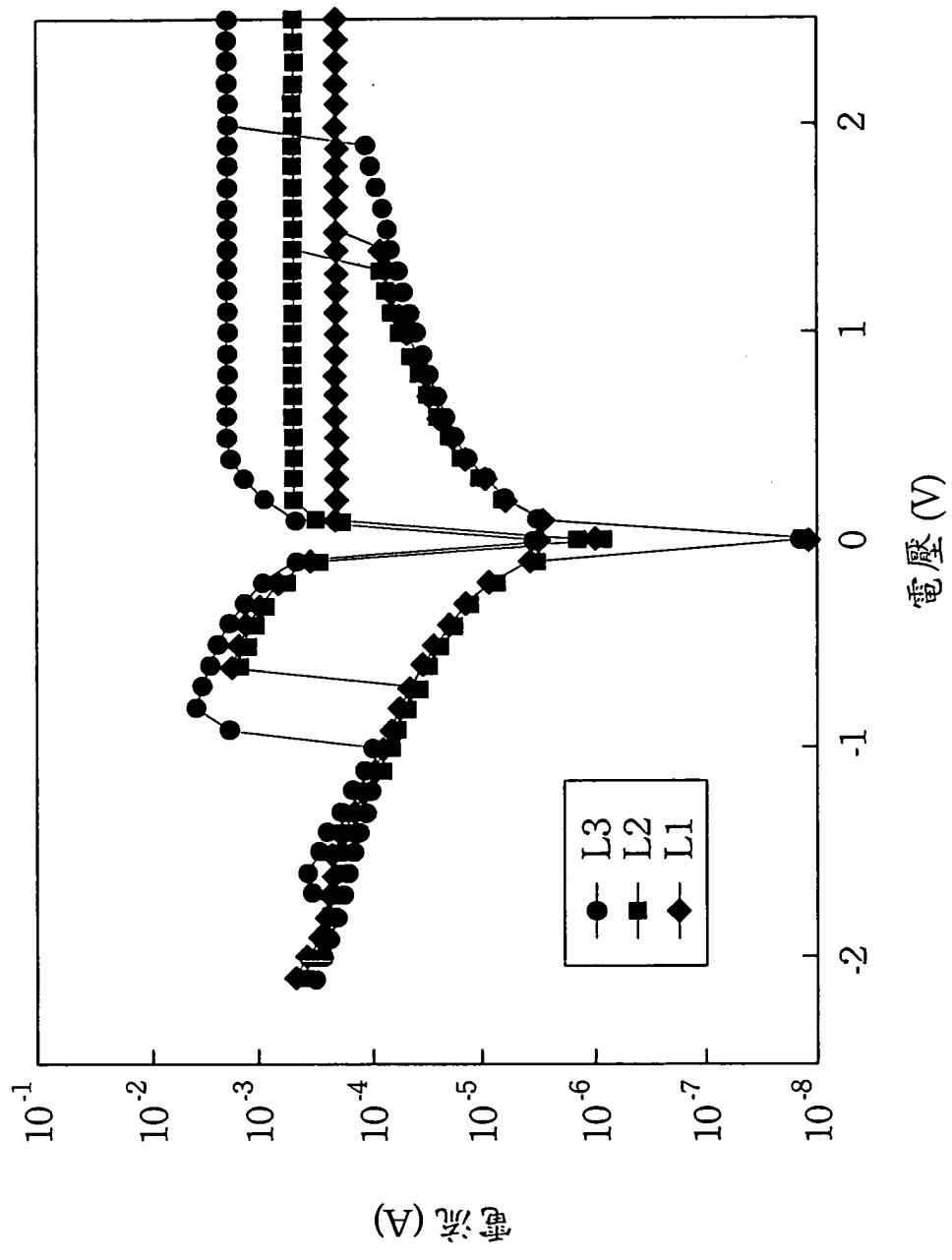


第 2 圖

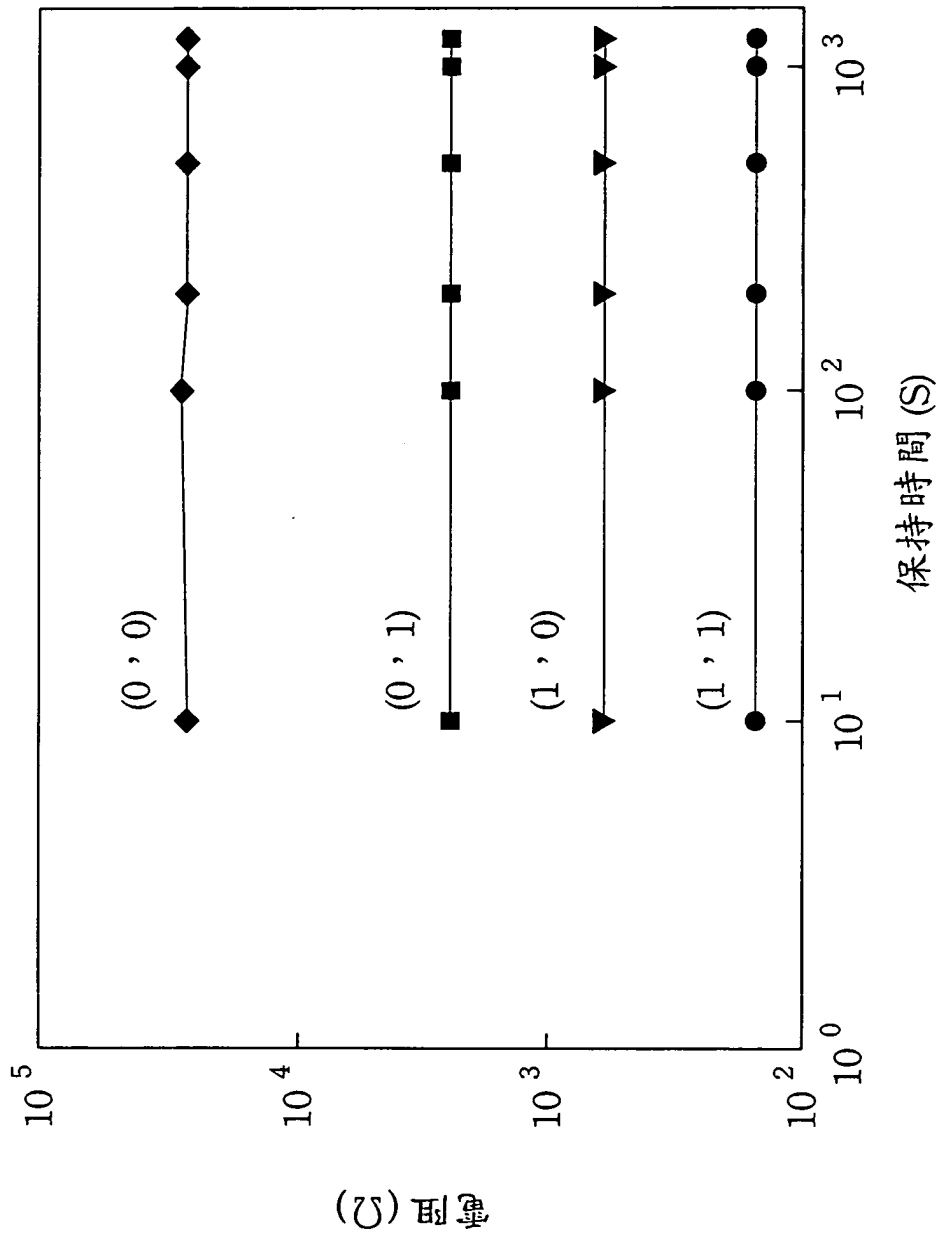
300



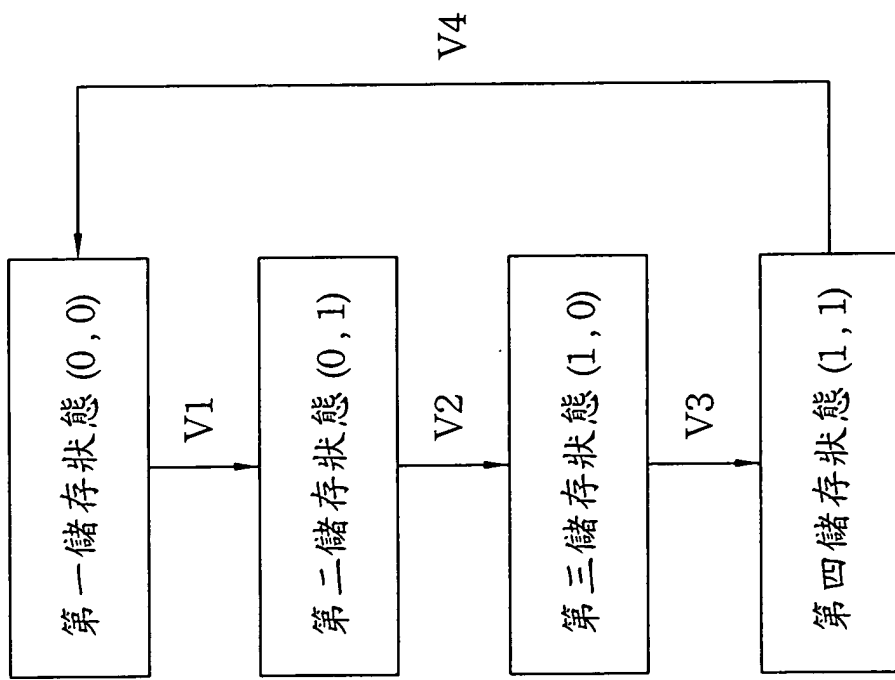
第 3 圖



第 4 圖



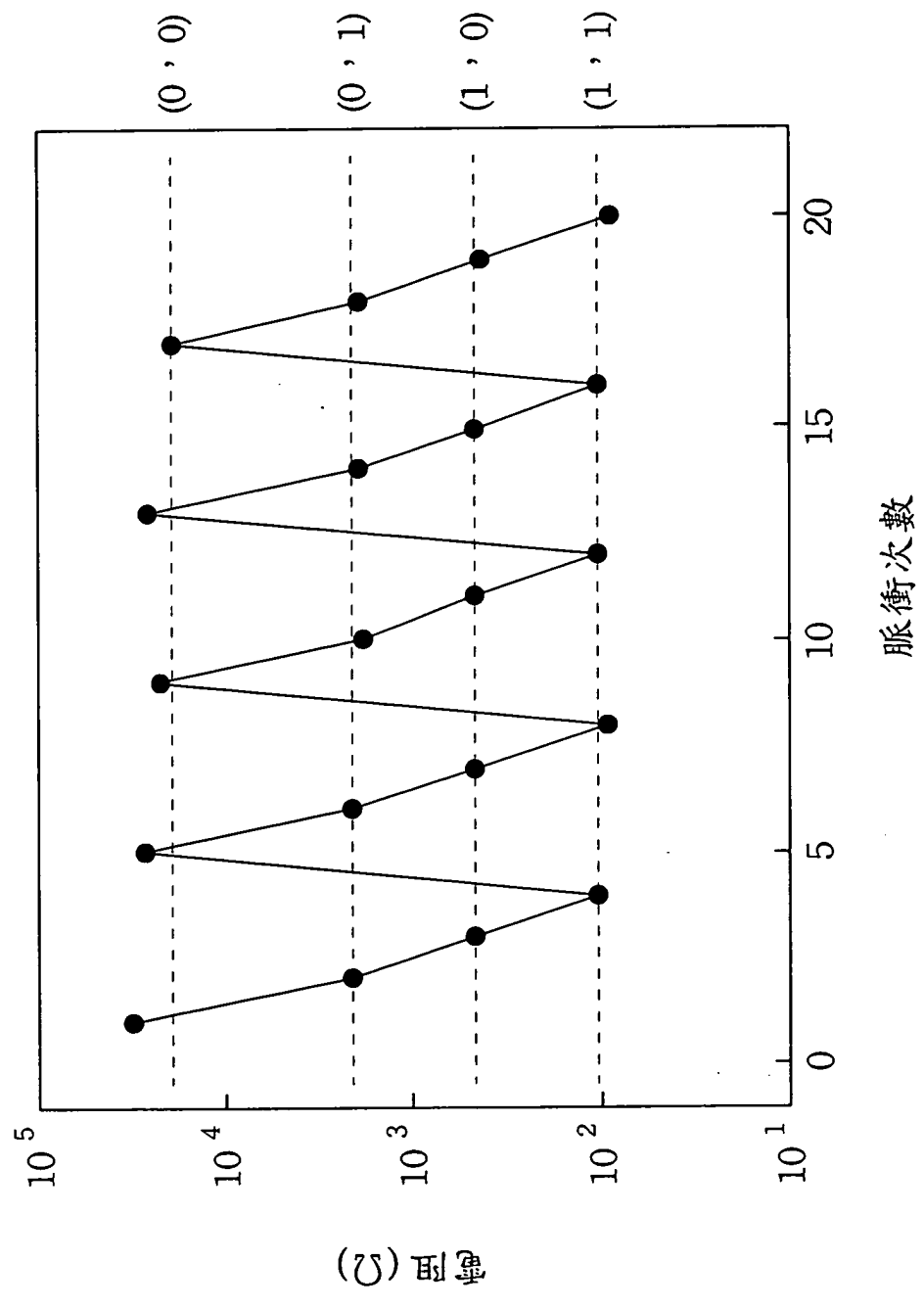
第 5 圖



700

第 6 圖





第 7 圖