



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I484499 B

(45) 公告日：中華民國 104 (2015) 年 05 月 11 日

(21) 申請案號：101133687

(22) 申請日：中華民國 101 (2012) 年 09 月 14 日

(51) Int. Cl. : G11C7/12 (2006.01)

G11C11/413 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING-TE (US)；楊皓義 YANG, HAO I (TW)；盧建宇 LU, CHIEN YU (TW)；陳建亨 CHEN, CHIEN HEN (TW)；張琦昕 CHANG, CHI SHIN (TW)；黃柏蒼 HUANG, PO TSANG (TW)；賴淑琳 LAI, SHU LIN (TW)；黃威 HWANG, WEI (US)；周世傑 JOU, SHYH JYE (TW)；杜明賢 TU, MING HSIEN (TW)

(74) 代理人：蘇建太；林志鴻

(56) 參考文獻：

US 6038193

審查人員：謝紀明

申請專利範圍項數：12 項 圖式數：12 共 31 頁

(54) 名稱

靜態隨機存取記憶體

RIPPLE BIT-LINES/SEARCH-LINES FOR IMPROVING LEAKAGE/VARIATION TOLERANCE AND DENSITY/PERFORMANCE OF STATIC RANDOM ACCESS MEMORY

(57) 摘要

本發明揭露一種靜態隨機存取記憶體，其包含一預充裝置、一第一單元行陣列/周邊電路、及一第一漣波緩衝裝置。該預充裝置連接至一第一區域位元線，以對該第一區域位元線進行預充。該第一單元行陣列/周邊電路連接至該第一區域位元線，該第一單元行陣列/周邊電路具有多個單元以暫存資料，該多個單元連接至該第一區域位元線。該第一漣波緩衝裝置連接至該第一區域位元線及一第二區域位元線，該第一漣波緩衝裝置將該第一區域位元線的資料傳遞至該第二區域位元線。

The invention provides a static random access memory, which has a pre-charger, a first cell column array/peripheral circuit, and a ripple buffer. The pre-charger is connected to a first local bit line to pre-charge the first local bit line. The first cell column array/peripheral circuit is connected to the first local bit line and has a plurality of cells for temporary storing data. Each of the plurality of cells is connected to the first local bit line. The first ripple buffer is connected to the first local bit line and a second local bit line to delivery data in the first local bit line to the second local bit line.

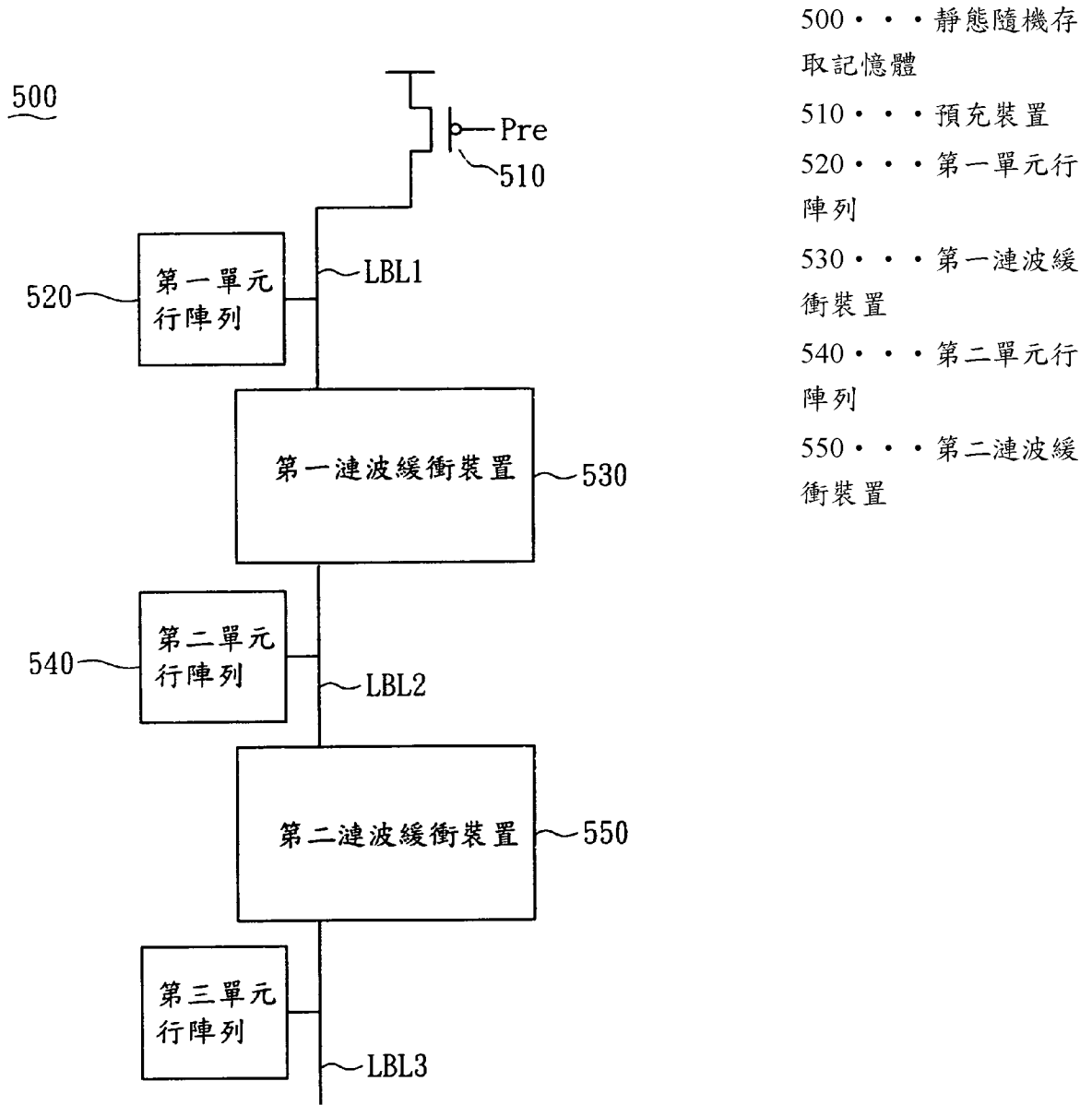


圖5



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(01133687)

※申請日：(01.9.14) ※IPC分類：G11C 7/12 (2006.01)
G11C 11/413 (2006.01)

一、發明名稱：(中文/英文)

靜態隨機存取記憶體

Ripple bit-lines/search-lines for improving
leakage/variation tolerance and density/performance of
static random access memory

二、中文發明摘要：

本發明揭露一種靜態隨機存取記憶體，其包含一預充裝置、一第一單元行陣列/周邊電路、及一第一漣波緩衝裝置。該預充裝置連接至一第一區域位元線，以對該第一區域位元線進行預充。該第一單元行陣列/周邊電路連接至該第一區域位元線，該第一單元行陣列/周邊電路具有多個單元以暫存資料，該多個單元連接至該第一區域位元線。該第一漣波緩衝裝置連接至該第一區域位元線及一第二區域位元線，該第一漣波緩衝裝置將該第一區域位元線的資料傳遞至該第二區域位元線。

三、英文發明摘要：

The invention provides a static random access memory, which has a pre-charger, a first cell column array/peripheral circuit, and a ripple buffer. The pre-charger is connected to a first local bit line to pre-charge the first local bit line. The first cell column array/peripheral circuit is connected to the first local bit line and has a plurality of cells for temporary storing data. Each of the plurality of cells is connected to the first local bit line. The first ripple buffer is connected to the first local bit line and a second local bit line to delivery data in the first local bit line to the second local bit line.

四、指定代表圖：

(一)本案指定代表圖為：圖 5。

(二)本代表圖之元件符號簡單說明：

靜態隨機存取記憶體 500

預充裝置 510

第一單元行陣列 520

第一漣波緩衝裝置 530

第二單元行陣列 540

第二漣波緩衝裝置 550

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種靜態隨機存取記憶體的技术領域，尤指一種以漣波位元線或搜尋線改善奈米記憶體漏電、同時具抗變異、集積度與效能之態隨機存取記憶體。

【先前技術】

先進的半導體製程，像是低於100奈米(nm)的製程，具有充分的潛力來實現低工作電壓、低功耗與低布局面積的靜態隨機存取記憶體。然而，製程、供應電壓與溫度的變異會對先進半導體製程的產品造成影響。這些變異會降低靜態隨機存取記憶體的穩定度。譬如說，靜態隨機存取記憶體的讀取干擾(Read-disturb)會降低讀取的靜態雜訊邊際(RSNM, Read Static Noise Margin)，影響讀取過程的穩定性。

圖1係習知靜態隨機存取記憶體的示意圖。如圖1所示，靜態隨機存取記憶體包括一個具有複數列的單元行陣列(cell column array)。每一列上有複數個單元(cell)，連接於一對應字元線(word line)。各字元線的電壓受控於一對應的字元線驅動器。每一單元(cell)中則設有一閃鎖器及至少一個閘通電晶體。該閃鎖器可由一對交錯互耦的反相器形成。閃鎖器具有兩個儲存節點。閘通電晶體則有一控制端(如閘極)與兩個通道端(如源極與汲極)，分別耦合至對應的字元線、兩儲存節點的其中之一、以及一對應的位元線。

當要讀取某一單元行陣列(cell column array)與某一位元線上的某一單元(cell)時，該位元線(VBL、 $\overline{\text{VBL}}$)會被預充電至邏輯1的高電壓。經由該列的字元線(VWL)，單元(cell)的閘通電晶體會被對應位元線驅動器致能，將對應儲存節點導通至該位元線(VBL、 $\overline{\text{VBL}}$)。若該儲存節點儲存邏輯0的低電壓，單元(cell)中的閃鎖器就會將該位元線由原先的高電壓放電至邏輯0的低電壓。

位元線(VBL、 $\overline{\text{VBL}}$)連接的單元(cell)越多，靜態隨機存取記憶體密度就越大，同時漏電流(leakage)也越大。亦即，被選取的單元(cell)的資料容易受到其他單元(cell)的漏電流(leakage)影響，而導致感測裕度(sense margin)降低。

為解決位元線無法連接太多單元(cell)的問題，於D. W. Plass and Y. H. Chan在IBM J. Res. & Dev. Vol. 51, No. 6, Nov. 2007, pp. 747-756所發表的「IBM POWER6 SRAM arrays」論文中，如圖2所示，由於位元線(bit line, BL)不可連接太多的靜態隨機存取記憶體單元(SRAM cell)，以免造成讀取干擾(Read-disturb)等缺失，該論文提出以較短的區域位元線(local bit line, LBL)合併全域位元線(global bit line, GBL)使用。由於使用較短的區域位元線(LBL)，故其有較佳的感測裕度(sense margin)、較小的讀取干擾(Read-disturb)、較佳的製程變異及漏電流(leakage)容忍度等優點。然而，區域位元線(LBL)需經由多工器連接至全域

位元線 (GBL)，此會增加晶片面積，同時為全域位元線 (GBL)，亦需增加金屬層。

於 K. Kushida et al. 在 Symp. VLSI Circuits, 2008, pp. 46-47 所發表的「A 0.7V Single-Supply SRAM with $0.495\mu\text{m}^2$ cell in 65nm technology utilizing Self-Write-Back Sense Amplifier and Cascaded Bit Line Scheme」論文中，如圖 3 所示，其使用電晶體 CSL_d0、電晶體 CSL_u0 將區域位元線 (LBL) 隔開，而有較佳的感測裕度 (sense margin)、較佳的製程變異及漏電流 (leakage) 容忍度、及無須為全域位元線 (GBL) 而增加金屬層等優點。然而，其需在電晶體 CSL_d0、CSL_u0 增加一個感測放大器 (sensing amplifier)，同時電晶體 CSL_d0、CSL_u0 的開啟/關閉需精準地控制，會使閘極控制邏輯的線路更複雜，且限制靜態隨機存取記憶體存取的速度。

於 K. Takeda, et al. 在 Symp. VLSI Circuits, 2010, pp. 101-102 所發表的「Multi-step Word-line Control Technology in Hierarchical Cell Architecture for Scaled-down High-density SRAMs」論文中，如圖 4 所示，其使用代理單元 (agent cell) 以取代區域感測放大器 (local sensing amplifier)。其具有可將區域位元線 (LBL) 隔絕而有較佳的感測裕度 (sense margin)、及較佳的製程變異及漏電流 (leakage) 容忍度等優點。然而，其需為全域位元線 (GBL) 而增加金屬層，其全域位元線 (GBL) 很長而會降低效能及增加功率消耗。因此習知之靜態隨機存取記憶體之技術實仍有改善的空間。

【發明內容】

本發明之主要目的係在提供一種靜態隨機存取記憶體，俾能增加靜態隨機存取記憶體的密度。

本發明之另一目的係在提供一種靜態隨機存取記憶體，俾能有較佳的感測裕度(sense margin)、較小的讀取干擾(Read-disturb)、較佳的製程變異及漏電流(leakage)容忍度。

為達成上述之目的，本發明提出一種靜態隨機存取記憶體，其包含一預充裝置、一第一單元行陣列/周邊電路、及一第一漣波緩衝裝置。該預充裝置連接至一第一區域位元線，以對該第一區域位元線進行預充。該第一單元行陣列/周邊電路連接至該第一區域位元線，該第一單元行陣列具/周邊電路有多個單元以暫存資料，該多個單元連接至該第一區域位元線。該第一漣波緩衝裝置連接至該第一區域位元線及一第二區域位元線，該第一漣波緩衝裝置將該第一區域位元線的資料傳遞至該第二區域位元線。

【實施方式】

圖5係本發明一種靜態隨機存取記憶體500的示意圖，該靜態隨機存取記憶體500包含一預充裝置510、一第一單元行陣列(cell column array)/周邊電路520、一第一漣波緩衝裝置(ripple buffer)530、一第二單元行陣列(cell column

array)/周邊電路540、及一第二漣波緩衝裝置(ripple buffer)550。

該預充裝置510連接至一第一區域位元線(local bit line)LBL1，以對該第一區域位元線LBL1進行預充。

該第一單元行陣列(cell column array)/周邊電路520連接至該第一區域位元線LBL1，該第一單元行陣列/周邊電路520具有多個單元(cell)(圖未示)以暫存資料，該多個單元連接至該第一區域位元線LBL1。

該第一漣波緩衝裝置(ripple buffer)530連接至該第一區域位元線LBL1及一第二區域位元線LBL2，該第一漣波緩衝裝置530將該第一區域位元線LBL1的資料傳遞至該第二區域位元線LBL2。

該第二單元行陣列540連接至該第二區域位元線LBL2，該第二單元行陣列540具有多個單元以暫存資料，該多個單元連接至該第二區域位元線LBL2。

該第二漣波緩衝裝置550連接至該第二區域位元線LBL2及一第三區域位元線LBL3，該第二漣波緩衝裝置550將該第二區域位元線LBL2的資料傳遞至該第三區域位元線LBL3。

其中，該第二單元行陣列/周邊電路540與該第一單元行陣列/周邊電路520有相同結構，該第二漣波緩衝裝置550與該第一漣波緩衝裝置530有相同結構。

本發明的靜態隨機存取記憶體500主要係可重覆地使用區域位元線及漣波緩衝裝置，以串接單元行陣列。

圖6係本發明區域位元線及漣波緩衝裝置的運用示意圖。該預充裝置510係由一第一PMOS電晶體511及一第一反向器513所組成。該第一單元行陣列/周邊電路520具有一第一單元行陣列(cell column array)526，第一單元行陣列(cell column array)526包含多個單元(cell)527。

該第一反向器513的輸入端連接至一第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ ，其輸出端連接至該第一PMOS電晶體511的閘極，該第一PMOS電晶體511的源極連接至一高電位VDD，該第一PMOS電晶體511的汲極連接至該第一區域位元線LBL1。

該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 沒有動作時，該第一PMOS電晶體511導通，以由該高電位VDD對該第一區域位元線LBL1進行預充。亦即，該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 為高電位，該第一反向器513的輸出端為一低電位，故該第一PMOS電晶體511導通。

當該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 動作時，該第一PMOS電晶體511關閉，該第一區域位元線LBL1處於浮接狀態(floating)。亦即，該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 為低電位，該第一反向器513的輸出端為高電位，故該第一PMOS電晶體511關閉，而使該第一區域位元線LBL1處於浮接狀態(floating)。

該第一漣波緩衝裝置530係由一第二PMOS電晶體531、一NMOS電晶體533、一反及閘535及一第二反向器537所組成。

該第二反向器537的輸入端連接至該第一區域位元線 LBL1，其輸出端連接至該NMOS電晶體533的閘極。該NMOS電晶體533的汲極連接至一低電位，該NMOS電晶體的源極連接至該第二區域位元線 LBL2。該反及閘535的一輸入端連接至該第一區域位元線 LBL1，其另一輸入端連接至一第二單元行陣列/周邊電路540的第二單元行陣列(cell column array)546之選擇訊號 $\overline{\text{BlockAddrBit}}$ ，其輸出端連接至該第二PMOS電晶體531的閘極，該第二PMOS電晶體531的源極連接至該高電位 VDD，其汲極連接至該第二區域位元線 LBL2。

當該第一單元行陣列526及該第二單元行陣列546的選擇訊號 $\overline{\text{BlockAddrBit}}$ 沒有動作時(高電位)，該第一區域位元線 LBL1被預充至高電位 VDD，故該反及閘535的輸出端為低電位，該第二PMOS電晶體531導通，以由該高電位 VDD對該第二區域位元線 LBL2進行預充。

該第二單元行陣列546的選擇訊號 $\overline{\text{BlockAddrBit}}$ 動作時，該第二PMOS電晶體531關閉，該第二區域位元線 LBL2處於浮接狀態(floating)。

當該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 動作時，該第一區域位元線 LBL1處於浮接狀態(floating)，且該第一單元行陣列526輸出的訊號為低電位時，該第一區域位元線 LBL1被下拉至該低電位狀態，使反及閘535輸出為高電位，關閉第二PMOS電晶體531使第二區域位元線 LBL2處於浮接狀態(floating)，同時該第二反向器537輸出端為高電

位，以讓該NMOS電晶體533導通，以使該第二區域位元線LBL2為低電位，俾將該第一單元行陣列520輸出的訊號傳遞至該第二區域位元線LBL2。

當該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ 動作時，該第一區域位元線LBL1處於浮接狀態(floating)，且該第一單元行陣列526輸出的訊號為高電位時，該第一區域位元線LBL1被維持第一PMOS電晶體511先前預充時該高電位浮接狀態，該第二反向器537輸出端為低電位，以讓該NMOS電晶體533關閉，以使該第二區域位元線LBL2為高電位，俾將該第一單元行陣列526輸出的訊號傳遞至該第二區域位元線LBL2。

如圖6所示，該第一單元行陣列/周邊電路520包含一個第二NMOS電晶體521、一第一反或閘523、一第二反或閘525、及一第一單元行陣列526，該第一單元行陣列526具有多個單元527。該第一反或閘523一輸入端連接至該第一單元行陣列526的選擇訊號 $\overline{\text{BlockAddrBit}}$ ，其另一輸入端連接至該第二反或閘525的輸出端，其輸出端連接至該第二NMOS電晶體521的閘極。該第二NMOS電晶體521的第一汲極/源極(drain/source)連接至該第一區域位元線LBL1，其第二汲極/源極(drain/source)連接至一寫入資料線NBL。該第二反或閘525的一輸入端連接至一第一寫入字元選擇線WWLA，其另一輸入端連接至一第二寫入字元選擇線WWLB。

101年11月5日修正頁(本)
劃線

當該第一寫入字元選擇線 WWLA 或該第二寫入字元選擇線 WWLB 有一為高電位時，表示要寫入資料至該單元 527。故此時該第二反或閘 525 的輸出端為低電位。該第一單元行陣列 526 被選擇為寫入的對象時，該第一單元行陣列 526 的選擇訊號 $\overline{\text{BlockAddrBit}}$ 為動作(為低電位)，因此該第一反或閘 523 的輸出端為高電位，而使該第二 NMOS 電晶體 521 導通，俾將該寫入資料線 NBL 上的電氣訊號(資料)傳遞至該第一區域位元線 LBL1，以由該第一區域位元線 LBL1 將該寫入資料線 NBL 上的電氣訊號(資料)寫入該單元 527 中。

圖 7 係本發明區域位元線及漣波緩衝裝置的另一運用示意圖。如圖 7 所示，其係使用區域位元線連接 32 個單元行陣列 (cell column array)，再使用漣波緩衝裝置 710 將多數個區域位元線 LBL 連接串接成一記憶行 720，並透過多工器 730 連接至一全域漣波位元線 (global ripple bit line, GRBL)。

圖 8 係本發明與習知技術的比較示意圖。其係為 9T SRAM、65 奈米製程、工作電壓為 0.4V 下的比較。其係圖 7 中的 LBL1、LBL2、LBL3、GRBL、及習知技術信號的模擬示意圖。由圖 8 可知，由於本發明使用區域位元線及漣波緩衝裝置，故位元線的長度比較短且連接的單元數目比較少，故遲延時間較習知技術少，可有效地提高靜態隨機存取記憶體的存取速度。

圖 9 係本發明與習知技術的遲延時間比較示意圖。由圖 9 所示可知，在 tt(TYPICAL MODEL) 模式下，本發明與習知技術相比約有 45.6% 的效能改進。

圖10係本發明與習知技術的遲延時間對工作電壓的比較示意圖。由圖10所示可知，在較低的工作電壓(0.3V)時，本發明的遲延時間較習知技術的遲延時間少很多，亦即，本發明技術更適合在未來低工作電壓環境下使用。

本發明的重覆地使用區域位元線及漣波緩衝裝置之技術，亦可應用於三態內容尋址記憶體(Ternary Content Addressable Memory, TCAM)中。圖11係本發明與習知技術使用在於三態內容尋址記憶體的示意圖。如圖11所示，其係將習知技術的區域搜尋線(local search line)1220及全域搜尋線(global search line)1210以本發明區域搜尋線(local search line)1230及漣波緩衝裝置1240取代。

圖12係本發明與習知技術的搜尋線的功率比較示意圖。在預充相位時，本發明功率可較習知技術減少40.98%的消耗。而平均功率可較習知技術減少29.877%。

由前述說明可知，本發明技術由於使用區域位元線及漣波緩衝裝置，而較習知技術有較佳的感測裕度(sense margin)、感測速度(sense speed)及較小的讀取干擾(Read-disturb)。由於可使區域位元線(LBL)變短，故具有較佳的漏電流(leakage)及製程變異容忍度。同時，相較先前技術所揭露的三篇論文，本發明技術使用區域位元線及漣波緩衝裝置串接，無須使用全域位元線(GBL)，故可增進靜態隨機存取記憶體的密度，且減少因使用全域位元線(GBL)所需的金屬層。

101年11月5日修正頁(本) 劃線

由模擬可知，本發明相較於習知技術有較小的遲延時間可有效地提高靜態隨機存取記憶體存取速度。本發明亦較習知技術更適合在未來低工作電壓環境下使用。

由圖6實施例可知，本發明可使用單端感測器(single-ended sensing amplifier)，而無需像習知技術使用雙端感測器(dual-ended sensing amplifier)，故可使週邊電路的面積大為減少。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係習知靜態隨機存取記憶體的示意圖。

圖2係習知區域位元線合併全域位元線使用的示意圖。

圖3係習知另一區域位元線使用的示意圖。

圖4係習知區域位元線合併全域位元線使用的另一示意圖。

圖5係本發明一種靜態隨機存取記憶體的示意圖。

圖6係本發明區域位元線及漣波緩衝裝置的運用示意圖。

圖7係本發明區域位元線及漣波緩衝裝置的另一運用示意圖。

圖8係本發明與習知技術的比較示意圖。

圖9係本發明與習知技術的遲延時間比較示意圖。

圖10係本發明與習知技術的遲延時間對工作電壓的比較示意圖。

圖11係本發明與習知技術在於三態內容尋址記憶體示意圖。

圖12係本發明與習知技術的搜尋線的功率比較示意圖。

【主要元件符號說明】

靜態隨機存取記憶體500

預充裝置510

第一單元行陣列/周邊電路520

第一漣波緩衝裝置530

第二單元行陣列/周邊電路540

第二漣波緩衝裝置550

第一PMOS電晶體511

第二PMOS電晶體531

反及閘535

第二NMOS電晶體521

第二反或閘525

第一單元行陣列526

漣波緩衝裝置710

多工器730

第一反向器513

NMOS電晶體533

第二反向器537

第一反或閘523

單元527、547

第二單元行陣列546

記憶行720

七、申請專利範圍：

1. 一種靜態隨機存取記憶體，其包含：

一預充裝置，其連接至一第一區域位元線，以對該第一區域位元線進行預充；

一第一單元行陣列/周邊電路，連接至該第一區域位元線，該第一單元行陣列具有多個單元以暫存資料，該多個單元連接至該第一區域位元線，該第一單元行陣列/周邊電路具有一第一單元行陣列；以及

一第一漣波緩衝裝置，其連接至該第一區域位元線及一第二區域位元線，該第一漣波緩衝裝置將該第一區域位元線的資料傳遞至該第二區域位元線，

其中，該第一單元行陣列的一選擇訊號沒有動作時，一第一PMOS電晶體導通，以由一高電位對該第一區域位元線進行預充，該第一單元行陣列的該選擇訊號動作時，該第一PMOS電晶體關閉，該第一區域位元線處於浮接狀態。

2. 如申請專利範圍第1項的靜態隨機存取記憶體，其更包含：

一第二單元行陣列/周邊電路，連接至該第二區域位元線，該第二單元行陣列/周邊電路具有多個單元以暫存資料，該多個單元連接至該第二區域位元線；以及

一第二漣波緩衝裝置，其連接至該第二區域位元線及一第三區域位元線，該第二漣波緩衝裝置將該第二區域位元線的資料傳遞至該第三區域位元線。

3.如申請專利範圍第2項的靜態隨機存取記憶體，其中，該預充裝置係由該第一PMOS電晶體及一第一反向器所組成。

4.如申請專利範圍第3項的靜態隨機存取記憶體，其中，該第一單元行陣列包含前述多個單元，該第二單元行陣列/周邊電路具有一第二單元行陣列，該第二單元行陣列包含前述多個單元。

5.如申請專利範圍第4項的靜態隨機存取記憶體，其中，該第一反向器的輸入端連接至該第一單元行陣列的該選擇訊號，其輸出端連接至該第一PMOS電晶體的閘極，該第一PMOS電晶體的源極連接至該高電位，該第一PMOS電晶體的汲極連接至該第一區域位元線。

6.如申請專利範圍第4項的靜態隨機存取記憶體，其中，該第一漣波緩衝裝置係由一第二PMOS電晶體、一NMOS電晶體、一反及閘及一第二反向器所組成。

7.如申請專利範圍第6項的靜態隨機存取記憶體，其中，該第二反向器的輸入端連接至該第一區域位元線，其輸出端連接至該NMOS電晶體的閘極，該NMOS電晶體的汲極連接至一低電位，該NMOS電晶體的源極連接至該第二區域位元線，該反及閘的一輸入端連接至該第一區域位元線，其另一輸入端連接至一第二單元行陣列的選擇訊號，其輸出端連接至該第二PMOS電晶體的閘極，該第二PMOS電晶體的源極連接至該高電位，其汲極連接至該第二區域位元線。

8. 如申請專利範圍第7項的靜態隨機存取記憶體，其中，該第二單元行陣列的選擇訊號沒有動作時，該第二PMOS電晶體導通，以由該高電位對該第二區域位元線進行預充。

9. 如申請專利範圍第8項的靜態隨機存取記憶體，其中，該第二單元行陣列的選擇訊號動作時，該第二PMOS電晶體關閉，該第二區域位元線處於浮接狀態。

10. 如申請專利範圍第9項的靜態隨機存取記憶體，其中，該第一單元行陣列的選擇訊號動作時，該第一區域位元線處於浮接狀態，且該第一單元行陣列輸出的訊號為低電位時，該第一區域位元線被下拉至該低電位狀態，該第二反向器輸出端為高電位，以讓該NMOS電晶體導通，以使該第二區域位元線為低電位，俾將該第一單元行陣列輸出的訊號傳遞至該第二區域位元線。

11. 如申請專利範圍第10項的靜態隨機存取記憶體，其中，該第一單元行陣列的選擇訊號動作時，該第一區域位元線處於浮接狀態，且該第一單元行陣列輸出的訊號為高電位時，該第一區域位元線被維持至該高電位狀態，該第二反向器輸出端為低電位，以讓該NMOS電晶體關閉，以使該第二區域位元線為高電位，俾將該第一單位行陣列輸出的訊號傳遞至該第二區域位元線。

12. 如申請專利範圍第11項的靜態隨機存取記憶體，其中，該第二單元行陣列與該第一單元行陣列有相同結構，該第二漣波緩衝裝置與該第一漣波緩衝裝置有相同結構。

八、圖式 (請見下頁)：

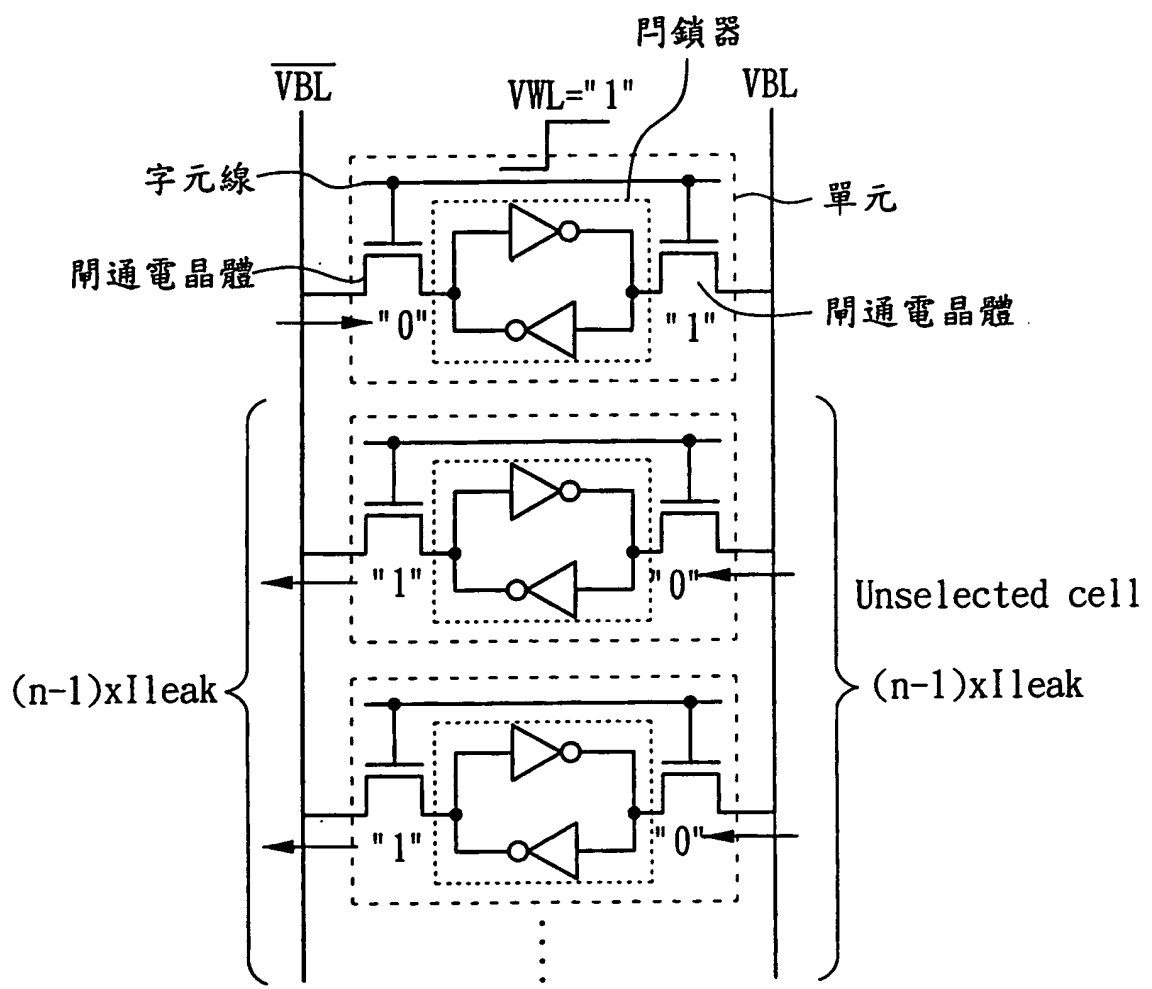


圖1

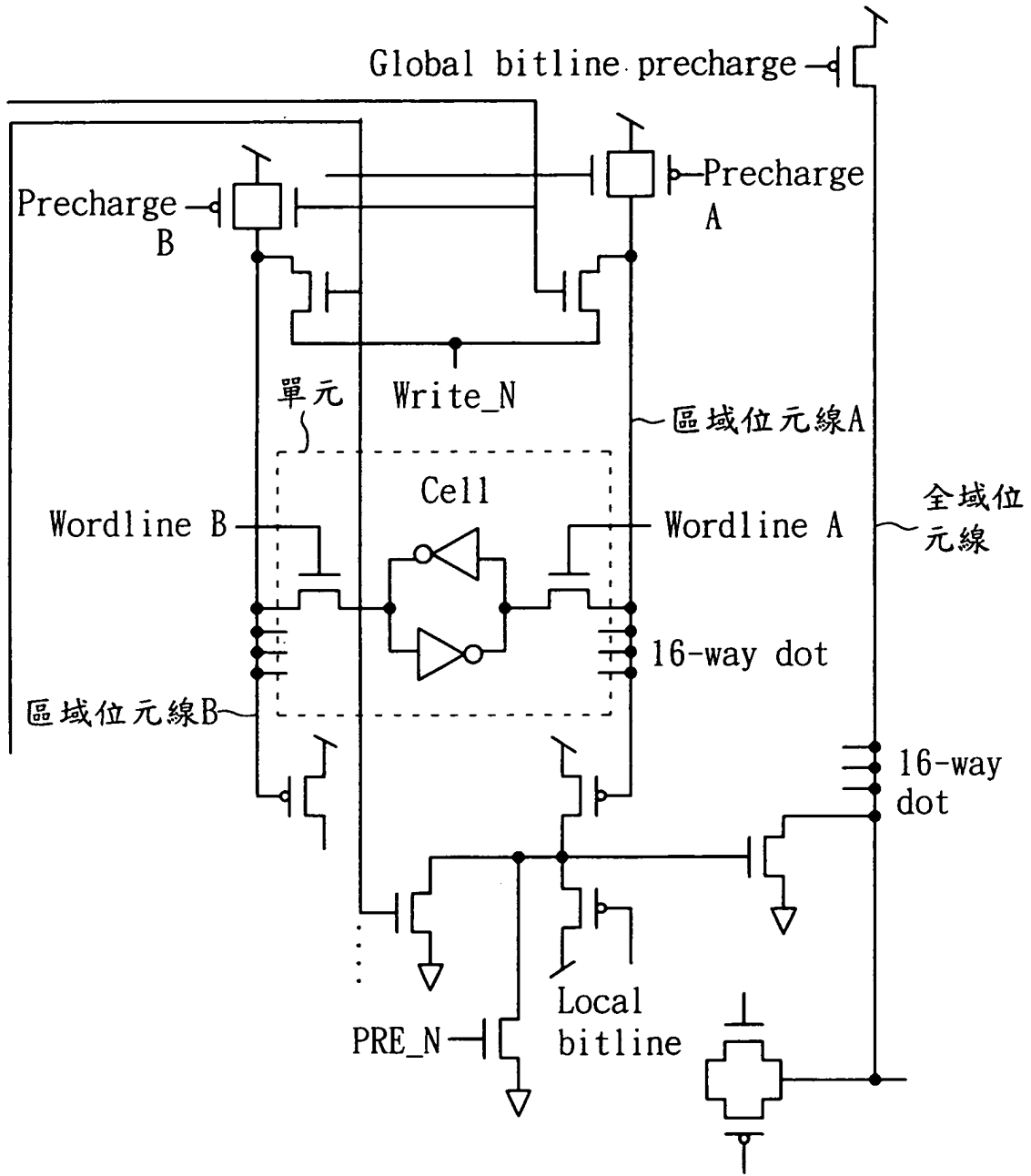


圖2

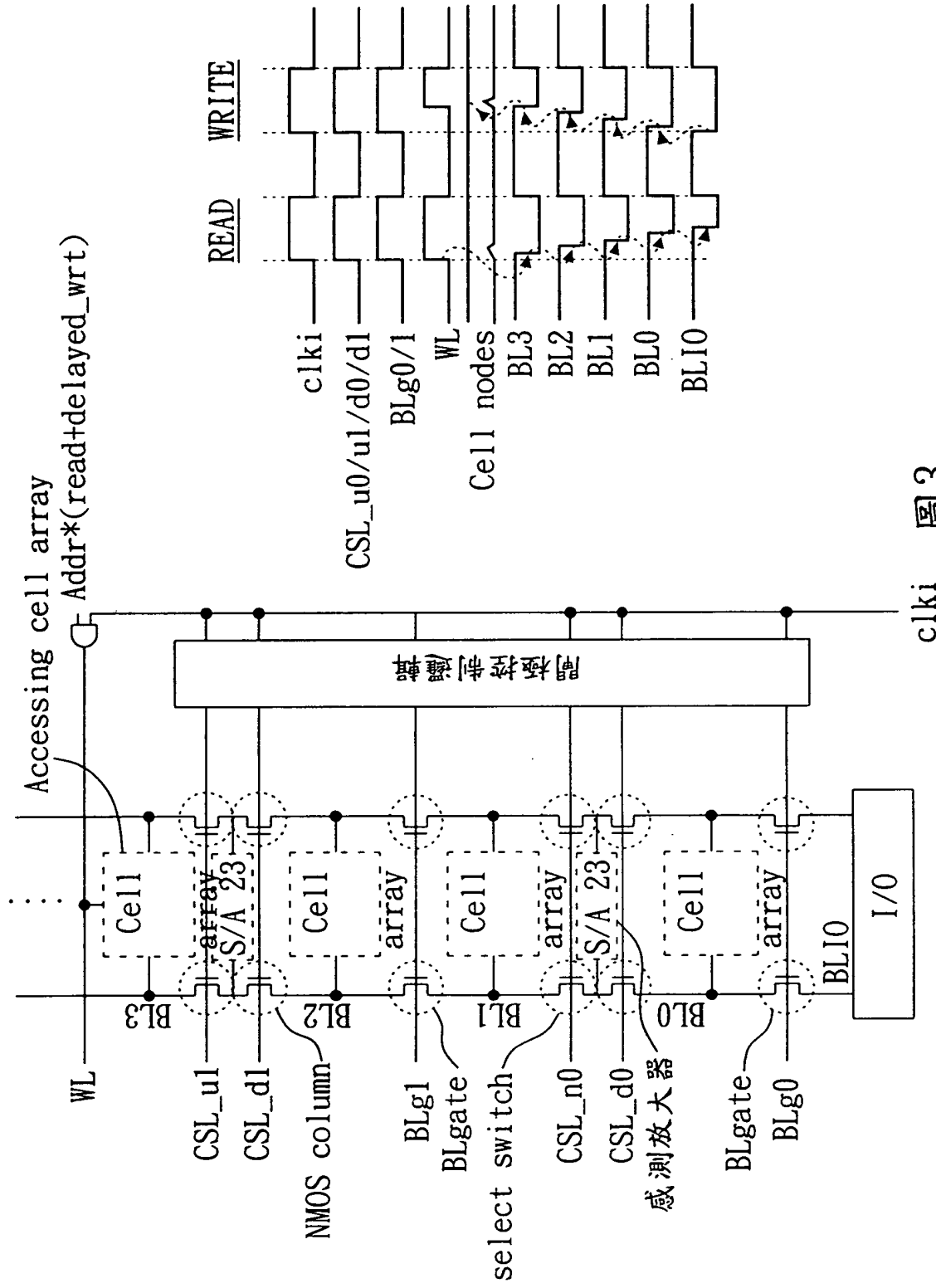


圖 3

1991年11月5日修正替換頁

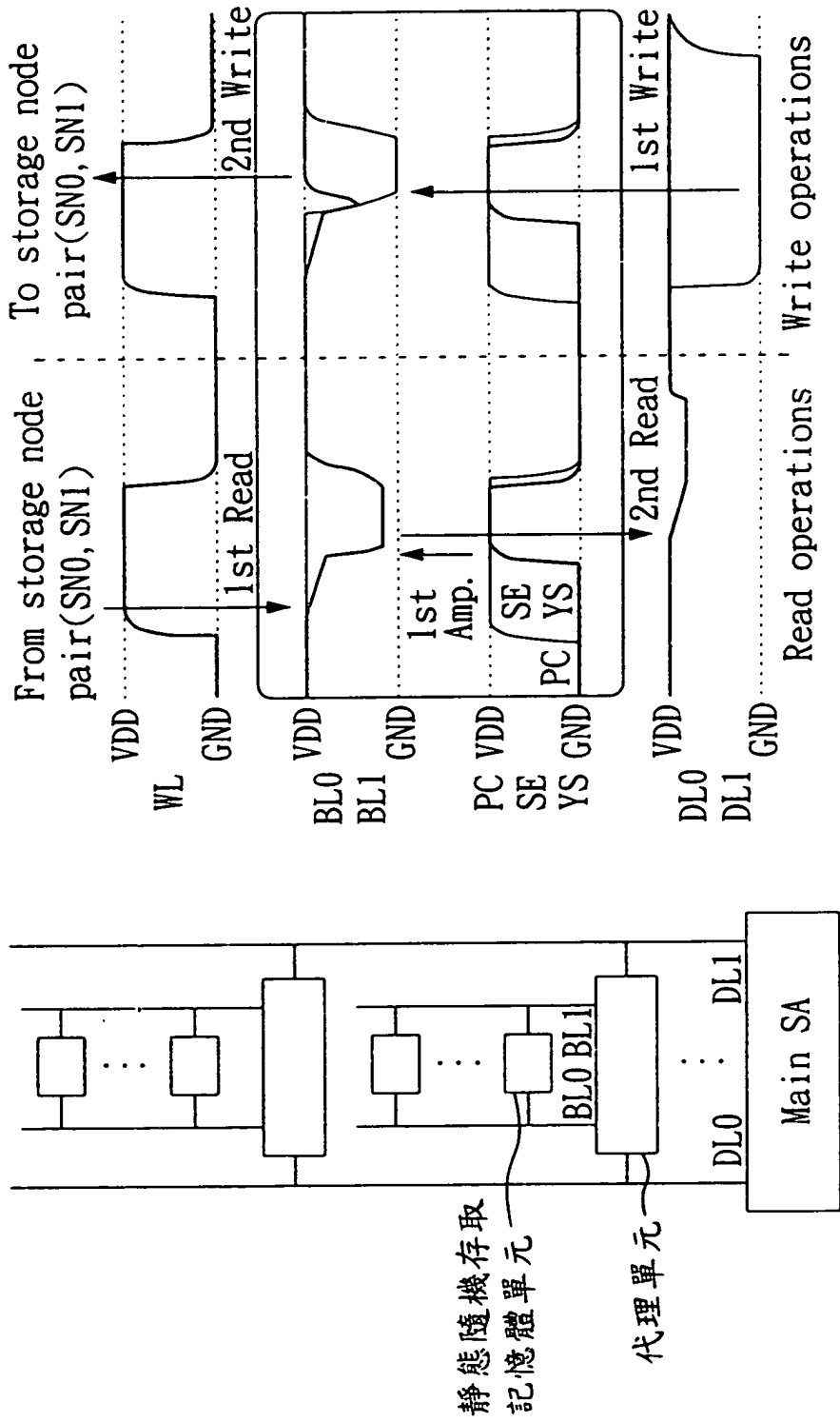


圖4

101年11月5日修正替換頁

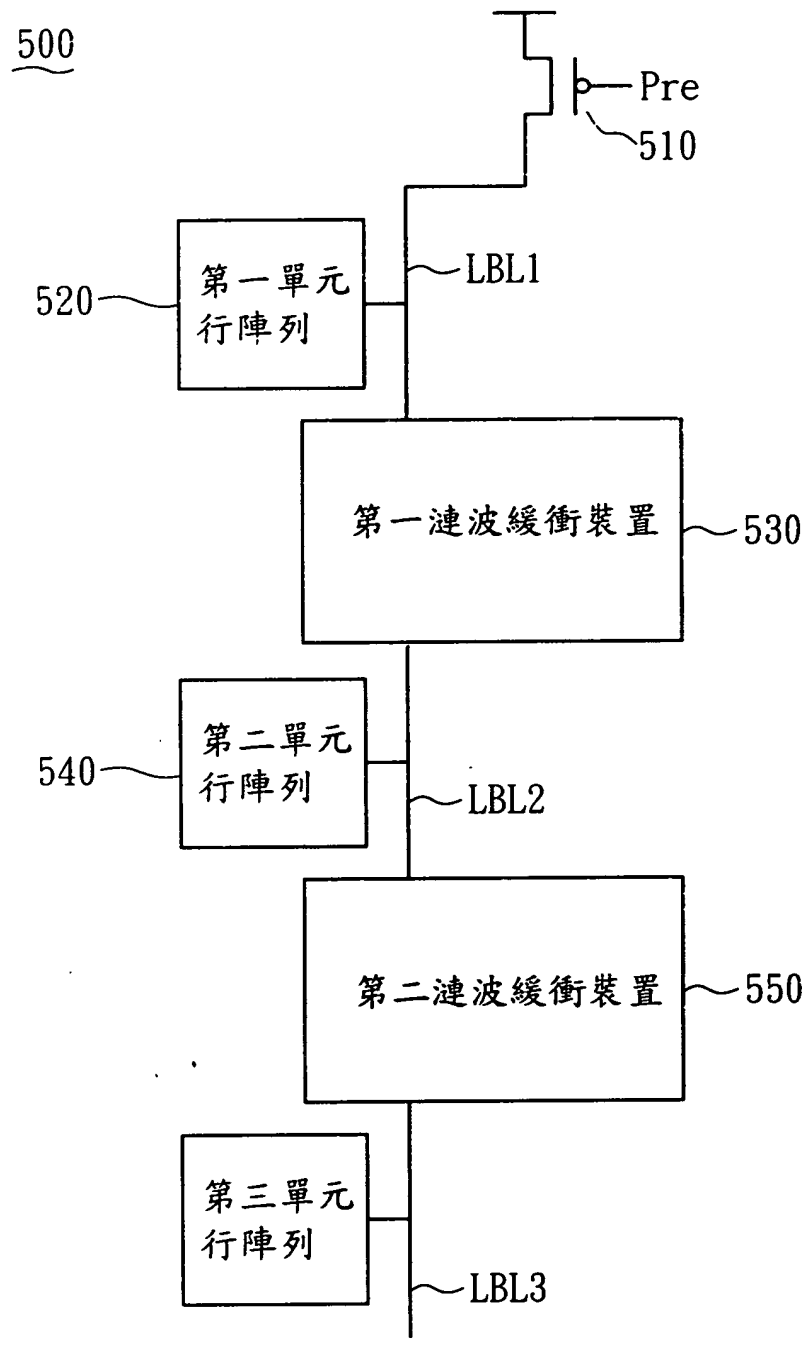


圖5

500

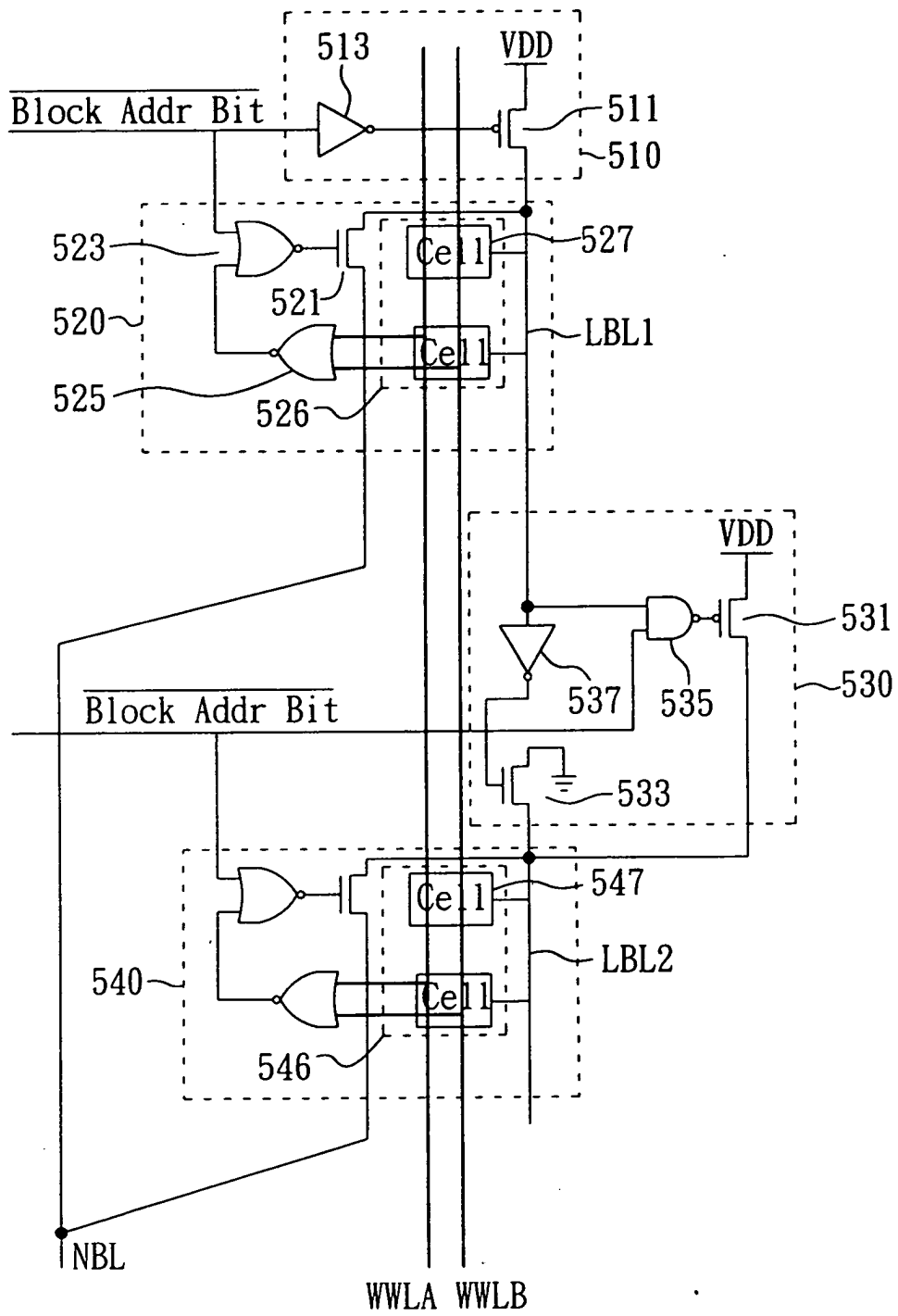


圖6

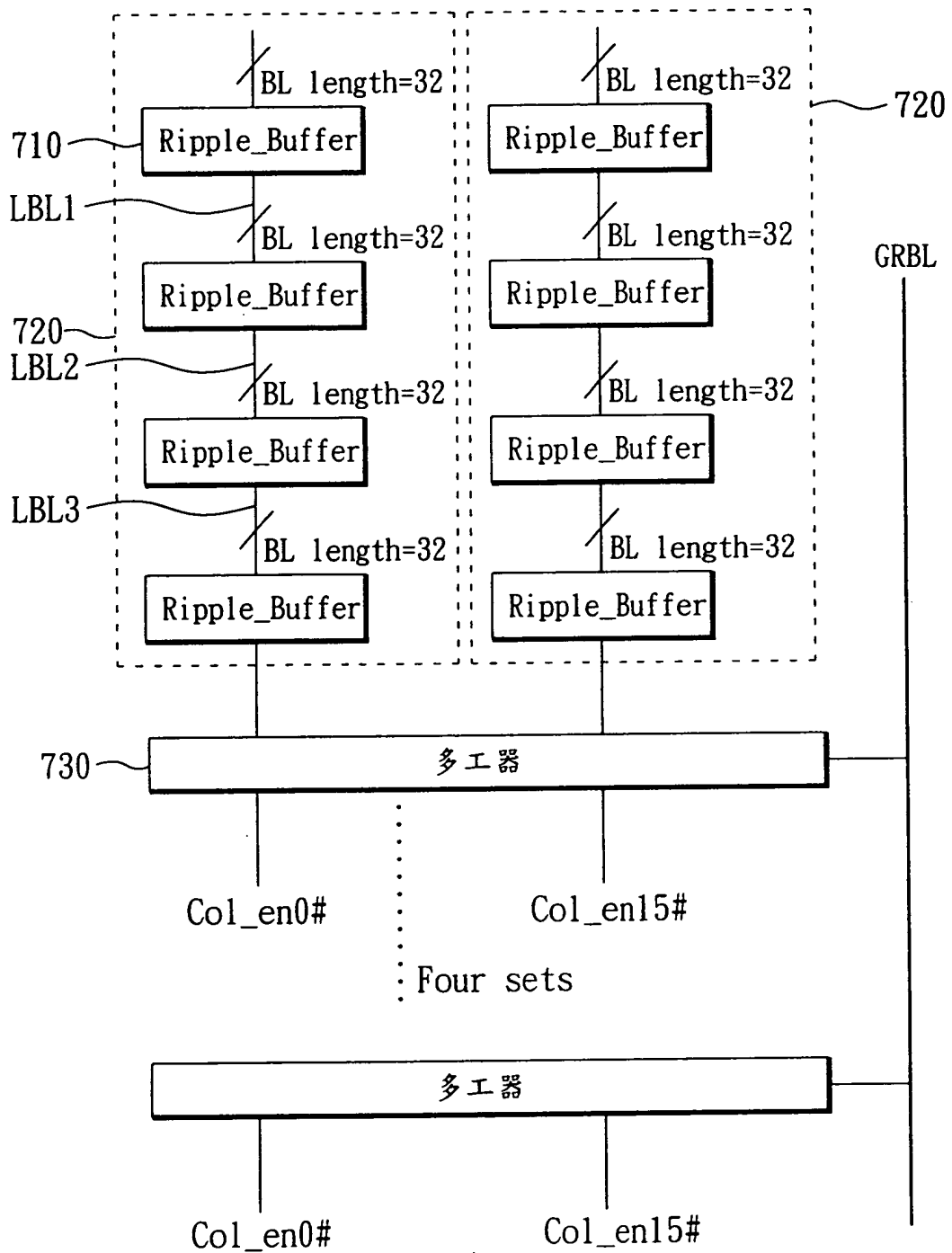


圖7

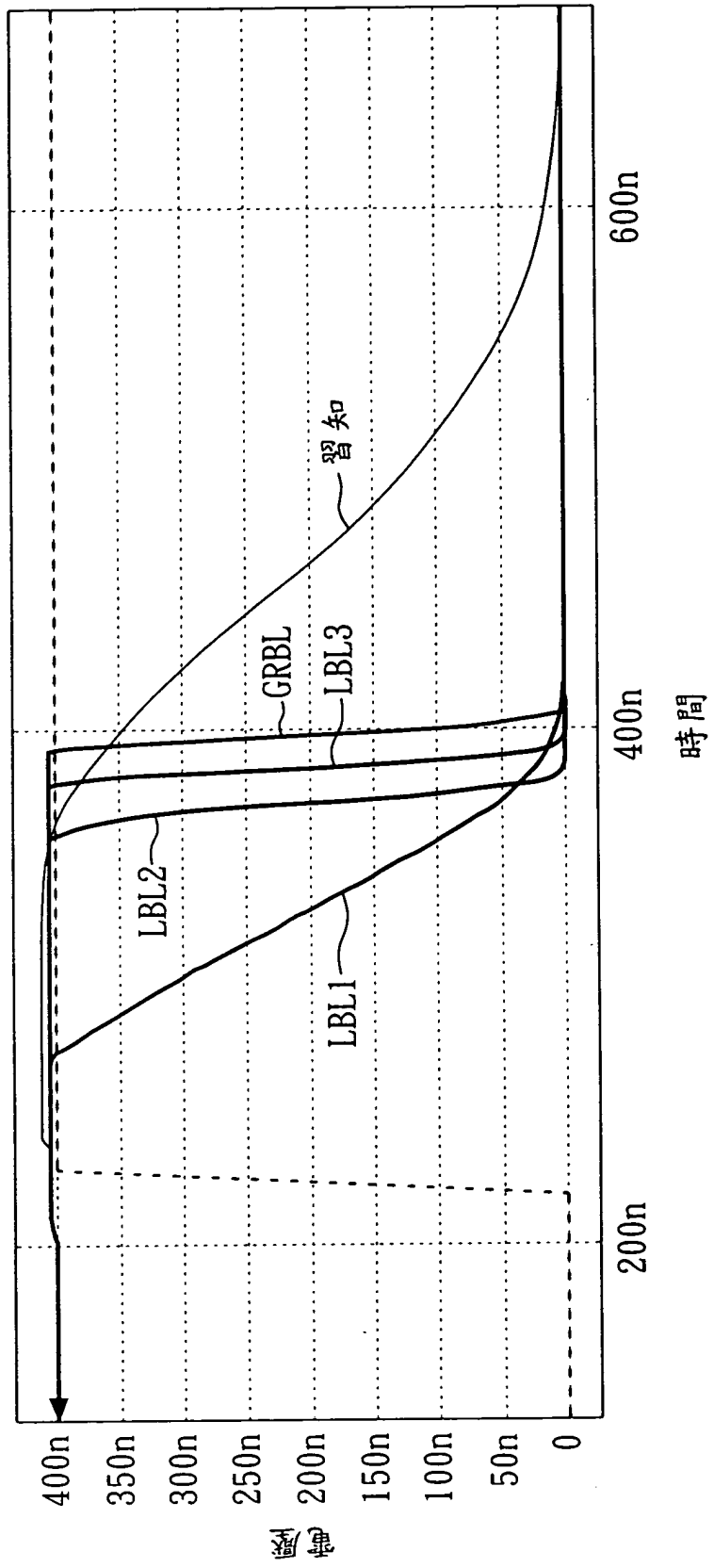
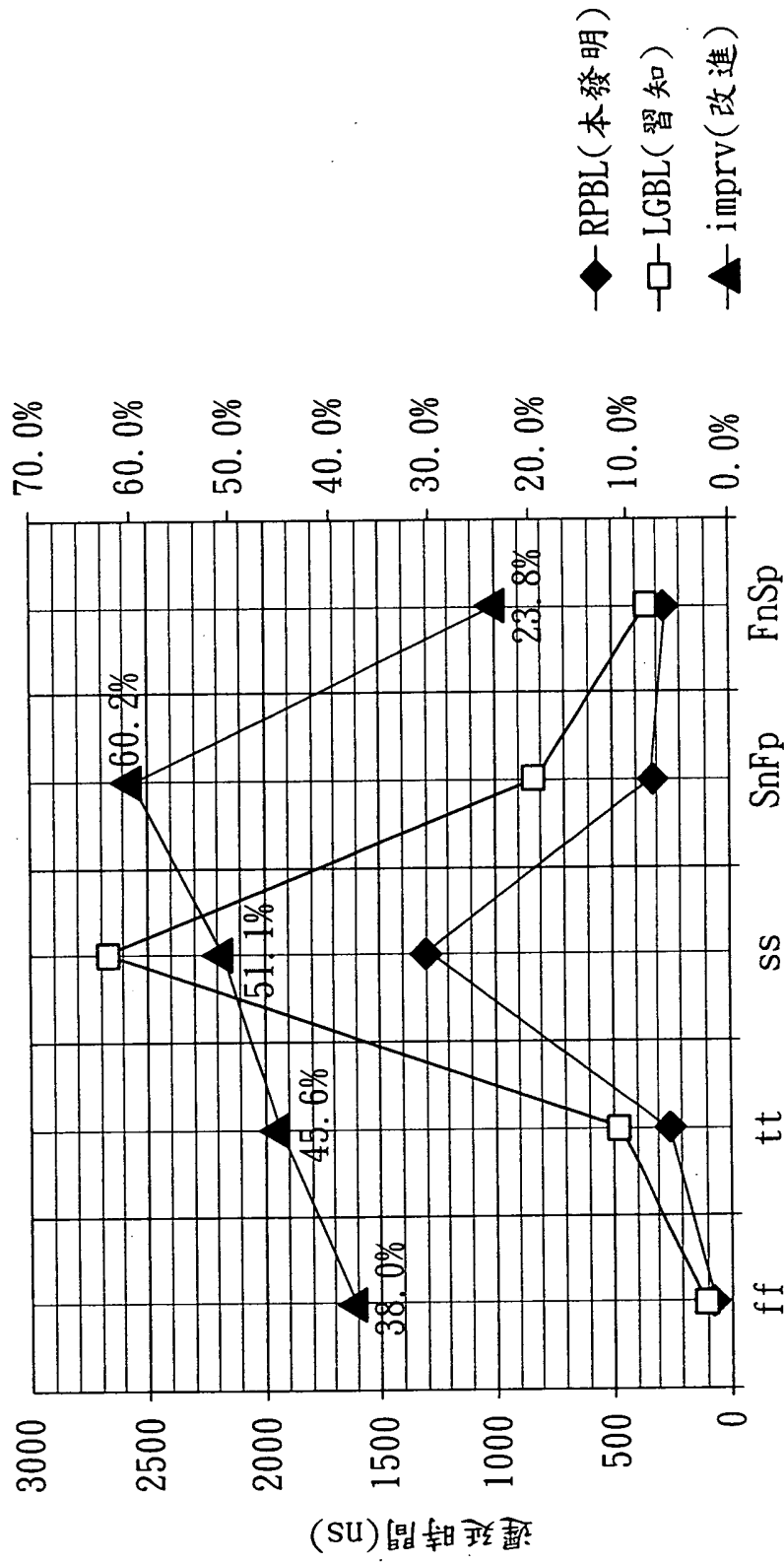


圖8



設計角落

圖9

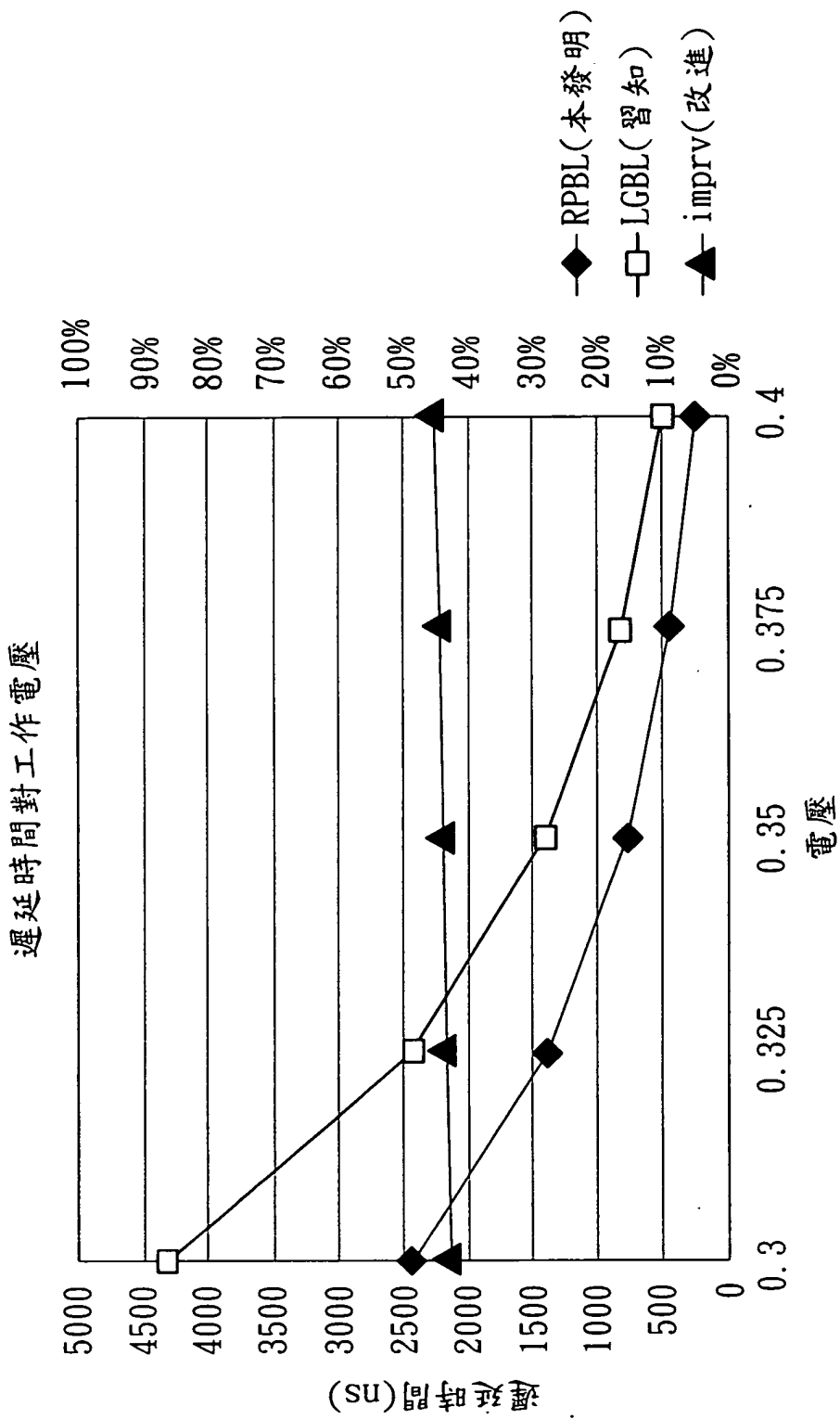
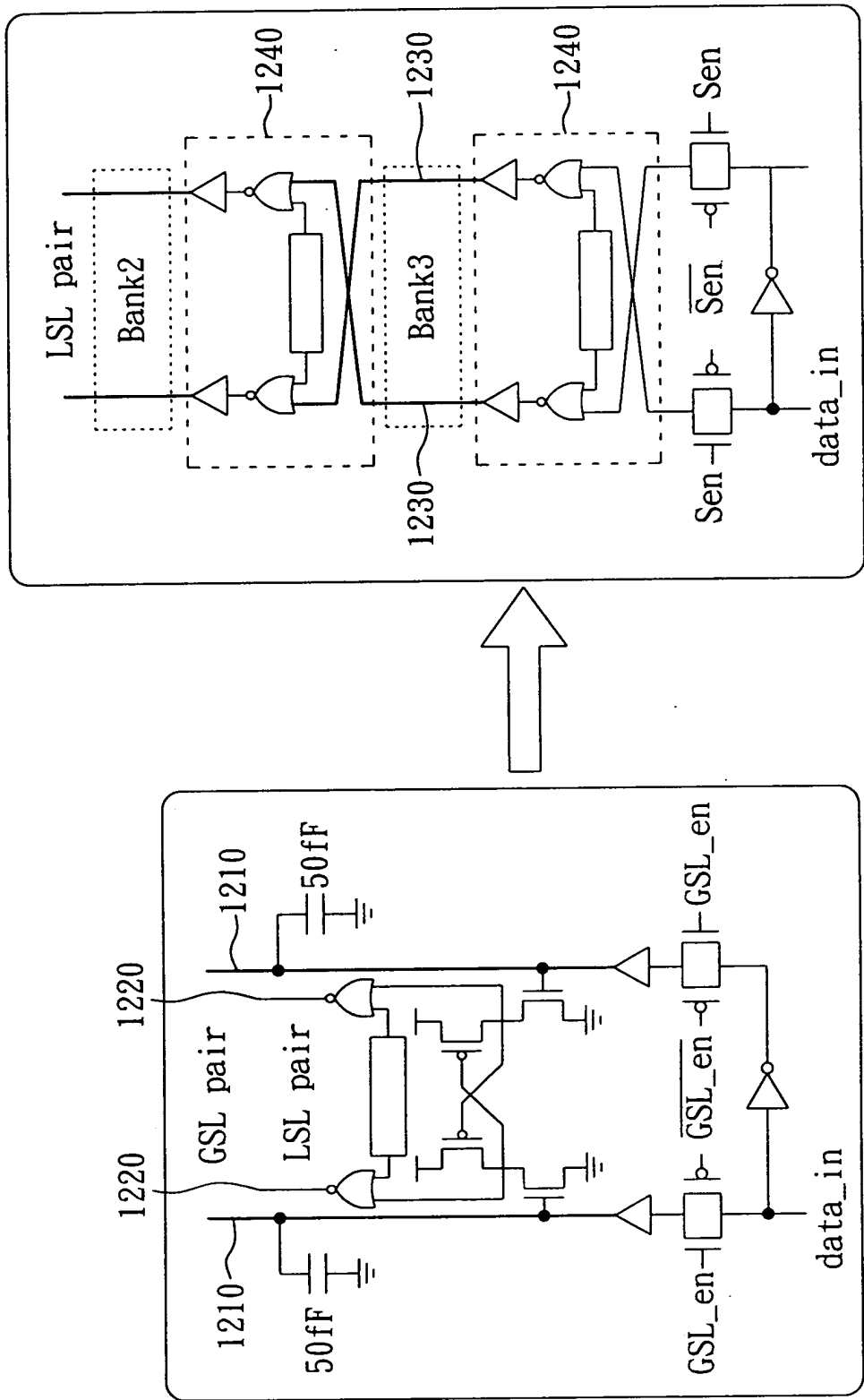


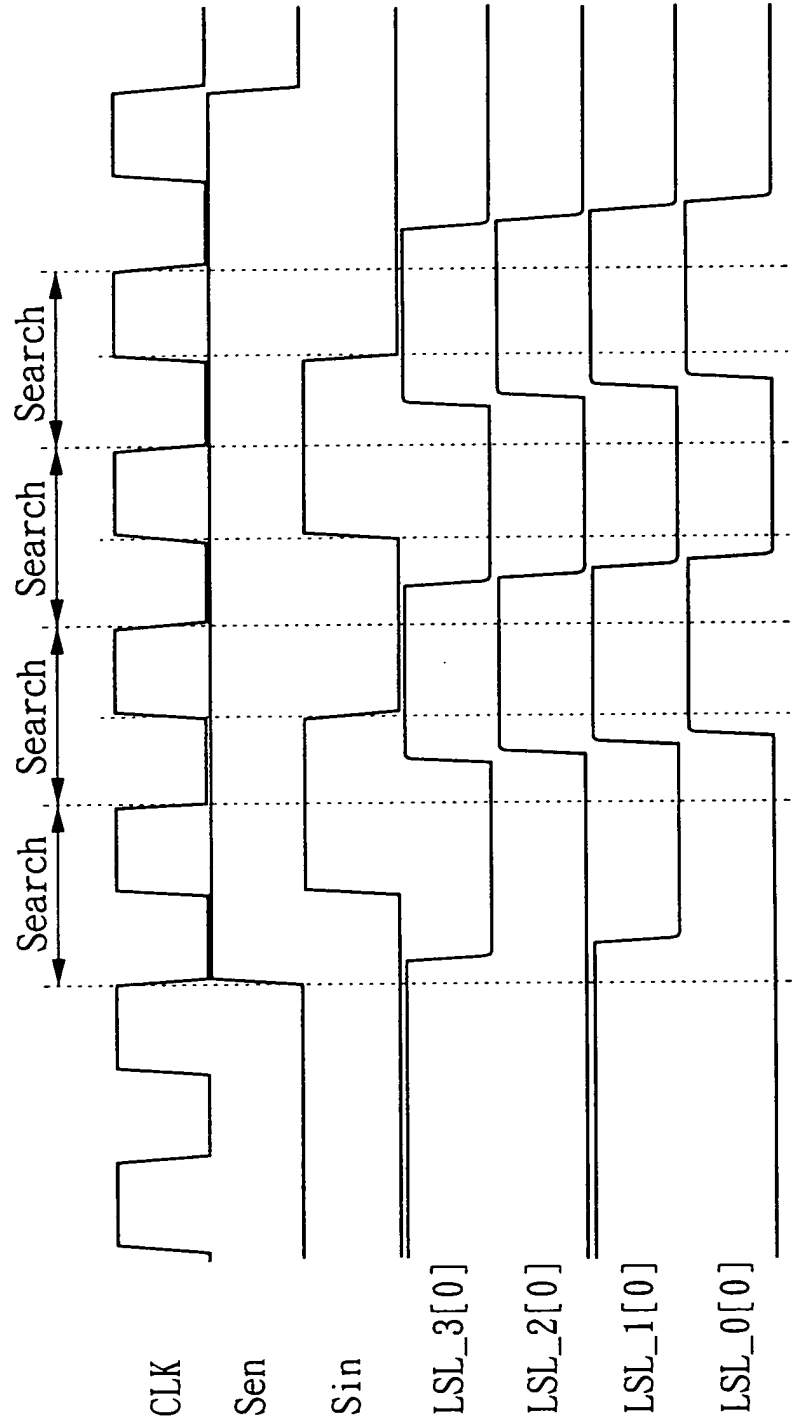
圖10



習知技術

本發明

圖11



單位:mW

搜尋線架構	習知	本發明	減少
預充相位	11.6353	6.86708	40.98%
評價相位	5.285302	4.998166	5.43%
平均功率	8.460301	5.932623	29.87%

圖12