



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I492545 B

(45) 公告日：中華民國 104 (2015) 年 07 月 11 日

(21) 申請案號：101133629

(22) 申請日：中華民國 101 (2012) 年 09 月 14 日

(51) Int. Cl. : H03L7/099 (2006.01)

H03L7/08 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳巍仁 CHEN, WEI ZEN (TW) ; 莊書瑾 CHUANG, SHU CHIN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 200301043A

TW 200952342A

US 7564313B2

US 7733137B2

2010 年 3 月 30 日公開文件, Song-Yu Yang ; MediaTek Inc., Hsinchu, Taiwan ; Wei-Zen Chen ; Tai-You Lu " A 7.1 mW, 10 GHz All Digital Frequency Synthesizer With Dynamically Reconfigured Digital Loop Filter in 90 nm CMOS Technology " Solid-State Circuits

2008 年 11 月 21 日公開文件, Ferriss, M.A. ; Michigan Univ., Ann Arbor, MI ; Flynn, M.P. " A 14 mW Fractional-N PLL Modulator With a Digital Phase Detector and Frequency Switching Scheme " Solid-State Circuits

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：8 共 35 頁

(54) 名稱

具有增益校正之鎖相迴路、用於鎖相迴路之增益量測方法、校正方法及抖動量測方法

PHASE-LOOKED LOOP WITH LOOP GAIN CALIBRATION, GAIN MEASUREMENT METHOD, GAIN CALIBRATION METHOD AND JITTER MEASUREMENT METHOD FOR PHASE-LOCK LOOP

(57) 摘要

一種具有增益校正之鎖相迴路、用於鎖相迴路之振盪器增益量測方法、校正方法及抖動量測方法。首先於振盪器之輸入端加入一變化碼造成迴路擾動，該變化碼使參考相位積分路徑輸出多餘參考相位資訊，並使迴授相位積分路徑輸出多餘迴授相位資訊，最後根據兩相位資訊獲得估計振盪器增益資訊。又，可根據一振盪器目標增益資訊和該估計增益資訊獲得一增益校正因子，利用頻率控制碼與該增益校正因子之乘積以控制振盪器之頻率，藉此校正鎖相迴路之迴路增益與頻寬。於校正該鎖相迴路的增益之後取得振盪器輸入端之頻率控制碼，根據該頻率控制碼與目標增益資訊之乘積再加上一中心頻率，經由計算可得出該振盪器的雜訊抖動估計量。

The invention provides a phase-locked loop with loop gain calibration and methods of VCO gain measurement, gain calibration, and jitter measurement. By injecting a predetermined disturbance onto a VCO in the loop, and observing the response of excess phase in the reference phase integral path and the VCO phase feedback path, the gain of VCO can be extracted. Based on the extracted VCO gain, the loop gain and loop bandwidth of PLL can be calibrated to its target value by multiplying the frequency control



## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101133629

※申請日：101.9.14

※IPC 分類：

H03L 7/089 (2006.01)

H03L 7/08 (2006.01)

## 一、發明名稱：(中文/英文)

具有增益校正之鎖相迴路、用於鎖相迴路之增益量測方法、校正方法及抖動量測方法

PHASE-LOOKED LOOP WITH LOOP GAIN CALIBRATION,  
GAIN MEASUREMENT METHOD, GAIN CALIBRATION METHOD  
AND JITTER MEASUREMENT METHOD FOR PHASE-LOCK  
LOOP

## 二、中文發明摘要：

一種具有增益校正之鎖相迴路、用於鎖相迴路之振盪器增益量測方法、校正方法及抖動量測方法。首先於振盪器之輸入端加入一變化碼造成迴路擾動，該變化碼使參考相位積分路徑輸出多餘參考相位資訊，並使迴授相位積分路徑輸出多餘迴授相位資訊，最後根據兩相位資訊獲得估計振盪器增益資訊。又，可根據一振盪器目標增益資訊和該估計增益資訊獲得一增益校正因子，利用頻率控制碼與該增益校正因子之乘積以控制振盪器之頻率，藉此校正鎖相迴路之迴路增益與頻寬。於校正該鎖相迴路的增益之後取得振盪器輸入端之頻率控制碼，根據該頻率控制碼與目標增益資訊之乘積再加上一中心頻率，經由計算可得出該振盪器的雜訊抖動估計量。

### 三、英文發明摘要：

The invention provides a phase-locked loop with loop gain calibration and methods of VCO gain measurement, gain calibration, and jitter measurement. By injecting a predetermined disturbance onto a VCO in the loop, and observing the response of excess phase in the reference phase integral path and the VCO phase feedback path, the gain of VCO can be extracted. Based on the extracted VCO gain, the loop gain and loop bandwidth of PLL can be calibrated to its target value by multiplying the frequency control code of VCO with a correcting factor. After the loop gain is calibrated, the PLL output jitter can be calculated according to the VCO frequency control code, VCO center frequency, and the VCO gain.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

- |     |       |
|-----|-------|
| 21  | 相位量化器 |
| 22  | 迴路濾波器 |
| 23  | 振盪器   |
| 25  | 和差調變器 |
| 221 | 加法器   |
| 24  | 計數器   |
| 26  | 累加器   |
| 27  | 增益估計器 |

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種鎖相迴路中振盪器增益量測技術，詳而言之，係關於一種具有迴路頻寬校正之頻率合成器、用於鎖相迴路之迴路增益量測方法、校正方法及抖動量測方法。

### 【先前技術】

頻率合成器(frequency synthesizer)在現今的通訊系統中，無論是有線或無線接收機、行動電話和衛星接收機等，都扮演著極為重要的角色。其主要的工作目的是產生一與參考訊號具有已知的頻率和相位關係的週期訊號。此產生的時脈訊號將可作為處理器在高速資料傳輸介面的時脈來源、類比數位轉換器的取樣時脈或無線發射機中用來混頻的本地振盪器訊號。多年來已提出了許多頻率合成的技術，例如鎖相迴路(phase-locked loop, PLL)、直接數位合成(direct digital frequency synthesis, DDFS)和混頻技術(frequency mixing)等。在上述不同的頻率合成技術中，鎖相迴路技術最能實現兼顧多項效能的頻率合成器。

鎖相迴路是一具有負迴授的頻率控制系統。藉由感測迴授路徑與輸入參考訊號的相位誤差，鎖相迴路將會產生一與相位誤差有關的訊號，控制振盪器的輸出頻率，以達到與參考訊號具有固定的頻率和相位關係。鎖相迴路亦可進一步用來調變(modulate)或解調變(demodulate)訊號。

一般而言，設計一個鎖相迴路主要的考量有相位雜

訊、抖動效能、可調頻寬、功率消耗、晶片面積等。隨著製程的快速演進，在低電壓深次微米(deep-submicrometer)的互補金氧半(CMOS)製程下，單一顆晶片上的數位電路積體密度提高，寄生電容和供應電壓的降低，數位電路可以達到更高的操作頻率以及更低功耗的好處。而類比電路將面臨到較小的電壓容許空間，較大的漏電流以及在 SoC 環境下的雜訊影響，反而增加了高效能鎖相迴路設計的難度。

第 1 圖為傳統的非整數鎖相迴路架構，由相位頻率偵測器 (phase frequency detector, PFD) 10、充電泵 (charge pump) 11、迴路濾波器 (loop filter) 12、振盪器(voltage controlled oscillator, VCO)13、多模數除頻器(multi-modulus frequency divider)14、和差調變器(delta-sigma modulator,  $\Sigma\Delta$ )15 所組成。非整數鎖相迴路的頻寬是由充電泵 11 充放電電流值、迴路濾波器 12 的電阻電容值、振盪器 13 的增益所決定。不幸的是，上述參數均會受到製程變異的影響，使得迴路特性與原先之設計值有所不同，無法達到最佳雜訊頻寬的效果。並且多模數除頻器在不同製程下需要重新設計，不僅耗時費工也造成較大的功率消耗。

因此，如何提供一種能夠自行校正鎖相迴路頻寬之方法，以及量測鎖相迴路輸出信號雜訊之方法，為目前設計上亟待解決的問題。

### 【發明內容】

本發明提供一種用於鎖相迴路之振盪器增益量測方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組

成之迴授相位積分路徑、由和差調變器和累加器所組成之參考相位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器。該用於鎖相迴路之振盪器增益量測方法係包括以下步驟：(1)於該振盪器的輸入端提供一變化碼；(2)該變化碼將使該參考相位積分路徑輸出多餘參考相位資訊，並使該迴授相位積分路徑輸出多餘迴授相位資訊；以及(3)根據該多餘參考相位資訊和該多餘迴授相位資訊，獲得該振盪器之估計增益資訊。

本發明復提供一種用於鎖相迴路之迴路增益校正方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組成之迴授相位積分路徑、由和差調變器和累加器所組成之參考相位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器，該用於鎖相迴路之迴路增益校正方法係包括以下步驟：(1)於該振盪器的輸入端提供一變化碼；(2)該變化碼將使該參考相位積分路徑輸出多餘參考相位資訊，並使該迴授相位積分路徑輸出多餘迴授相位資訊；(3)根據該多餘參考相位資訊和該多餘迴授相位資訊，獲得該振盪器之估計增益資訊；(4)根據一目標增益資訊和該估計增益資訊獲得一增益校正因子；以及(5)利用頻率控制碼與該增益校正因子之乘積控制該振盪器之輸出頻率，以校正該振盪器的增益，達到校正迴路增益之效果。

本發明又提供一種用於鎖相迴路輸出信號之抖動雜訊量測方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組成之迴授相位積分路徑、由和差調變器和累加器



所組成之參考相位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器，該用於鎖相迴路輸出信號之抖動雜訊量測方法係包括以下步驟：(1)於校正該振盪器的增益之後，取得穩定時迴路之頻率控制碼；以及(2)根據該振盪器之頻率控制碼與一目標增益資訊之乘積，以及其中心頻率，計算出該振盪器的抖動雜訊估計量。

本發明再提供一種具有迴路增益校正之頻率合成器，係包括：迴授相位積分路徑，包含：迴路濾波器，係輸出一頻率控制碼；振盪器，係接收頻率控制碼，並產生輸出頻率；及計數器，係接收該輸出頻率並計算該輸出頻率的上升緣或下降緣，以產生多餘迴授相位資訊；參考相位積分路徑，包含：和差調變器，係用以接收一小數頻率控制碼與一相位差資訊的和；累加器，係用以累加該和差調變器的輸出及一整數頻率控制碼之和，並依據一參考頻率輸出多餘迴授相位資訊；相位量化器，係比較該多餘迴授相位資訊及該多餘參考相位資訊，並輸出該相位差資訊至該迴授相位積分路徑及該參考相位積分路徑；以及增益估計器，係接收該多餘相位差資訊，以根據該多餘相位差資訊計算出該振盪器之估計增益資訊，並根據一目標增益資訊與該估計增益資訊計算出該增益校正因子，俾使該振盪器依據該頻率控制碼與該增益校正因子的乘積調整該輸出頻率。

### 【實施方式】

以下係藉由較佳的具體實施例說明本發明之實施方式，熟悉此技術之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。以下之實施例係進一步詳細說明本發明之觀點，但並非以任何觀點限制本發明之範疇。

請參閱第 2 圖，其為非整數式全數位式鎖相迴路，主要包括迴授相位積分路徑 A 與參考相位積分路徑 B。於迴授相位積分路徑 A 中，係將相位量化器 21 的輸出輸入至迴路濾波器 22 以執行權重式( $K_{ip}$ )的累加，再將其數位控制碼輸入至振盪器 23，再由計數器 24 來計算振盪器 23 的輸出頻率( $f_{OUT}$ )的上升緣，其輸出可視為振盪器 23 的相位資訊( $\Phi_{DCO}$ )。另外，參考相位積分路徑 B 將相位量化器 21 的輸出乘上權重( $K_{pd}$ )並與小數頻率控制碼(F)相減後，送入最大解析度為  $M_{dsm}$  的和差調變器 25，其輸出再加上整數頻率控制碼(N)，平均來看為一理想帶有小數的參考頻率倍頻數，再將其理想參考頻率( $f_{REF}$ )輸入累加器 26 以計算參考頻率( $f_{REF}$ )的相位資訊( $\Phi_{REF}$ )。

接著，令迴授相位積分路徑 A 的相位資訊( $\Phi_{DCO}$ )與參考相位積分路徑 B 的相位資訊( $\Phi_{REF}$ )輸入至相位量化器 21，以在每一次參考頻率( $f_{REF}$ )的上升緣時相減產生一數位化的相位誤差資訊，並權重式的再次輸入參考相位積分路徑 B 與回授相位積分路徑 A，藉由這兩個相位積分路徑的

回饋平衡達到鎖相的目的。當相位鎖定時，輸出訊號與參考訊號將具有以下關係： $f_{OUT} = f_{REF} \times N.F$ ，其中， $N.F = N + \frac{F}{M_{dsm}}$ 。

再者，由於在一個全數位式的鎖相迴路中，頻寬由已知的參數，即迴路濾波器 22 的權重( $K_{ip}$ )、參考相位積分路徑 B 的權重( $K_{pd}$ )、和差調變器 25 的最大解析度( $M_{dsm}$ )、整數頻率控制碼(N)、小數頻率控制碼(F)以及振盪器增益( $K_{DOC}$ )所決定，其中，僅剩振盪器的增益( $K_{DOC}$ )為會受到製程物理環境與元件不匹配誤差影響的變數。故，本發明所提出之增益量測及校正方法，能免除製程物理環境與元件匹配誤差造成振盪器增益的不理想效應，並能在不更動其他參數的情況下，針對振盪器進行增益的量測與校正，達到鎖相迴路的頻寬穩定。

### 第一實施例

第 3 圖為本發明之具有迴路增益校正的頻率合成器的架構示意圖，用以說明用於鎖相迴路之增益量測和校正方法，較佳為用於非整數式全數位式鎖相迴路。

於第 3 圖中，具有增益校正之頻率合成器包括：迴授相位積分路徑 A、參考相位積分路徑 B、相位量化器 21 和增益估計器 27。

相位積分路徑 A 包括迴路濾波器 22、接收具有該變化碼( $\Delta C$ )之一頻率控制碼與一增益校正因子( $\hat{K}_{doc}[n]$ )<sup>-1</sup>的乘積之振盪器 23、計算振盪器 23 的輸出頻率( $f_{OUT}$ )的上升緣以及輸出多餘迴授相位資訊( $\Phi_{DCO}$ )之計數器 24。

參考相位積分路徑 B 包括接收一小數頻率控制碼(F)與一相位差資訊之和的和差調變器 25、用以累加和差調變器 25 的輸出及一整數頻率控制碼(N)之累加器 26，累加器 26 依據一參考頻率( $f_{REF}$ )，輸出多餘迴授相位資訊( $\Phi_{REF}$ )。

相位量化器 21 係接收多餘迴授相位資訊( $\Phi_{DCO}$ )及多餘參考相位資訊( $\Phi_{REF}$ )，並輸出相位差資訊  $b(i)$  至迴授相位積分路徑 B 及參考相位積分路徑 A。

增益估計器 27 可接收該相位差資訊，以根據該多餘相位差資訊計算出振盪器 23 之估計增益資訊，並根據一目標增益資訊與該估計增益資訊計算出該增益校正因子，俾使振盪器 23 依據具有該變化碼之頻率控制碼與該增益校正因子的乘積調整該輸出頻率，達到校正增益之效果。

用於鎖相迴路之增益量測方法，包括以下步驟：提供一變化碼( $\Delta C$ )；令該變化碼( $\Delta C$ )使該參考相位積分路徑 B 輸出多餘參考相位資訊( $\Phi_{REF}$ )，並使該迴授相位積分路徑 A 輸出多餘迴授相位資訊( $\Phi_{DCO}$ )；以及根據多餘參考相位資訊( $\Phi_{REF}$ )和該多餘迴授相位資訊( $\Phi_{DCO}$ )獲得振盪器 23 之估計增益資訊，其中，係將多餘參考相位資訊( $\Phi_{REF}$ )和多餘迴授相位資訊( $\Phi_{DCO}$ )相減，以產生相位差資訊，並令該相位差資訊為零，以獲得該鎖相迴路之估計增益資訊。

另外，再依前述增益量測方法之後還可包括以下步驟，可根據一目標增益資訊和該估計增益資訊獲得增益校正因子 $(\hat{K}_{doc}[n])^{-1}$ ，俾使振盪器 23 依據該具有變化碼( $\Delta C$ )之頻率控制碼與該增益校正因子 $(\hat{K}_{doc}[n])^{-1}$ 的乘積調整振盪器

23 的輸入頻率( $f_{OUT}$ )，以校正振盪器 23 的增益。

詳言之，在振盪器 23 前注入一緩慢變化的變化碼( $\Delta C$ )，該變化碼( $\Delta C$ )變化速度必須在整個鎖相迴路的頻寬內，因此由於鎖相迴路相位追蹤的天性，迴路濾波器 22 的輸出勢必會產生一與注入訊號( $\Delta C$ )相反的數位碼，以抵消輸出頻率( $f_{OUT}$ )的相位誤差。無疑的，相位量化器 21 的輸出也將因注入訊號( $\Delta C$ )而有所變化。基於此架構具有兩個相位積分路徑，藉由觀察兩相位積分路徑對於注入訊號( $\Delta C$ )的相位追蹤資訊，即可達到振盪器增益之萃取功能。另外，第 3 圖所示之實施例可在鎖相迴路鎖定過程或鎖定後持續進行。

參考相位積分路徑 B 輸出的多餘參考相位資訊( $\Delta\Phi_{REF}$ )可表為公式(1)， $b(i)$ 為相位量化器 21 的輸出，亦即參考相位積分路徑 B 的輸入端。 $M_{dsm}$ 為和差調變器 25 的最大解析度，經過和差調變器 25 的信號將除以最大解析度  $M_{dsm}$  表示平均的概念。由於參考相位積分路徑 B 最後經過一個累加器 26，將這次的多餘參考相位資訊與上一時間儲存的多餘參考相位資訊相加，以參考時脈的上升緣作為觸發訊號，故經過累加器 26 的信號將乘以參考頻率( $f_{REF}$ )表示每一次參考週期積分的概念，亦可視為將參考頻率資訊

$N.F = N + \frac{F}{M_{dsm}}$  積分成多餘參考相位資訊( $\Phi_{REF}$ )。

$$\Delta\Phi_{REF} = \sum \left\{ [-b(i)] \cdot \frac{K_{pd}}{M_{dsm}} \cdot f_{REF} \right\} \quad \dots \text{公式(1)}$$

迴授相位積分路徑 A 輸出的多餘迴授相位資訊( $\Delta\Phi_{\text{DCO}}$ )可表為公式(2)，其中， $(b(i))$ 為相位量化器 21 的輸出，即參考相位積分路徑 B 的輸入端。 $(K_{ip})$ 為迴路濾波器 22 的權重。 $\sum b(i) \cdot K_{ip} + \Delta C$ 為迴路濾波器 22 後加法器 221 的輸出。 $(K_{\text{DCO}})$ 為振盪器的增益，單位為 Hz/LSB，數位控制訊號經過振盪器 23 後轉成頻率( $f_{\text{OUT}}$ )輸出，以增益( $K_{\text{DCO}}$ )表示。輸出時脈訊號經過計數器 24 積分成迴授相位資訊( $\Phi_{\text{DCO}}$ )。

$$\Delta\Phi_{\text{DCO}} = \sum \{ [\sum b(i) \cdot K_{ip} + \Delta C] \cdot K_{\text{DCO}} \} \quad \dots \text{公式(2)}$$

將等式建立在相位量化器的前後可表為公式(3)，物理意義為多餘參考相位資訊( $\Delta\Phi_{\text{REF}}$ )與多餘迴授相位資訊( $\Delta\Phi_{\text{DCO}}$ )的差值，量化後為相位量化器的輸出( $b(i)$ )。

$$\Delta\Phi_{\text{REF}} - \Delta\Phi_{\text{DCO}} = b(i) \quad \dots \text{公式(3)}$$

將公式(1)與公式(2)代入公式(3)得公式(4)

$$\sum \left\{ [-b(i)] \cdot \frac{K_{pd}}{M_{dsm}} \cdot f_{\text{REF}} \right\} - \sum \{ [\sum b(i) \cdot K_{ip} + \Delta C] \cdot K_{\text{DCO}} \} = b(i) \quad \dots \text{公式(4)}$$

鎖相迴路相位鎖定時，振盪器 23 的輸出頻率( $f_{\text{OUT}}$ )為一定值，故振盪器 23 的輸入的數位頻率控制碼也為一定值。此數位頻率控制碼為迴路濾波器 22 的輸出，由於迴路濾波器 22 可視為積分器，故可推知迴路濾波器 22 的輸入，也就是相位量化器的輸出( $b(i)$ )，為一常數的微分結果。換句話說，在相位鎖定時相位量化器的輸出( $b(i)$ )平均為零。定義相位量化器的輸出( $b(i)$ )的平均值( $\overline{b(i)}$ )為 N 個參考頻

率週期的期望值，將公式(4)等號兩邊做平均得公式(5)。

$$f_{\text{REF}} \cdot \frac{K_{\text{pd}}}{M_{\text{dsm}}} \cdot \sum \overline{[-b(i)]} - K_{\text{DCO}} \cdot \sum [\Delta C + K_{\text{ip}} \cdot \sum \overline{b(i)}] = \overline{b(i)} = 0 \quad \dots \text{公}$$

式(5)

將公式(5)移項整理後可得振盪器增益，如公式(6)所示，即上述之估計增益資訊。

$$K_{\text{DCO}} = \frac{f_{\text{REF}} \cdot \frac{K_{\text{pd}}}{M_{\text{dsm}}} \cdot \sum \overline{[-b(i)]}}{\sum [\Delta C + K_{\text{ip}} \cdot \sum \overline{b(i)}]} \quad \dots \text{公式(6)}$$

由於此增益量測方法須建立在相位鎖定上，故本發明之慢速變化訊號( $\Delta C$ )使用一梯型波，在一段訊號變化後，維持一段時間不做變化，等待相位完全鎖定後再利用公式(6)做振盪器增益的估計。其模擬結果如第 4A 圖所示。第 4A-2 圖表示注入的慢速變化訊號( $\Delta C$ )上升一段時間之後會保持一段時間等待相位鎖定，第 4A-3 圖為迴路濾波器 22 的輸出，觀察可以得知迴路濾波器 22 的輸出最終將會產生與注入的慢速變化訊號( $\Delta C$ )相反且等量的變化，其數學表示式為  $\Delta C + K_{\text{ip}} \cdot \sum b(i)$ 。第 4A-1 圖表示振盪器 23 前的數位頻率控制碼，其值為注入的慢速變化訊號( $\Delta C$ )與迴路濾波器 22 輸出( $K_{\text{ip}} \cdot \sum b(i)$ )之和，觀察可得知若注入的慢速變化訊號( $\Delta C$ )其變化速度在鎖相迴路的頻寬內，則頻率誤差可以完全抵消。此模擬使用之慢速變化訊號( $\Delta C$ )變化速度為  $F_{\text{REF}}/10^3 = 156\text{kHz}$ ，鎖相迴路頻寬設計在  $1\text{MHz}$ 。第 4B-1 圖為估計之多餘參考相位資訊( $\Delta \Phi_{\text{REF}}$ )之負值，其數學表

示式為公式(1)，第 4B-2 圖為估計之多餘迴授相位資訊( $\Delta\Phi_{\text{DCO}}$ )，其數學表示式為公式(2)，第 4B-3 圖為多餘參考相位資訊( $\Delta\Phi_{\text{REF}}$ )與多餘迴授相位資訊( $\Delta\Phi_{\text{DCO}}$ )之差，觀察可得平均為零，其數學表示式為公式(3)。

使用前述之振盪器增益量測方法，估計出此時物理振盪器的增益後，可發展一個振盪器增益校正方法，達到迴路頻寬穩定之功能。第 5A 圖為振盪器的示意圖，其中 ( $K_{\text{F,SPEC}}$ )表示目標振盪器的輸出頻率範圍，單位為 Hz，其迴路頻寬與迴路參數的選定均是依據此設計振盪器的增益。 $(K_{\text{F,PHY}})$ 表示物理振盪器的輸出頻率範圍，單位為 Hz，實際上因為製程變異的誤差，使得目標振盪器輸出頻率範圍 ( $K_{\text{F,SPEC}}$ )與物理振盪器的輸出頻率範圍 ( $K_{\text{F,PHY}}$ )有所不同。頻率控制碼(frequency tuning word, FTW)有  $n$  個位元，若頻率控制碼為二補數編碼，其可表示範圍為  $-2^{n-1} \leq \text{FTW} \leq 2^{n-1} - 1$ ，具有  $2^n$  個不同的準位，故振盪器的輸出頻率可表示為公式(7)，其中， $\frac{K_{\text{F,PHY}}}{2^n}$  為物理振盪器的增益，單位為 Hz/LSB。

$$f_{\text{OUT}} = \text{FTW} \cdot \frac{K_{\text{F,PHY}}}{2^n} \dots \text{公式(7)}$$

藉由在振盪器 23 前乘上一個增益校正因子，使得頻率控制碼(FTW)經過增益校正因子的縮放後，等效上可校正振盪器 23 的增益值  $\frac{K_{\text{F,PHY}}}{2^n}$ 。提出的振盪器增益校正方法



如第 5B 圖所示，其中  $\hat{K}_F$  為使用公式(6)估計之物理振盪器增益。同樣的，第 5B 圖的輸出頻率可表示為公式(8)，其中增益校正因子為  $\frac{K_{F,SPEC}}{\hat{K}_F}$ 。

$$f_{OUT} = FTW \cdot \frac{K_{F,SPEC}}{\hat{K}_F} \cdot \frac{K_{F,PHY}}{2^n} \dots \text{公式(8)}$$

由於  $\hat{K}_F$  為使用公式(6)估計之物理振盪器增益，應當與物理振盪器增益( $K_{F,PHY}$ )相當接近。因此可將公式(8)中分子的物理振盪器增益( $K_{F,PHY}$ )與分母的估計之物理振盪器增益  $\hat{K}_F$  相消，可得公式(9)。

$$f_{OUT} = FTW \cdot \frac{K_{F,SPEC}}{2^n} \dots \text{公式(9)}$$

比較公式(7)與公式(9)可發現頻率控制碼經過增益校正因子( $\frac{K_{F,SPEC}}{\hat{K}_F}$ )後，所看到的振盪器等效增益值與目標振盪器增益( $K_{F,SPEC}$ )相同，即上述目標增益資訊，達到振盪器增益校正的效果。

另外，亦可在硬體上實現振盪器增益校正。

本發明使用一電流式數位類比轉換器(Current DAC, CDAC)<sup>31</sup> 與和差調變器(delta-sigma modulator,  $\Sigma\Delta$ )<sup>32</sup> 來控制振盪器，如圖第 6A 圖所示。此時輸出頻率( $f_{OUT}$ )可表示為公式(10)，

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \dots \text{公式(10)}$$

其中  $C_{CDAC}$  為電流式數位類比轉換器 31 的輸入碼，電流式數位類比轉換器 31 使用二進位編碼，故輸入  $n$  位元則輸出有  $2^n$  個電流準位。 $K_{F,PHY}$  為物理振盪器的振盪頻率範圍，單位為 Hz，故物理振盪器的增益可表為  $\frac{K_{F,PHY}}{2^n}$ ，單位 Hz/LSB。 $C_{\Sigma\Delta}$  為和差調變器 32 的輸入碼。 $M_{\Sigma\Delta}$  為和差調變器 32 的解析度。通過和差調變器 32 的訊號將除以解析度  $M_{\Sigma\Delta}$  表示平均的概念。由於和差調變器 32 輸出調動的一個最小頻率與電流式數位類比轉換器 31 調動的最小頻率相同，因此和差調變器 32 輸出控制的物理振盪器的增益同為  $\frac{K_{F,PHY}}{2^n}$ 。

由於信號經過高速擾動的和差調變器，可以除以和差調變器 32 的解析度  $M_{\Sigma\Delta}$  的比例縮小輸入訊號，表示在時域上平均的概念，故可藉由改變和差調變器 32 的解析度，達到等效上在振盪器前乘上一個增益校正因子的行為，如第 6B 圖所示，使得頻率控制碼經過增益校正因子的縮放後，等效上校正振盪器 23 的增益為  $\frac{K_{F,SPEC}}{2^n}$ 。但因為調整和差調變器 32 的解析度對於振盪器增益的影響是在分母，所以原本乘在振盪器 23 前的增益校正因子  $(\frac{K_{F,SPEC}}{K_F})$  對和差調變器 32 的解析度的調整比例必須倒數，換言之，校正後的和差調變器 32 的解析度  $M'_{\Sigma\Delta}$  為原始和差調變器的解析度  $M_{\Sigma\Delta}$  乘

上  $\frac{\hat{K}_F}{K_{F,SPEC}}$ ，如公式(11)所示。

$$M'_{\Sigma\Delta} = M_{\Sigma\Delta} \times \frac{\hat{K}_F}{K_{F,SPEC}} \dots \text{公式(11)}$$

此時，校正後的輸出頻率可表示為公式(12)

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \dots \text{公式(12)}$$

將公式(11)代入公式(12)可得公式(13)

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M'_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \dots \text{公式(13)}$$

同理，由於  $\hat{K}_F$  為使用公式(6)估計之物理振盪器增益，應當與物理振盪器增益 ( $K_{F,PHY}$ ) 相當接近。因此可將公式(13)中分子的物理振盪器增益 ( $K_{F,PHY}$ ) 與分母的估計之物理振盪器增益  $\hat{K}_F$  相消，可得公式(14)。比較公式(10)與公式(14)可發現頻率控制碼經過最大解析度為  $M'_{\Sigma\Delta}$  的和差調變器後，所看到的振盪器增益從物理振盪器增益 ( $K_{F,PHY}$ ) 等效上成為目標振盪器增益 ( $K_{F,SPEC}$ )，達到振盪器增益校正的效果。

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,SPEC}}{2^n} \dots \text{公式(14)}$$

## 第二實施例

時脈抖動(jitter)特性為評估鎖相迴路優劣的重要指標之一，以往測試鎖相迴路效能多半使用外部儀器量測時脈

抖動，但隨著鎖相迴路輸出頻率之提升，量測儀器成本也大大提高。因此晶片上抖動量估計的方法，利用振盪器輸入端的頻率控制碼 FTW(frequency tuning word)計算抖動雜訊，其量測頻率從原本的輸出頻率降低為參考頻率等級，大大減輕了量測儀器的成本。

於第 7 圖所示之全數位鎖相迴路(all digital phase lock loops, ADPLL)中，頻寬由已知的數位迴路參數(迴路濾波器 22 的權重( $K_{ip}$ )，參考相位積分路徑 B 的權重  $K_{pd}$ ，和差調變器 25 最大解析度( $M_{dsm}$ )，整數除頻數(N)，小數除頻數(F)以及類比迴路參數(振盪器 23 的增益  $K_{DCO}$ )所決定。其中唯一會受到製程-電壓-溫度變異(PVT variation)影響的僅剩振盪器的增益( $K_{DCO}$ )。

本發明之用於鎖相迴路之抖動量測方法，包括以下步驟：於校正該振盪器 23 的增益之後，取得振盪器輸入端之頻率控制碼 FTW，抖動估計器 29 可根據該頻率控制碼 FTW 與一目標增益資訊  $K_{F,SPEC}$  之乘積，以及一中心頻率  $f_{FREE}$ ，計算出該振盪器的抖動估計量  $\hat{j}$ 。

另外，若我們能設法找出晶片中振盪器的物理增益( $K_{F,PHY}$ )並且將其物理增益( $K_{F,PHY}$ )置換成目標振盪器增益( $K_{F,SPEC}$ )，如此一來便可以在不更動其他參數的情況下，達到還原迴路頻寬的效果。在完成頻寬校正後，利用振盪器前的頻率控制碼估計抖動量( $\hat{j}_{ms}$ )並與此時量測到的抖動量( $J_{rms}$ )做比對，若兩張抖動分佈相同，可驗證迴路頻寬校正的準確度。

完成頻寬校正後，若使用示波器 28 量測之振盪器 23 輸出時脈抖動雜訊分佈為( $J_{rms}$ )，其與晶片內抖動雜訊量測結果( $\hat{j}_{rms}$ )吻合之前提有三，一為晶片內校正後的振盪器增益必須等於已知的目標振盪器增益( $K_{F,SPEC}$ )，二為提出的抖動估計方法必須與示波器量測抖動方法相同。三為鎖相迴路頻寬內雜訊必須由參考雜訊決定。

要計算出抖動量，找出每個時脈的週期為不可或缺的資訊。如第 8A 圖所示，假設在一頻率為  $f$ ，週期為  $T(T=1/f)$  的理想時脈中取八個點，表示每一個取樣點之間的時間間隔為  $T/8$ 。由於相位為頻率的積分，故其相位資訊將會以  $2\pi/8$  等差遞增，將此相位資訊除以  $2\pi$  的餘數再對  $2\pi$  做正規化，可得第 8A 圖下的三角波形。觀察第 8A 圖的上下圖可發現，當一個周期結束時，相位除  $2\pi$  的餘數恰好出現斜率極性的轉變，換言之，當原本遞增的相位資訊轉為遞減時，此時的時間點可視為一個週期的結束。同理，第 8B 圖為一個具有相位雜訊的時脈，藉由量測相位除以  $2\pi$  的餘數出現斜率極性轉變的時間，可視為該週期的時間長度。取足夠大的  $N$  個週期做平均，將其  $N$  次週期的期望值作為理想的時脈週期  $\bar{T}$ ，每一次時脈週期  $T_{cycle,n}$  與理想週期 ( $\bar{T}$ ) 的差，定義為週期抖動 (period jitter)，其數學表示式為

$$T_{jit(per),n} = T_{cycle,n} - \bar{T} \dots \text{公式(15)}$$

$$\text{其中，} \bar{T} = \frac{\sum_{n=n_0}^{n_0+N-1} T_{jit(per),n}}{N}, n_0 \geq 1$$

將其週期抖動做累加並對理想週期做正規化可統計其抖動分佈  $\hat{j}[i]$ ，單位為 UI(unit interval)，其數學表示式為

$$\hat{j}[i](UI) = \sum_{n=0}^i \frac{T_{jit(per),n}}{\bar{T}}, \text{PDF}[i] = \hat{j}[i] / \sum_{\forall i} \hat{j}[i] \quad \dots \text{公式}(16)$$

計算抖動分佈的期望值作為估計的均方根抖動 ( $\hat{j}_{rms}$ )，其數學表示為

$$\hat{j}_{rms} = \sum_{\forall i} \hat{j}[i] \times \text{PDF}[i] - \bar{T} \quad \dots \text{公式}(17)$$

若相位雜訊在頻域上的積分值為均方根抖動值，而實際的均方根抖動為 ( $J_{rms}$ )。藉由提取頻率控制碼經過與迴路內相同的振盪器，並使用前述抖動量估計方法，即可對輸出時脈取樣以估計均方根抖動量 ( $\hat{j}_{rms}$ )。綜上所述，本發明之具有迴路增益及頻寬校正之頻率合成器、用於鎖相迴路之迴路增益量測方法、校正方法及抖動量測方法，能免除製程、電壓與溫度變異之影響，其在不影響迴路鎖定之運作下，於振盪器輸入端注入低頻擾動(即變化碼)，使迴路濾波器輸出端產生一相應訊號，藉此得知振盪器增益。利用量取之振盪器增益資訊，可做為數位校正振盪器增益之依據，藉此達到穩定迴路頻寬的效果。另外，以往測試抖動雜訊需要昂貴之儀器設備，利用本發明之抖動量測的方法，大大減輕了量測儀器的規格與成本，其具有即時性與方便性。

上述實施例僅例示性說明本發明之原理及功效，而非用於限制本發明。任何熟習此項技術之人士均可在不違背

本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

### 【圖式簡單說明】

第 1 圖係先前技術之非整數頻率合成器之架構圖；

第 2 圖係數位式非整數頻率合成器之架構圖；

第 3 圖係本發明之迴路增益校正頻率合成器之架構圖；

第 4A 圖係表示本發明之迴路增益校正頻率合成器之頻率控制碼、變化碼及迴路濾波器的輸出之變化；

第 4B 圖係表示本發明之迴路增益校正頻率合成器之多餘參考相位資訊、多餘迴授相位資訊及多餘相位差資訊之變化；

第 5A 和 5B 圖係分別表示本發明之振盪器增益校正頻率合成器之增益校正前和增益校正後之示意圖；

第 6A 和 6B 圖係分別表示本發明之增益校正頻率合成器之增益校正前和增益校正後之另一示意圖；

第 7 圖係本發明之增益校正頻率合成器之抖動量測機制；以及

第 8A 及 8B 圖分別為於理想時脈和具有雜訊的時脈下之本發明之抖動量測估計方法。

### 【主要元件符號說明】

10 相位頻率偵測器

11 充電泵

- 12、22 迴路濾波器
- 13、23 振盪器
- 14 多模數除頻器
- 15、25 和差調變器
- 21 相位量化器
- 221 加法器
- 24 計數器
- 26 累加器
- 27 增益估計器
- 31 電流式數位類比轉換器
- 32 和差調變器
- 28 示波器
- 29 抖動估計器



## 七、申請專利範圍：

1. 一種用於鎖相迴路之振盪器增益量測方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組成之迴授相位積分路徑、由和差調變器和累加器所組成之參考相位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器，該用於鎖相迴路之振盪器增益量測方法係包括以下步驟：
  - (1)於該振盪器的輸入端提供一變化碼；
  - (2)依據該變化碼使該參考相位積分路徑輸出多餘參考相位資訊，並使該迴授相位積分路徑輸出多餘迴授相位資訊；以及
  - (3)根據該多餘參考相位資訊和該多餘迴授相位資訊，獲得該振盪器之估計增益資訊。
2. 如申請專利範圍第 1 項所述之用於鎖相迴路之振盪器增益量測方法，其中，於步驟(3)中復包括：將該多餘參考相位資訊和該多餘迴授相位資訊相減，以產生相位差資訊，並令該相位差資訊在穩態時之累積值為零，以獲得該振盪器之估計增益資訊的步驟。
3. 如申請專利範圍第 1 項所述之用於鎖相迴路之振盪器增益量測方法，其中，該變化碼的變化速度係在該鎖相迴路的頻寬內。
4. 一種用於鎖相迴路之迴路增益校正方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組成之迴授相位積分路徑、由和差調變器和累加器所組成之參考相

位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器，該用於鎖相迴路之迴路增益校正方法係包括以下步驟：

(1)於該振盪器的輸入端提供一變化碼；

(2)依據該變化碼使該參考相位積分路徑輸出多餘參考相位資訊，並使該迴授相位積分路徑輸出多餘迴授相位資訊；

(3)根據該多餘參考相位資訊和該多餘迴授相位資訊，獲得該振盪器之估計增益資訊；

(4)根據一目標增益資訊和該估計增益資訊獲得一增益校正因子；以及

(5)利用一頻率控制碼與該增益校正因子之乘積控制該振盪器之輸出頻率，以校正該振盪器的增益。

5. 如申請專利範圍第 4 項所述之用於鎖相迴路之迴路增益校正方法，其中，該增益校正因子為該目標增益資訊和該估計增益資訊之比值。
6. 如申請專利範圍第 4 項所述之用於鎖相迴路之迴路增益校正方法，其中，該變化碼的變化速度係在該鎖相迴路的頻寬內。
7. 一種用於鎖相迴路輸出信號之抖動雜訊量測方法，該鎖相迴路包括由迴路濾波器、振盪器和計數器所組成之迴授相位積分路徑、由和差調變器和累加器所組成之參考相位積分路徑、以及比較該迴授相位積分路徑和該參考相位積分路徑的輸出之相位量化器，該用於

鎖相迴路輸出信號之抖動雜訊量測方法係包括以下步驟：

(1)於校正該振盪器的增益之後，取得迴路穩定時之頻率控制碼；以及

(2)根據該振盪器輸入端之頻率控制碼與一目標增益資訊之乘積、以及該頻率控制碼的中心頻率，計算出該振盪器的抖動雜訊估計量。

8. 如申請專利範圍第 7 項所述之用於鎖相迴路之抖動雜訊量測方法，其中，步驟(1)復包括：

(1-1)於該振盪器的輸入端提供一變化碼；

(1-2)令該變化碼使該參考相位積分路徑輸出多餘參考相位資訊，並使該迴授相位積分路徑輸出多餘迴授相位資訊；

(1-3)根據該多餘參考相位資訊和該多餘迴授相位資訊，獲得該鎖相迴路之估計增益資訊；

(1-4)根據一目標增益資訊和該估計增益資訊獲得一增益校正因子；以及

(1-5)利用一頻率控制碼與該增益校正因子之乘積控制該振盪器之輸出頻率，以校正該振盪器的增益。

9. 如申請專利範圍第 7 項所述之用於鎖相迴路之抖動雜訊量測方法，其中，該鎖相迴路的頻寬係由整數除頻數、小數除頻數、該迴路濾波器的權重、該參考相位積分路徑的權重、該和差調變器的最大解析度、該振盪器的增益所決定。

10. 一種具有迴路增益校正之頻率合成器，係包括：

迴授相位積分路徑，包含：

迴路濾波器，係輸出一頻率控制碼；

振盪器，係接收一變化碼與該頻率控制碼，並產生輸出頻率；及

計數器，係接收該輸出頻率並計算該輸出頻率的上升緣或下降緣，以產生多餘迴授相位資訊；參考相位積分路徑，包含：

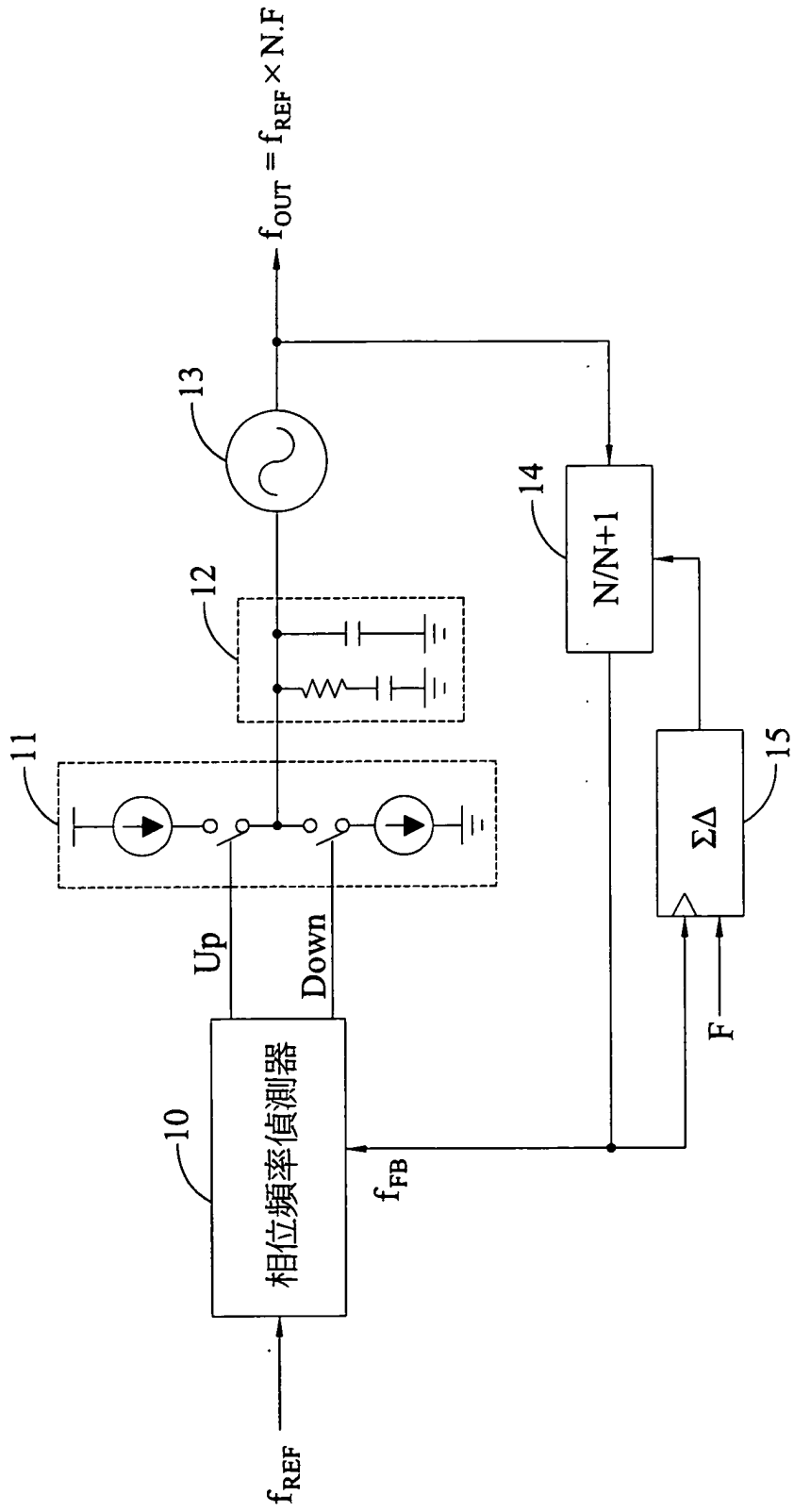
和差調變器，係用以接收一小數頻率控制碼與一相位差資訊的和；及

累加器，係用以累加該和差調變器的輸出及一整數頻率控制碼之和，並依據一參考頻率輸出多餘迴授相位資訊；

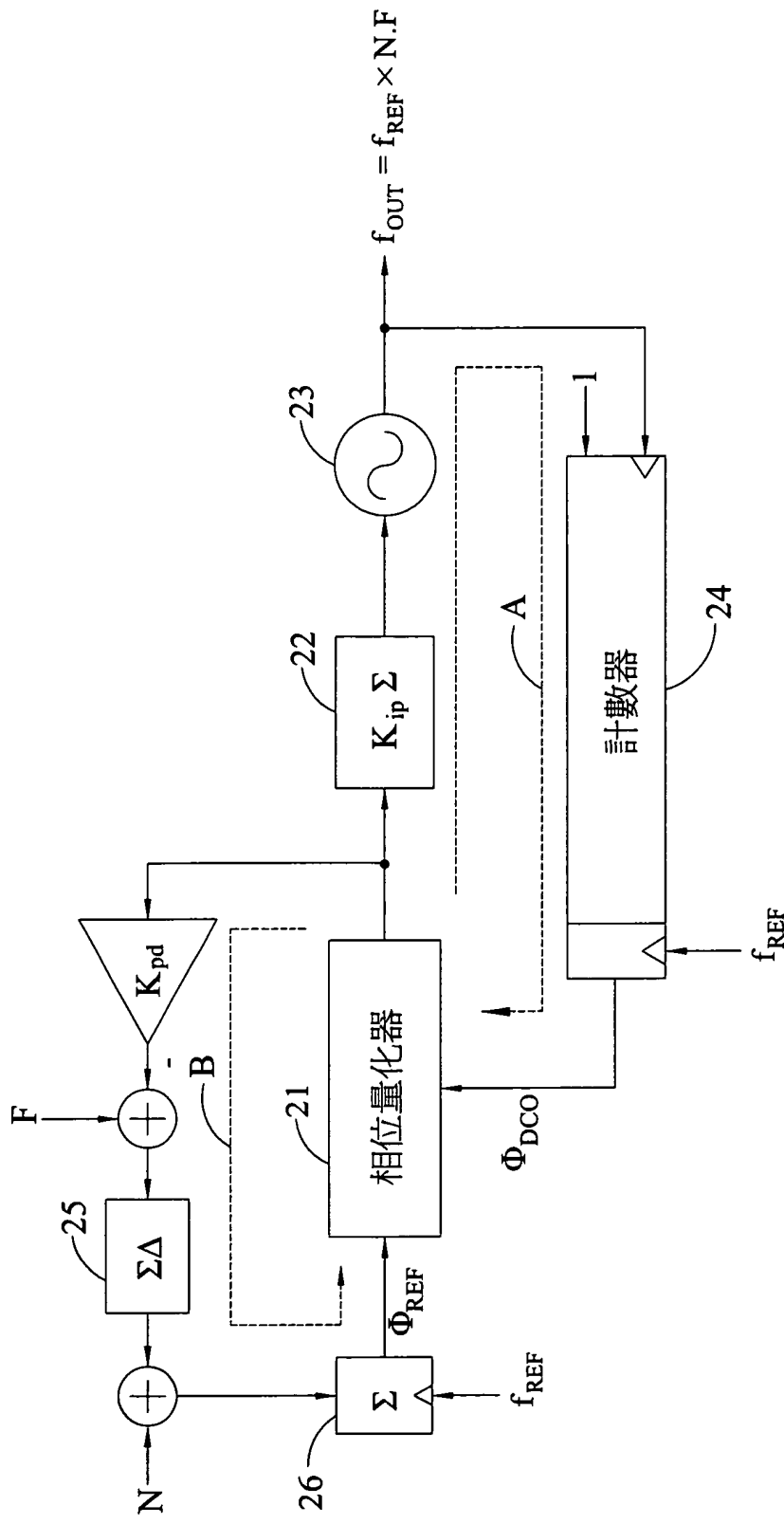
相位量化器，係比較該多餘迴授相位資訊及該多餘參考相位資訊，並輸出該相位差資訊至該迴授相位積分路徑及該參考相位積分路徑；以及

增益估計器，係接收該多餘相位差資訊，以根據該多餘相位差資訊計算出該振盪器之估計增益資訊，並根據一目標增益資訊與該估計增益資訊計算出該增益校正因子，俾使該振盪器依據該頻率控制碼與該增益校正因子的乘積調整該輸出頻率。

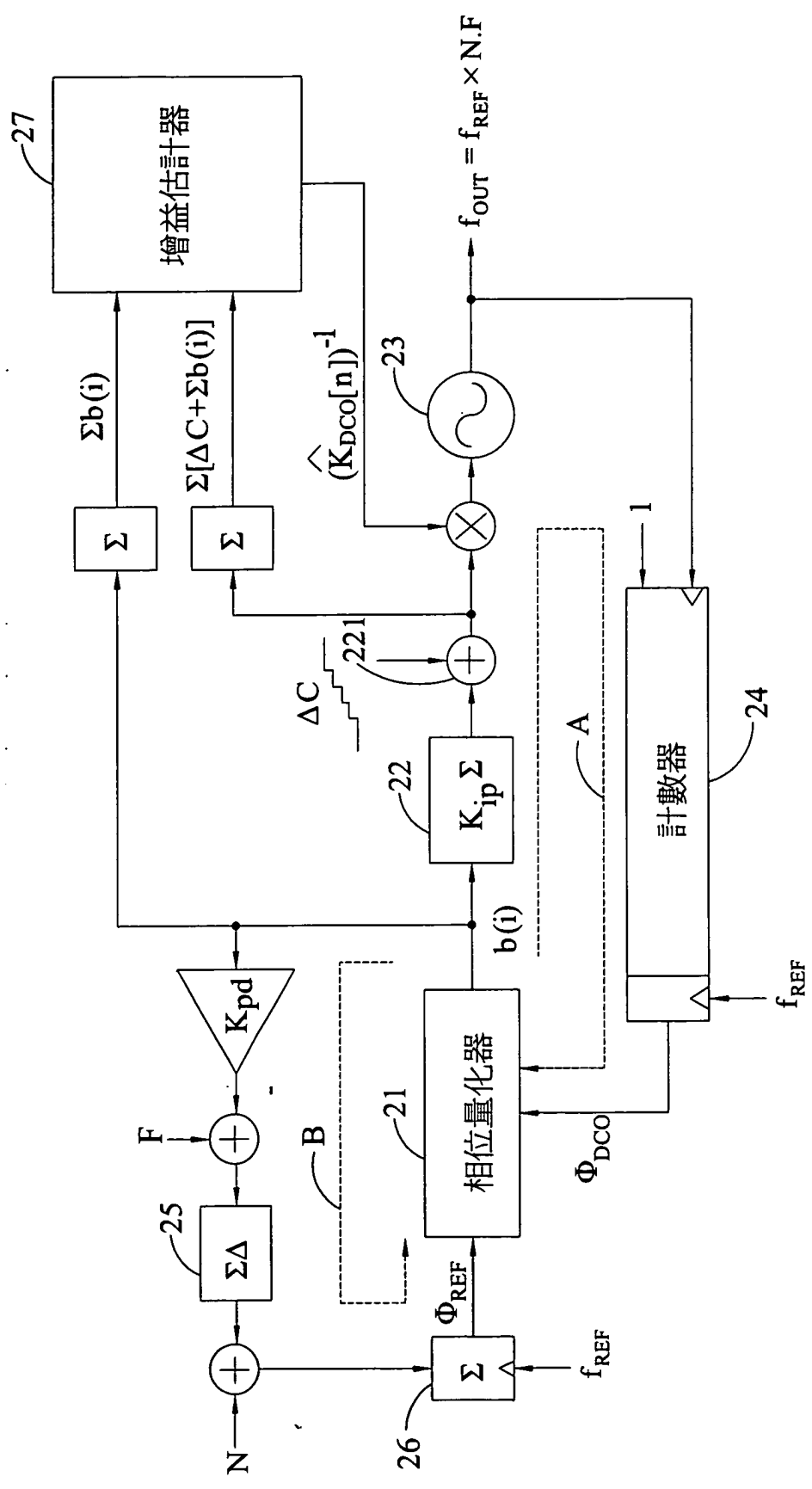
八、圖式：



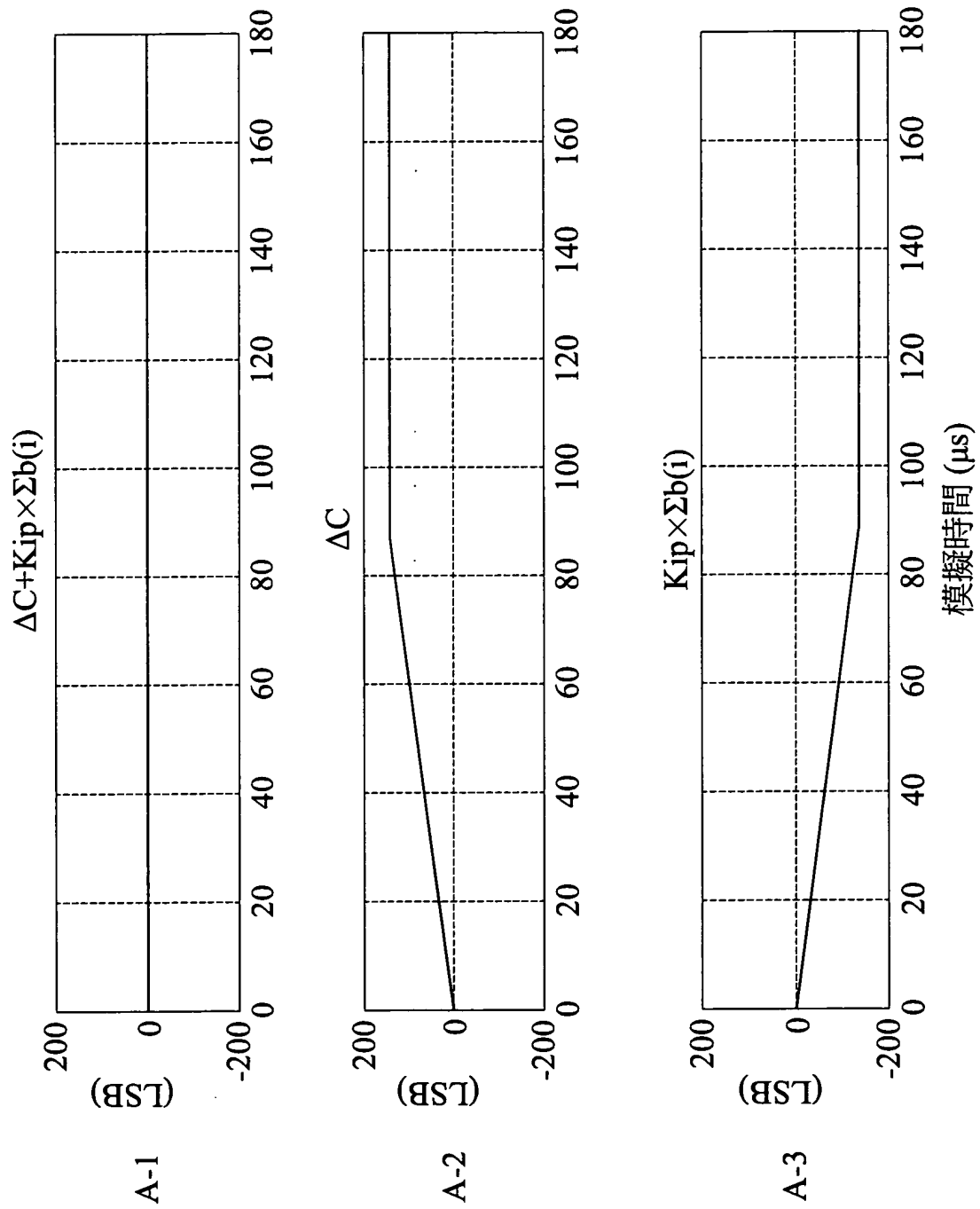
第1圖



第2圖

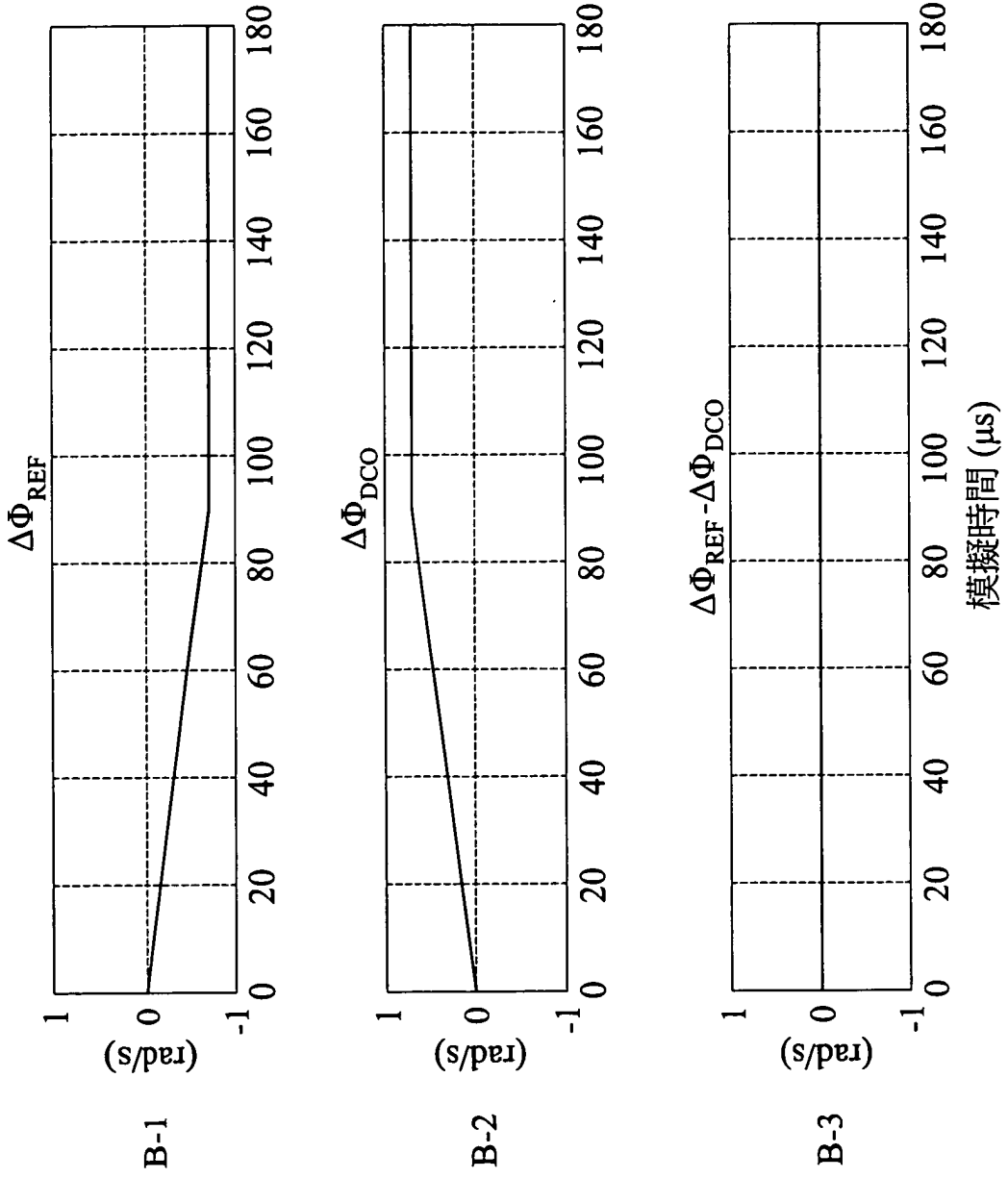


第3圖

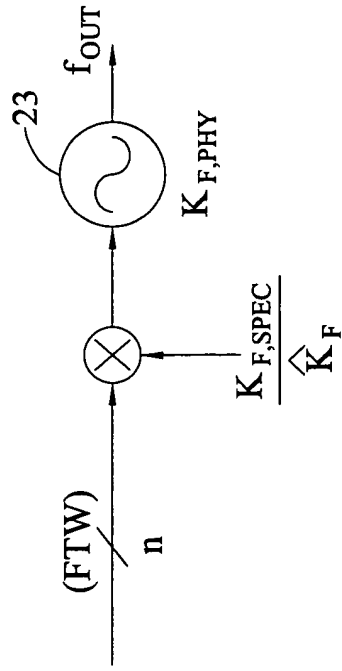


第4A圖

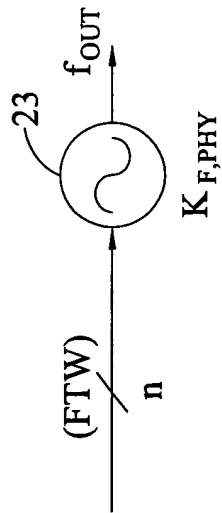




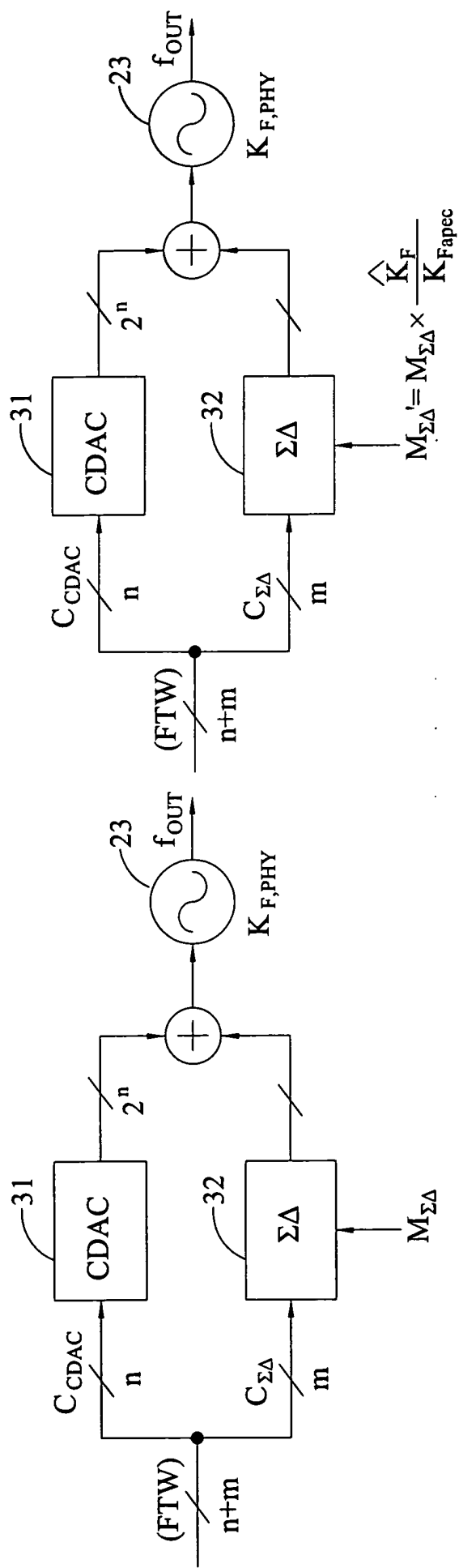
第4B圖



第5B圖



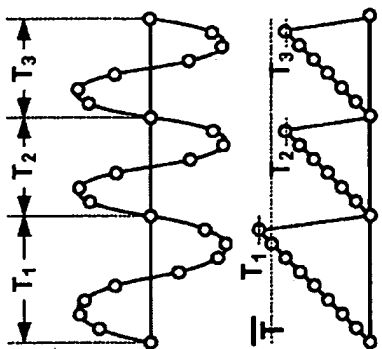
第5A圖



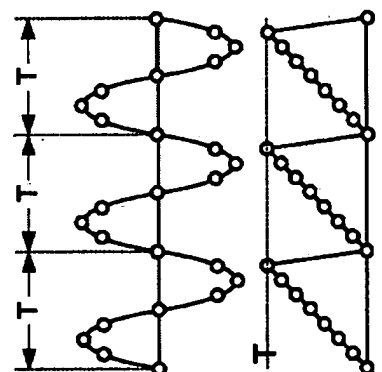
第6B圖

第6A圖





第8B圖



第8A圖