



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I497721 B

(45) 公告日：中華民國 104 (2015) 年 08 月 21 日

(21) 申請案號：102118636

(22) 申請日：中華民國 102 (2013) 年 05 月 27 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, YI (TW) ; 林岳欽 LIN, YUEH CHIN (TW) ; 王煥中 WANG, HUAN CHUNG (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

US 2013/0075753A1

審查人員：邱迺軒

申請專利範圍項數：8 項 圖式數：5 共 14 頁

(54) 名稱

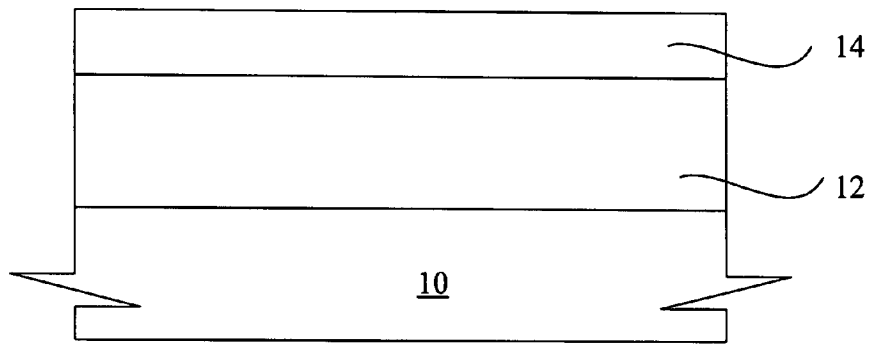
增強型氮化鎵電晶體及其形成方法

ENHANCED GAN TRANSISTOR AND THE FORMING METHOD THEREOF

(57) 摘要

一種增強型氮化鎵電晶體，其結構由下而上包括：基板、異質結構、p 型元素磊晶成長層、汲極歐姆接觸及源極歐姆接觸設置在異質結構上且設至於 p 型元素磊晶成長層之兩側邊、閘極結構設置在 p 型元素磊晶成長層上且與汲極歐姆接觸及源極歐姆接觸彼此分離以及表面鈍化層包覆汲極歐姆接觸、源極歐姆接觸、p 型元素磊晶成長層及覆蓋部份閘極結構，藉由異質結構與 p 型元素磊晶成長層在閘極結構下方可以形成 P-N 接面，而成為具有高輸出電流之增強型氮化鎵電晶體。

An enhanced GaN transistor is provided. The structure comprises a substrate, a heterostructure, a p-element epitaxy growing layer, a drain ohmic contact and a source ohmic contact disposed on the heterostructure and on two sides of the p-element epitaxy growing layer, a gate structure disposed on the p-element epitaxy growing layer, and is separated from the drain ohmic contact and the source ohmic contact, a surface passivation layer covered the drain ohmic contact, source ohmic contact, and p-element epitaxy growing layer, and covered portion of the gate structure, so that the P-N junction can be formed under the gate structure by the p-element epitaxy growing layer and heterostructure to form an enhanced GaN transistor with higher output current.



10 . . . 基板
12 . . . 異質結構
14 . . . p型元素磊
晶成長層

第 1 圖

公告本

發明摘要

※ 申請案號：102118636
 ※ 申請日：102. 5. 27

※IPC 分類：

H01L 29/178 2006.01

H01L 21/28 2006.01

【發明名稱】

增強型氮化鎵電晶體及其形成方法

Enhanced GaN Transistor and the Forming Method Thereof

【中文】

一種增強型氮化鎵電晶體，其結構由下而上包括：基板、異質結構、p 型元素磊晶成長層、汲極歐姆接觸及源極歐姆接觸設置在異質結構上且設置於 p 型元素磊晶成長層之兩側邊、閘極結構設置在 p 型元素磊晶成長層上且與汲極歐姆接觸及源極歐姆接觸彼此分離以及表面鈍化層包覆汲極歐姆接觸、源極歐姆接觸、p 型元素磊晶成長層及覆蓋部份閘極結構，藉由異質結構與 p 型元素磊晶成長層在閘極結構下方可以形成 P-N 接面，而成為具有高輸出電流之增強型氮化鎵電晶體。

【英文】

An enhanced GaN transistor is provided. The structure comprises a substrate, a heterostructure, a p-element epitaxy growing layer, a drain ohmic contact and a source ohmic contact disposed on the heterostructure and on two sides of the p-element epitaxy growing layer, a gate structure disposed on the p-element epitaxy growing layer, and is separated from the drain ohmic contact and the source ohmic contact, a surface passivation layer covered the drain ohmic contact, source ohmic contact, and p-element epitaxy growing layer, and

covered portion of the gate structure, so that the P-N junction can be formed under the gate structure by the p-element epitaxy growing layer and heterostructure to form an enhanced GaN transistor with higher output current.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

10 基板

12 異質結構

14 p 型元素磊晶成長層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

covered portion of the gate structure, so that the P-N junction can be formed under the gate structure by the p-element epitaxy growing layer and heterostructure to form an enhanced GaN transistor with higher output current.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

10 基板

12 異質結構

14 p 型元素磊晶成長層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

增強型氮化鎵電晶體及其形成方法

Enhanced GaN Transistor and the Forming Method Thereof

【技術領域】

【0001】 本發明係有關於一種氮化鎵電晶體，更特別的是一種具有 P-N 接面之增強型氮化鎵電晶體。

【先前技術】

【0002】 氮化鎵高載子遷移率電晶體(GaN-HEMT, Gallium nitride high electron mobility transistor)由於具有高輸出功率、高崩潰電壓及耐高溫等優良特性，近年來已被廣泛應用於高功率電路系統中。

【0003】 而傳統的氮化鎵電晶體由於在其結構中之氮化鎵/氮化鋁具有大量之極化電荷形成二維電子氣(2DEG, two dimension electron gas)，使得電晶體需操作在空乏模式(depletion mode)下，在此模式操作下之電晶體，一般稱為常開式(normal on)電晶體。由於常開式電晶體其臨限電壓(threshold voltage)為負值，即電晶體在零閘極偏壓時，電晶體仍會導通電流，形成額外的功率耗損。

【0004】 於習知技術中曾提出使用凹型紮極結構(recessed gate)或是利用四氟化碳(CF₄)電漿處理或具有 P 型氮化鎵之閘極等方法來製作增強型氮化鎵電晶體。傳統 AlGa_n/Ga_n 異質接面結構電晶體，其緩衝層 AlGa_n 具有晶格常數不匹配、熱膨脹差異及拉伸應力等問題，因此限制住最大輸出

電流。

【發明內容】

【0005】 根據習知技術之缺點，本發明主要目的是利用 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 具有較佳晶格匹配度(LM, lattice matched)之異質結構(heterostructure)，可以降低其拉伸應力並且保持高極化電荷密度之二維電子氣，進而可提升輸出電流。因此在本發明中利用磊晶成長 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 之異質結構，並於最上層藉由摻雜成長 p- $\text{In}_x\text{Al}_{1-x}\text{N}$ 層形成 P-N(正-負)介面，可製作出具有高輸出電流之增強型氮化鎵電晶體元件。

【0006】 根據以上所述本發明的另一目的在於，設計出具有高輸出電流並且能在增強模式操作(enhancement mode)下之常關式(normal-off)氮化鎵電晶體，以改善習知技術之缺點，且可進一步的應用於高功率電路中。

【0007】 本發明的再一目的在於，以 P-N 半導體介面加上 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 之異質結構製作出增強型氮化鎵電晶體，利用 P-N 半導體介面的目的在於透過 P-N 介面內具有內建電壓的特性，提升電晶體之臨限電壓，使其能在增強模式下操作。

【0008】 本發明的更一目的在於，利用 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 之異質介面結構以提升輸出電流，以改善電晶體元件之汲極輸出電流(drain output current)及轉導(transconductance)等特性，適合次世代高效能高壓驅動及控制電路系統之應用。

【0009】 根據上述目的，本發明揭露一種增強型氮化鎵電晶體，其結構由下而上包括：基板、異質結構、p 型元素磊晶成長層、汲極歐姆接觸及源極歐姆接觸設置在異質結構上且設至於 p 型元素磊晶成長層之兩側邊、閘極結構設置在 p 型元素磊晶成長層上且與汲極歐姆接觸及源極歐姆接觸彼此分離，以及表面鈍化層包覆汲極歐姆接觸、源極歐姆接觸、p 型元素磊

晶成長層及覆蓋部份閘極結構，藉由異質結構與 p 型元素磊晶成長層之間可以形成 P-N 接面，而成為具有高輸出電流之增強型氮化鎵電晶體。

【0010】 根據上述之增強型氮化鎵電晶體，本發明還揭露增強型氮化鎵電晶體之形成方法，其包括：提供基板、在基板上形成異質結構、在異質結構上形成 p 型元素磊晶層、將第一光阻層形成在 p 型元素磊晶層且於 p 型元素磊晶成長層之兩側邊分別定義出汲極區及源極區、蝕刻以移除部份 p 型元素磊晶成長層、將第一金屬層沉積在 p 型元素磊晶成長層之兩側邊而分別形成汲極歐姆接觸及源極歐姆接觸、將第二光阻層形成在 p 型元素磊晶成長層之上，並於 p 型元素磊晶成長層上定義出閘極區域、第二金屬層沉積在 p 型元素磊晶成長層上、蝕刻以移除部份第二金屬層以形成閘極結構在 p 型元素磊晶成長層上，且閘極結構與汲極歐姆接觸及源極歐姆接觸彼此分離以及沉積表面鈍化層以覆蓋汲極歐姆接觸、源極歐姆接觸、p 型元素磊晶成長層及包覆部份閘極結構，藉此以形成具有高輸出電流之增強型氮化鎵電晶體，且閘極漏電流可藉由表面鈍化層而降低以改善電晶體特性。

【圖式簡單說明】

【0011】 第 1 圖係表示氮化鎵磊晶結構之截面示意圖。

【0012】 第 2 圖係表示在 p 型元素磊晶成長層之兩側邊形成汲極歐姆接觸及源極歐姆接觸之截面示意圖。

【0013】 第 3 圖係表示將閘極結構形成在 p 型元素磊晶成長層上之截面示意圖。

【0014】 第 4 圖係表示將表面鈍化層形成在第 3 圖之結構上之截面示意圖。

【0015】 第 5 圖係表示本發明所揭露之增強型氮化鎵電晶體之形成步驟流程圖。

【實施方式】

【0016】 首先請參考第 1 圖。第 1 圖係表示氮化鎵磊晶結構之截面示意圖。在第 1 圖中，氮化鎵磊晶結構由下往上依序為基板 10、異質結構(heterostructure)12 以及 p 型(正型)元素磊晶成長層 14。

【0017】 在此要說明的是，第 1 圖所示之基板 10 的材料可以是藍寶石(sapphire)、碳化矽(SiC)及矽(Si)基板。異質結構 12 係可以由 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 所組成，於另一實施例中，其異質結構 12 可以是由 AlGaN/GaN 所組成。接著，係在異質結構 12 上形成 p 型元素磊晶成長層 14，其中 p 型元素磊晶成長層 14 可以是 $\text{p-In}_x\text{Al}_{1-x}\text{N}$ 。此外，在第 1 圖之氮化鎵磊晶結構中還可以包含緩衝層(buffer layer)(未在圖中表示)設置在基板 10 及異質結構 12 之間。

【0018】 緊接著請參考第 2 圖。第 2 圖係表示在 p 型元素磊晶成長層之兩側邊形成汲極歐姆接觸及源極歐姆接觸之截面示意圖。在第 2 圖中，係先將第一光阻層(未在圖中表示)形成在 p 型元素磊晶成長層 14 之上。接著，係根據第一光阻層之圖案在 p 型元素磊晶成長層 14 上定義出汲極區(未在圖中表示)及源極區(未在圖中表示)。接下來，利用蝕刻步驟以移除了部份的 p 型元素磊晶成長層 14，然後再利用沉積步驟將第一金屬層(未在圖中表示)形成在 p 型元素磊晶成長層 14 的兩側邊以分別形成汲極歐姆接觸(drain ohmic contact)16 及源極歐姆接觸(source ohmic contact)18。

【0019】 接下來請參考第 3 圖。第 3 圖係表示將閘極結構形成在 p 型元素磊晶成長層上之截面示意圖。在第 3 圖中，係先將第二光阻層(未在圖中表示)形成在 p 型元素磊晶成長層 14 上。接著，係利用第二光阻在 p 型元素磊晶成長層 14 上定義出閘極區域(未在圖中表示)。

【0020】 仍是第 3 圖，緊接著，係將第二金屬層(未在圖中表示)沉積在 p 型元素磊晶成長層 14、汲極歐姆接觸 16 及源極歐姆接觸 18 上。然後根據所先前經由第二光阻層所定義出之閘極區域，利用蝕刻以移除閘極區

域以外的第二金屬層，使得在 p 型元素磊晶成長層 14 上形成閘極結構 20，且此閘極結構 20 與汲極歐姆接觸 16 及源極歐姆接觸 18 彼此分離。在此實施例中，其利用蝕刻以移除閘極區域以外的第二金屬層係利用感應式耦合型電漿(ICP)來蝕刻閘極區域以外的區域。

【0021】 另外要說明的是，在本發明的實施例中，前述之 p 型元素磊晶成長層 14 可以是 $p\text{-In}_x\text{Al}_{1-x}\text{N}$ 。由於 $\text{In}_x\text{Al}_{1-x}\text{N}$ 材料本身具有以電子為多數載子之 n 型特性，再透過摻雜 p 型元素，例如化學元素周期表上之 IIA 族元素，並且藉由磊晶成長而形成 $p\text{-In}_x\text{Al}_{1-x}\text{N}$ ，因此可以在第 3 圖所形成的閘極結構 20 的底下，來產生 P-N 接面。由於 P-N 接面具有內建電壓約為 0.7 伏特，可藉由此能障壓差於零閘極偏壓時，空乏其閘極通道，使得電晶體無導通電流，而形成一常關式(normally-off)電晶體或增強型電晶體。

【0022】 接著請參考第 4 圖。第 4 圖係表示將表面鈍化層形成在第 3 圖之結構上之截面示意圖。在第 4 圖中，將做為表面鈍化層 22 之氮化矽(SiN)以沉積的方式以覆蓋住在異質結構 12 上之汲極歐姆接觸 16 及源極歐姆接觸 18，並且覆蓋住 p 型元素磊晶成長層 14 以及包覆部份的閘極結構 22 以完成本發明所揭露之增強型氮化鎵電晶體。在此實施例中，沉積表面鈍化層 22 的方法係利用電漿輔助化學氣相沉積(PECVD)法。

【0023】 要說明的是，仍是第 4 圖，表面鈍化層 22 可以有效的降低表面態(surface state)之缺陷，並且可以達到保護元件之效果。

【0024】 接著請參考第 5 圖。第 5 圖係表示本發明所揭露之增強型氮化鎵電晶體之形成步驟流程圖。在第 5 圖中，步驟 30 係提供基板。步驟 32，係在基板上形成異質結構(heterostructure)。步驟 34，係在異質結構上形成 p 型元素磊晶成長層。步驟 36，係將第一光阻層形成在 p 型元素磊晶成長層上，並且在 p 型元素磊晶成長層之兩側邊分別定義出汲極區(drain region)及源極區(source region)。接著於步驟 38，係利用蝕刻方式以移除部份的 p 型

元素磊晶成長層。步驟 40，係將第一金屬層沉積在 p 型元素磊晶成長層之兩側之已定義之汲極區及源極區上，以形成汲極歐姆接觸(drain ohmic contact)及源極歐姆接觸(source ohmic contact)。

【0025】 緊接著，仍是第 5 圖，於步驟 42，係將第二光阻層形成在 p 型元素磊晶成長層之上，且於 p 型元素磊晶成長層上定義出閘極區域(gate region)。步驟 44，將第二金屬層沉積在 p 型元素磊晶成長層上。步驟 46，蝕刻以移除部份第二金屬層以形成閘極結構在 p 型元素磊晶成長層上，且閘極結構與汲極歐姆接觸及源極歐姆接觸彼此分離。於此步驟中，其蝕刻步驟係利用感應耦合型電漿(ICP)來進行。接著，步驟 48，係將表面鈍化層形成以覆蓋汲極歐姆接觸、源極歐姆接觸、p 型元素磊晶成長層及包覆部份閘極結構，以完成增強型氮化鎵電晶體之製作。

【0026】 根據以上所述，本發明主要目的在於製作出具有高輸出電流之增強型氮化鎵電晶體，前述凹型閘極結構等現有技術製作之增強模式氮化鎵電晶體，可達到增強式操作之目的。而其最大輸出電流因磊晶結構之故無法有所提升。而本發明所揭露之增強型氮化鎵電晶體係以 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 之異質接面結構取代傳統的 $\text{AlGaIn}/\text{GaIn}$ 異質接面結構，並於最上層成長 P-型 $\text{In}_x\text{Al}_{1-x}\text{N}$ 層使之形成 P-N 接面，故可以製作出高輸出電流之增強型氮化鎵電晶體。而閘極漏電流也可以鈍化層之加入而降低，故可以改善電晶體特性，並且可以適合於高電壓操作下之氮化鎵電晶體應用。

【符號說明】

- 10 基板
- 12 異質結構
- 14 p 型元素磊晶成長層
- 16 汲極歐姆接觸

- 18 源極歐姆接觸
- 20 閘極結構
- 22 表面鈍化層
- 步驟 30 提供基板
- 步驟 32 在基板上形成異質結構(heterostructure)
- 步驟 34 在異質結構上形成 p 型元素磊晶成長層
- 步驟 36 將第一光阻層形成在 p 型元素磊晶成長層上，並且在 p 型元素磊晶成長層之兩側邊分別定義出汲極區(drain region)及源極區(source region)
- 步驟 38 利用蝕刻方式以移除部份的 p 型元素磊晶成長層
- 步驟 40 將第一金屬層沉積在 p 型元素磊晶成長層之兩側之已定義之汲極區及源極區上，以形成汲極歐姆接觸(drain ohmic contact)及源極歐姆接觸(source ohmic contact)
- 步驟 42 將第二光阻層形成在 p 型元素磊晶成長層之上，且於 p 型元素磊晶成長層上定義出閘極區域(gate region)
- 步驟 44 將第二金屬層沉積在 p 型元素磊晶成長層上
- 步驟 46 蝕刻以移除部份第二金屬層以形成閘極結構在 p 型元素磊晶成長層上，且閘極結構與汲極歐姆接觸及源極歐姆接觸彼此分離
- 步驟 48 係將表面鈍化層形成以覆蓋汲極歐姆接觸、源極歐姆接觸、p 型元素磊晶成長層及包覆部份閘極結構

申請專利範圍

1. 一種增強型氮化鎵電晶體，包括：
 - 一基板；
 - 一異質結構，該異質結構在該基板上，其中該異質結構係由 $\text{In}_x\text{Al}_{1-x}\text{N}/\text{AlN}$ 以及 AlGaN/GaN 群組中所選出；
 - 一 p 型元素磊晶成長層，p 型元素磊晶成長層在該異質結構上；
 - 一汲極歐姆接觸及一源極歐姆接觸，該汲極歐姆接觸及該源極歐姆接觸在該異質結構且分別設置在該 p 型元素磊晶成長層之兩側邊；
 - 一閘極結構，該閘極結構在該 p 型元素磊晶成長層上且與該汲極歐姆接觸及該源極歐姆接觸彼此分離；以及
 - 一表面鈍化層，該表面鈍化層包覆該汲極歐姆接觸、該源極歐姆接觸、該 p 型元素磊晶成長層及覆蓋部份該閘極結構。
2. 如申請專利範圍第 1 項之增強型氮化鎵電晶體，其中該基板為藍寶石(sapphire)、碳化矽(SiC)及矽基板。
3. 如申請專利範圍第 1 項之增強型氮化鎵電晶體，更包含一緩衝層在該基板與該異質結構之間。
4. 如申請專利範圍第 1 項之增強型氮化鎵電晶體，其中該 p 型元素磊晶成長層為 p- $\text{In}_x\text{Al}_{1-x}\text{N}$ 。
5. 如申請專利範圍第 1 項之增強型氮化鎵電晶體，其中該 p 型元素磊晶成長層內至少摻雜 IIA 族元素。
6. 一種增強型氮化鎵電晶體之形成方法，包括：
 - 提供一基板；
 - 形成一異質結構於該基板上；
 - 形成一 p 型元素磊晶成長層在該異質結構上，其中該 p 型元素磊晶成長層為 p- $\text{In}_x\text{Al}_{1-x}\text{N}$ ；

形成一第一光阻層於該 p 型元素磊晶成長層上並於該 p 型元素磊晶成長層之兩側邊分別定義出一汲極區及一源極區；

蝕刻以移除部份該 p 型元素磊晶成長層；

沉積一第一金屬層於該 p 型元素磊晶成長層之兩側邊而分別形成一汲極歐姆接觸及一源極歐姆接觸；

形成一第二光阻層於該 p 型元素磊晶成長層之上，並於該 p 型元素磊晶成長層上定義出一閘極區域；

沉積一第二金屬層於該 p 型元素磊晶成長層、該汲極歐姆接觸及該源極歐姆接觸上；

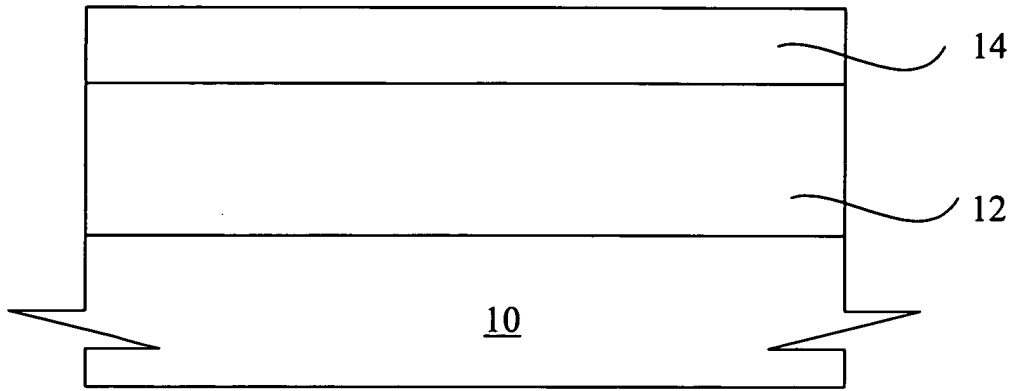
蝕刻以移除部份該第二金屬層以形成一閘極結構在該 p 型元素磊晶成長層上，且該閘極結構與該汲極歐姆接觸及該源極歐姆接觸彼此分離；以及

形成一表面鈍化層以覆蓋該汲極歐姆接觸、該源極歐姆接觸、該 p 型元素磊晶成長層及包覆部份該閘極結構。

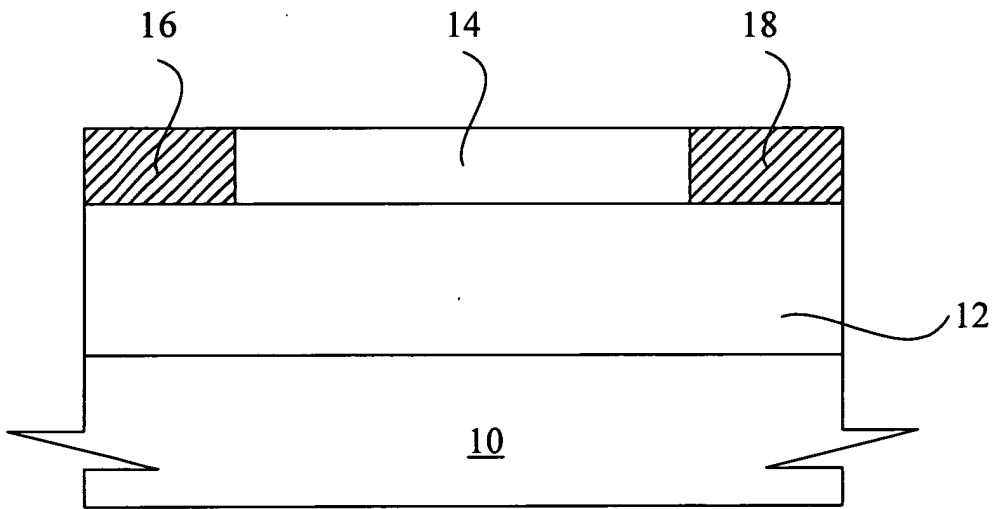
7. 如申請專利範圍第 6 項所述之形成方法，其中蝕刻以移除部份該第二金屬層係使用感應式耦合型電漿(ICP)所完成。

8. 如申請專利範圍第 6 項所述之形成方法，其中該表面鈍化層係使用電漿輔助化學氣相沉積法(PECVD)所完成。

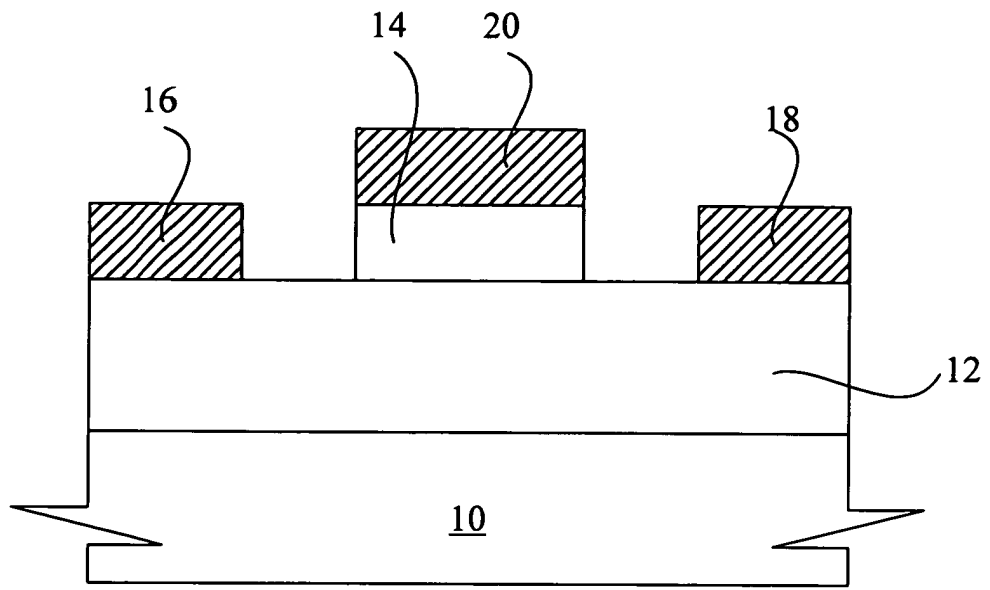
圖式



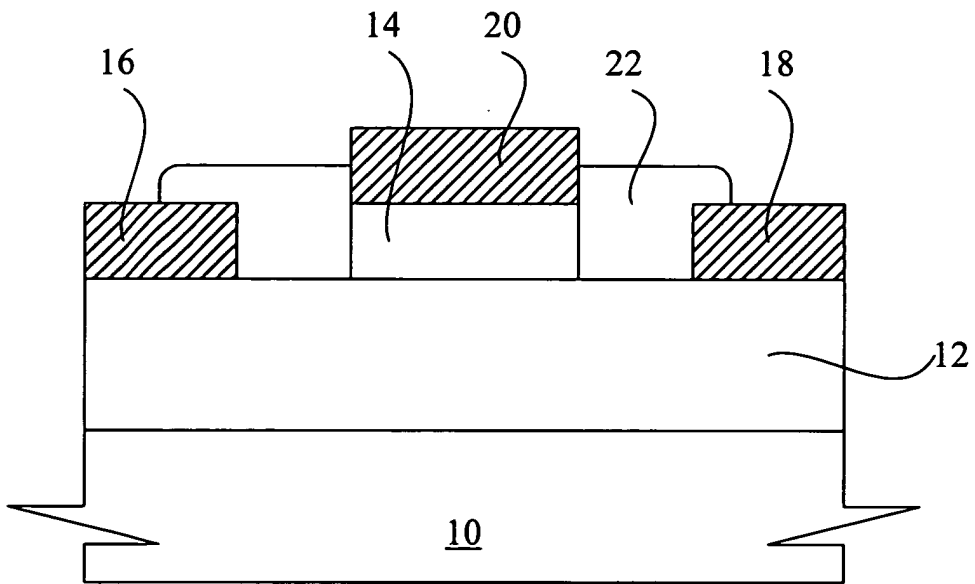
第 1 圖



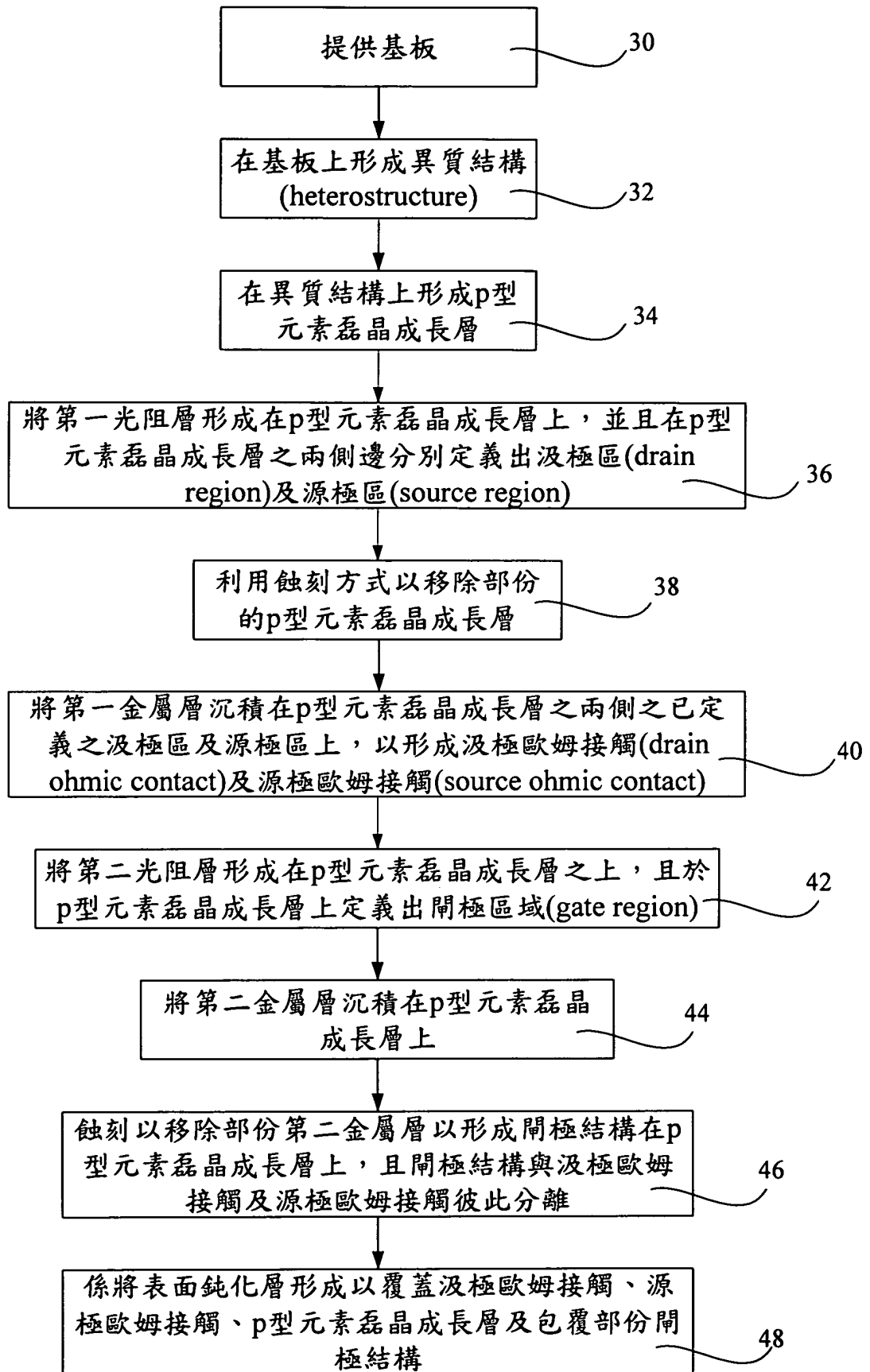
第 2 圖



第 3 圖



第 4 圖



第5圖