



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I497910 B

(45) 公告日：中華民國 104 (2015) 年 08 月 21 日

(21) 申請案號：100111758

(22) 申請日：中華民國 100 (2011) 年 04 月 06 日

(51) Int. Cl. : H03K19/003 (2006.01)

H03K17/16 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO-TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES, INC. (TW)

臺南市新市區紫棟路 26 號

(72) 發明人：柯明道 KER, MING DOU (TW)；顏承正 YEN, CHENG CHEGN (TW)；陳東暘  
CHEN, TUNG YANG (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 6778004B1

US 7466175B2

US 7733165B2

審查人員：謝文元

申請專利範圍項數：16 項 圖式數：5 共 25 頁

(54) 名稱

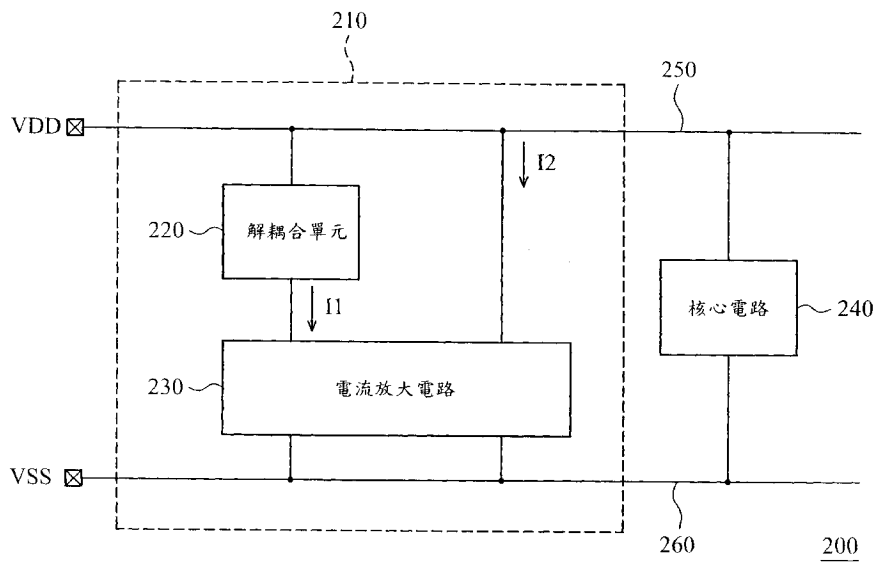
雜訊過濾電路以及積體電路

NOISE FILTER CIRCUIT AND IC

(57) 摘要

一種雜訊過濾電路，適用於一積體電路。一解耦合單元耦接至上述積體電路之一電源接合墊，用以相應於位於上述積體電路之上述電源接合墊之一瞬變電壓，而產生一第一電流。一電流放大電路耦接於上述解耦合單元以及上述積體電路之上述電源接合墊，用以根據上述第一電流，從上述積體電路之上述電源接合墊汲取出一第二電流。

A noise filter circuit for an IC is provided. The noise filter circuit comprises a decoupling unit coupled to a power pad of the IC and a current amplifier circuit coupled to the decoupling unit and the power pad of the IC. The decoupling unit generates a first current in response to a transient voltage being on the power pad of the IC. The current amplifier circuit drains a second current from the power pad of the IC according to the first current.



第 2 圖

- 200 . . . 積體電路
- 210 . . . 雜訊過濾電路
- 220 . . . 解耦合單元
- 230 . . . 電流放大電路
- 240 . . . 核心電路
- 250、260 . . . 電源線
- VDD . . . 電源接合墊
- VSS . . . 接地接合墊
- 以及
- I1、I2 . . . 電流

## 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100111758

H03K 19/03

※申請日：100.4.06

※IPC分類：

H03K 17/16

(2006.0)

## 一、發明名稱：(中文/英文)

雜訊過濾電路以及積體電路

NOISE FILTER CIRCUIT AND IC

## 二、中文發明摘要：

一種雜訊過濾電路，適用於一積體電路。一解耦合單元耦接至上述積體電路之一電源接合墊，用以相應於位於上述積體電路之上述電源接合墊的一瞬變電壓，而產生一第一電流。一電流放大電路耦接於上述解耦合單元以及上述積體電路之上述電源接合墊，用以根據上述第一電流，從上述積體電路之上述電源接合墊汲取出一第二電流。

## 三、英文發明摘要：

A noise filter circuit for an IC is provided. The noise filter circuit comprises a decoupling unit coupled to a power pad of the IC and a current amplifier circuit coupled to the decoupling unit and the power pad of the IC. The decoupling unit generates a first current in response to a transient voltage being on the power pad of the IC. The current amplifier circuit drains a second current from the power pad of the IC according to the first current.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200～積體電路；

210～雜訊過濾電路；

220～解耦合單元；

230～電流放大電路；

240～核心電路；

250、260～電源線；

VDD～電源接合墊；

VSS～接地接合墊；以及

I1、I2～電流。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種晶片內 (on-chip) 雜訊過濾電路，且特別有關於可對位於積體電路之電源線上的瞬變電壓進行解耦合之一種雜訊過濾電路。

### 【先前技術】

對積體電路而言，靜電放電 (electrostatic discharge, ESD) 事件係重要的可靠度問題。為了符合元件級 (component-level) 之可靠度，晶片內靜電放電保護電路被設置在互補金氧半導體 (complementary metal oxide semiconductor, CMOS) 積體電路的輸入輸出單元 (I/O cell) 以及電源/接地單元內。對互補金氧半導體積體電路之產品而言，除了元件級之靜電放電問題之外，系統級 (system-level) 之靜電放電問題也逐漸成為重要的可靠度問題，因此需要嚴謹之可靠度測試標準需求，例如電磁相容性 (electromagnetic compatibility, EMC) 法規之系統級靜電放電測試。一般而言，電子產品必須在接觸放電 (contact-discharge) 測試下能承受+8kV 的靜電放電位準以及在空氣放電 (air-discharge) 測試下能承受+15kV 的靜電放電位準，以便符合 level 4 的耐受要求。然而，高能量的靜電放電會產生雜訊，因此將會導致電子產品內互補金氧半導體積體電路發生損害或故障。再者，即使互補金氧半導體積體電路通過元件級之靜電放電規格，例如具有

$\pm 2\text{kV}$  之人體靜電放電模式 (human body model, HBM)、 $\pm 200\text{V}$  之機器放電模式 (Machine Model, MM) 與  $\pm 1\text{kV}$  之元件放電模式 (Charged Device Model, CDM)，部分的互補金氧半導體積體電路還是會很容易受到系統級之靜電放電力影響。

對全面的元件級之靜電放電驗證而言，可藉由執行使用接腳對接腳 (pin-to-pin) 靜電放電力以及電源對接地 (VDD-to-VSS) 靜電放電力之兩種靜電放電測試來對積體電路之晶片的靜電放電可靠度進行驗證。上述兩種靜電放電測試常常會造成積體電路之晶片內的內部/核心電路有損害發生，例如部分未預料的靜電放電電流會經由輸入輸出 (I/O) 接腳以及電源線流入內部/核心電路中。因此，在整個晶片之靜電放電保護中，耦接於電源線以及接地線之間的雜訊過濾電路係必要的。當輸入 (或輸出) 接腳在正對接地 (positive-to-VSS, PS) 模式或是負對電源 (negative-to-VDD, ND) 模式遭受到靜電放電力時，雜訊過濾電路能進一步在電源線以及接地線之間提供低阻抗路徑，以便能有效地將靜電放電之電流進行放電。

為了符合系統級之靜電放電規格，有些方法被提供以整合複數個離散雜訊解耦合 (decouple) 元件或是板級 (board-level) 雜訊濾波器至互補金氧半導體之積體電路的產品中，以便在系統級靜電放電測試下能對電子瞬變 (transient) 電壓 (能量) 進行解耦合、旁路 (bypass) 或是吸收。可使用雜訊過濾電路來增加系統級之靜電放電耐受力，例如電容濾波器、磁珠 (Ferrite Bead)、瞬變電壓

消除器 (transient voltage suppressor, TVS)、電容-電感濾波器 (LC-Like) 及  $\pi$  形濾波器，如第 1A 圖-第 1D 圖所顯示。在第 1A 圖-第 1D 圖中，雜訊過濾電路 100A-100D 係由電阻 R 以及解耦合電容 C 以不同結構所組成。

藉由選擇適當的雜訊過濾電路，互補金氧半導體之積體電路可在系統級之靜電放電測試下大大地提升系統級之靜電放電耐受力。傳統上，在雜訊過濾電路內具有大面積/尺寸的離散雜訊旁路元件能提供較佳的系統級之靜電放電耐受力。然而，由於製程上的限制、晶粒尺寸的需求以及全部成本的考量，大面積/尺寸的離散元件很難被整合至單一晶片中。

因此，為了符合系統級之靜電放電規格，需要具有強大瞬變干擾旁路能力而不需要大面積之晶片級雜訊過濾電路。

### 【發明內容】

本發明提供一種雜訊過濾電路，適用於一積體電路。上述雜訊過濾電路包括：一解耦合單元，耦接至上述積體電路之一電源接合墊，用以相應於位於上述積體電路之上述電源接合墊的一瞬變電壓，而產生一第一電流；以及一電流放大電路，耦接於上述解耦合單元以及上述積體電路之上述電源接合墊，用以根據上述第一電流，從上述積體電路之上述電源接合墊汲取出一第二電流。

再者，本發明提供一種積體電路，包括：一電源接合

墊；一核心電路；一雜訊過濾電路，耦接於上述電源接合墊以及上述核心電路之間，包括：一解耦合單元，耦接於上述電源接合墊，用以相應於上述電源接合墊的一瞬變電壓，而產生一第一電流；以及一電流放大電路，耦接於上述解耦合單元以及上述電源接合墊，用以根據上述第一電流，從上述電源接合墊汲取出一第二電流。

### 【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

第 2 圖係顯示根據本發明一實施例所述之積體電路 200。積體電路 200 包括電源接合墊 (PAD) VDD、接地接合墊 VSS、雜訊過濾電路 210 以及核心電路 240，其中雜訊過濾電路 210 以及核心電路 240 分別經由電源線 250 和 260 連接於電源接合墊 VDD 以及接地接合墊 VSS。在電路佈局中，電源接合墊 VDD 以及接地接合墊 VSS 係設置在積體電路 200 的周圍，而雜訊過濾電路 210 係設置在電源接合墊 VDD、接地接合墊 VSS 以及核心電路 240 之間。雜訊過濾電路 210 包括解耦合單元 220 以及電流放大電路 230，其中解耦合單元 220 係耦接於電流放大電路 230 以及電源接合墊 VDD 之間。在此實施例中，解耦合單元 220



可用來在系統級之靜電放電測試下或是瞬變干擾測試條件下對位於電源接合墊 VDD 上的電子瞬變電壓進行解耦合、旁路或是吸收。具體而言，解耦合單元 220 可作為解耦合電容。電流放大電路 230 係用來增加電源線 250 與 260 之間放電電流 I1 和 I2 的電流量。當放電電流 I1 和 I2 增加時，解耦合單元 220 之等效電容值係以倍數方式增加。

第 3 圖係顯示根據本發明一實施例所述之雜訊過濾電路 300。在雜訊過濾電路 300 中，解耦合單元 310 包括金氧半導體 (metal oxide semiconductor, MOS) 電容 CM，而電流放大電路 320 包括由兩電晶體 M1 和 M2 以及電阻 RR 所組成之電流鏡。在第 3 圖中，相應於來自金氧半導體電容 CM 之電流 I1，電流放大電路 320 會經由電源線 250 從電源接合墊 VDD 汲取出電流 I2。因此，一旦有瞬變電壓 (能量) 發生在電源接合墊 VDD 以及電源線 250 上，解耦合單元 310 會產生電流 I1 至電流放大電路 320，然後電流 I2 就會被電流放大電路 320 汲取出。於是，電流放大電路 320 便可經由電源線 260 以及接地接合墊 VSS 將電流 I1 和 I2 分流 (shunt) 至接地處。舉例來說，假如電晶體 M2 對電晶體 M1 之元件寬度比為 4 ( $M2/M1=4$ ) 且金氧半導體電容 CM 之電容值為 2-pF，則從電源線 250 流至接地接合墊 VSS 的電流會變為 5 (4+1) 倍，即  $I1+I2=5\times I1$ 。因此，雜訊過濾電路 300 能提供等效於 10-pF 之電容 (將 2-pF 之電容乘上 5 倍) 來對位於電源接合墊 VDD 以及電源線 250 上的電子瞬變電壓 (能量) 進行解耦合、旁路或是吸收。

第 4 圖係顯示透過使用欠阻尼 (underdamp) 之弦波電

壓源來模擬第 3 圖在系統級之靜電放電瞬變下的示意圖，其中波形 VDDA 和 VDDB 係分別表示由電阻 R1 之左側端以及右側端所得到的波形。如第 4 圖所顯示，當將模擬靜電放電所引起之干擾施加在電源接合墊 VDD 上並且將接地接合墊 VSS 接地時，波形 VDDB 上的瞬變電壓會很快地降低。

第 5A 圖係顯示根據本發明另一實施例所述之雜訊過濾電路 500A。同樣地，雜訊過濾電路 500A 包括解耦合單元 510A 以及電流放大電路 520。除了電容  $C_{Decouple}$  之外，解耦合單元 510A 更包括一順向偏壓二極體串，其中順向偏壓二極體串係由複數二極體 D1-DN 所構成，其中二極體 D1-DN 係以由電容  $C_{Decouple}$  至電流放大電路 520 之順向導通方向而電性連接。在此實施例中，二極體 D1-DN 係用來對位於電源接合墊 VDD 上或是電源線 250 和 260 之間的靜電放電過載電壓進行限制。在另一實施例中，由二極體 D1-DN 所構成之順向偏壓二極體串可連接於電源接合墊 VDD 以及電容  $C_{Decouple}$  之間。藉由連接順向偏壓二極體串至電容  $C_{Decouple}$ ，解耦合單元 510A 可更根據二極體接面 (junction) 電容  $C_{D1}-C_{DN}$  來提供等效解耦合電容值，以旁路瞬變干擾能量。換言之，對解耦合單元 510A 而言，電容  $C_{Decouple}$  以及二極體接面電容  $C_{D1}-C_{DN}$  會形成解耦合電容。於是，電流放大電路 520 便可在電源線 250 和 260 之間提供放電電流 I1 和 I2，並在施加靜電放電之條件下增加解耦合電容之等效值。

第 5B 圖係顯示根據本發明另一實施例所述之雜訊過

濾電路 500B。相較於第 5A 圖之解耦合單元 510A，解耦合單元 510B 包括一反向偏壓二極體串，其中反向偏壓二極體串係由二極體 D1-DN 所構成，其中二極體 D1-DN 係以由電容  $C_{Decouple}$  至電流放大電路 520 之反向導通方向而電性連接。此外，反向偏壓二極體串可連接於電源接合墊 VDD 以及電容  $C_{Decouple}$  之間。同樣地，根據二極體接面電容  $C_{D1}-C_{DN}$ ，解耦合單元 510B 可提供等效解耦合電容值來旁路瞬變干擾能量。再者，藉由適當地增加電流放大電路 520 之電流放大比例，可將電容  $C_{Decouple}$  從解耦合單元 510A 和 510B 中移除，如第 5C 圖及第 5D 圖所顯示，因此可減少雜訊過濾電路 500C 和 500D 之尺寸。

如先前所描述，本發明實施例所描述之雜訊過濾電路可在電源接合墊 VDD 以及接地接合墊 VSS 之間提供低阻抗之路徑，以便在遭受到靜電放電力之情況下能有效地將靜電放電之電流進行放電。因此，在系統級之靜電放電力下能成功地解耦合或是旁路快速之電子瞬變，並且在不加大面積之情況下能提高互補金氧半導體積體電路之產品對電子瞬變干擾的耐受力。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1A 圖-第 1D 圖係分別顯示傳統雜訊過濾電路；

第 2 圖係顯示根據本發明一實施例所述之積體電路；

第 3 圖係顯示根據本發明一實施例所述之雜訊過濾電路；

第 4 圖係顯示透過使用欠阻尼之弦波電壓源來模擬第 3 圖在系統級之靜電放電瞬變下的示意圖；以及

第 5A 圖-第 5D 圖係分別係顯示根據本發明其他實施例所述之雜訊過濾電路。

**【主要元件符號說明】**

200～積體電路；

100A-100D、210、500A-500D～雜訊過濾電路；

220、310、510A-510D～解耦合單元；

230、320、520～電流放大電路；

240～核心電路；

250、260～電源線；

C、C<sub>Decouple</sub>～電容；

C<sub>D1</sub>-C<sub>DN</sub>～接面電容；

CM～金氧半導體電容；

D1-DN～二極體；

M1、M2～電晶體；

R、RR、R1、R2～電阻；

VDD～電源接合墊；

VSS ~ 接地接合墊；以及  
I1、I2 ~ 電流。

## 七、申請專利範圍：

1. 一種雜訊過濾電路，適用於一積體電路，包括：

一解耦合單元，耦接至上述積體電路之一電源接合墊，用以相應於位於上述積體電路之上述電源接合墊的來自一靜電放電事件之一瞬變電壓，而產生一第一電流；以及

一電流放大電路，耦接於上述解耦合單元以及上述積體電路之上述電源接合墊，用以根據上述第一電流，從上述積體電路之上述電源接合墊汲取出一第二電流，

其中上述解耦合單元包括至少一二極體，其中上述二極體之一接面電容形成一解耦合電容，用以解耦合位於上述積體電路之上述電源接合墊的上述瞬變電壓。

2. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中於上述靜電放電事件中，相應於位於上述積體電路之上述電源接合墊的上述瞬變電壓，上述電流放大電路放大上述第一電流以得到上述第二電流，並將上述第一電流以及上述第二電流分流至一接地端。

3. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中上述電流放大電路包括一電流鏡，以及上述第二電流為上述第一電流的倍數。

4. 如申請專利範圍第 1 項所述之雜訊過濾電路，其中上述解耦合單元更包括一電容，耦接於上述積體電路之上述電源接合墊以及上述電流放大電路之間。

5. 如申請專利範圍第 4 項所述之雜訊過濾電路，其中上

述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。

6.如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。

7.如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接。

8.如申請專利範圍第 4 項所述之雜訊過濾電路，其中上述二極體係以從上述積體電路之上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接。

9.一種積體電路，包括：

一電源接合墊；

一核心電路；

一雜訊過濾電路，耦接於上述電源接合墊以及上述核心電路之間，包括：

一解耦合單元，耦接於上述電源接合墊，用以相應於上述電源接合墊的來自一靜電放電事件之一瞬變電壓，而產生一第一電流；以及

一電流放大電路，耦接於上述解耦合單元以及上述電源接合墊，用以根據上述第一電流，從上述電源接合墊汲取出一第二電流，

其中上述解耦合單元包括至少一二極體，其中上述二極體之一接面電容形成一解耦合電容，用以解耦合位於上述積體電路之上述電源接合墊的上述瞬變電壓。

10.如申請專利範圍第 9 項所述之積體電路，其中於上述靜電放電事件中，相應於位於上述電源接合墊的上述瞬變電壓，上述電流放大電路放大上述第一電流以得到上述第二電流，並將上述第一電流以及上述第二電流分流至一接地端。

11.如申請專利範圍第 9 項所述之積體電路，其中上述電流放大電路包括一電流鏡，以及上述第二電流為上述第一電流的倍數。

12.如申請專利範圍第 9 項所述之積體電路，其中上述解耦合單元更包括一電容，耦接於上述電源接合墊以及上述電流放大電路之間。

13.如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。

14.如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接，其中上述電容以及上述二極體之上述接面電容形成上述解耦合電容。

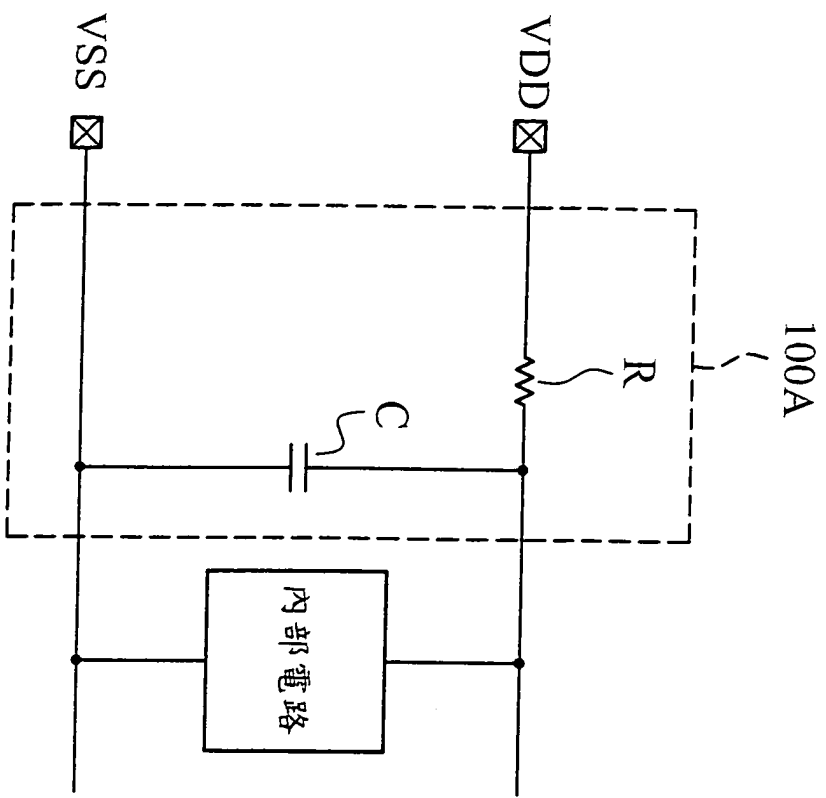


15.如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之順向導通方向連接。

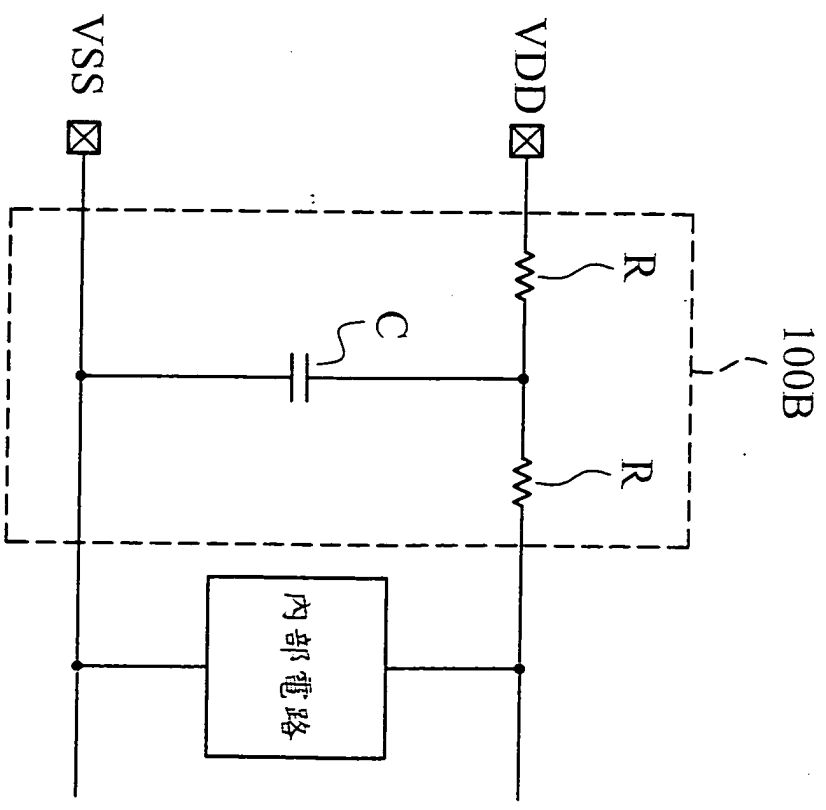
16.如申請專利範圍第 12 項所述之積體電路，其中上述二極體係以從上述電源接合墊至上述電容或是從上述電容至上述電流放大電路之反向導通方向連接。

八、圖式：(如後所示)

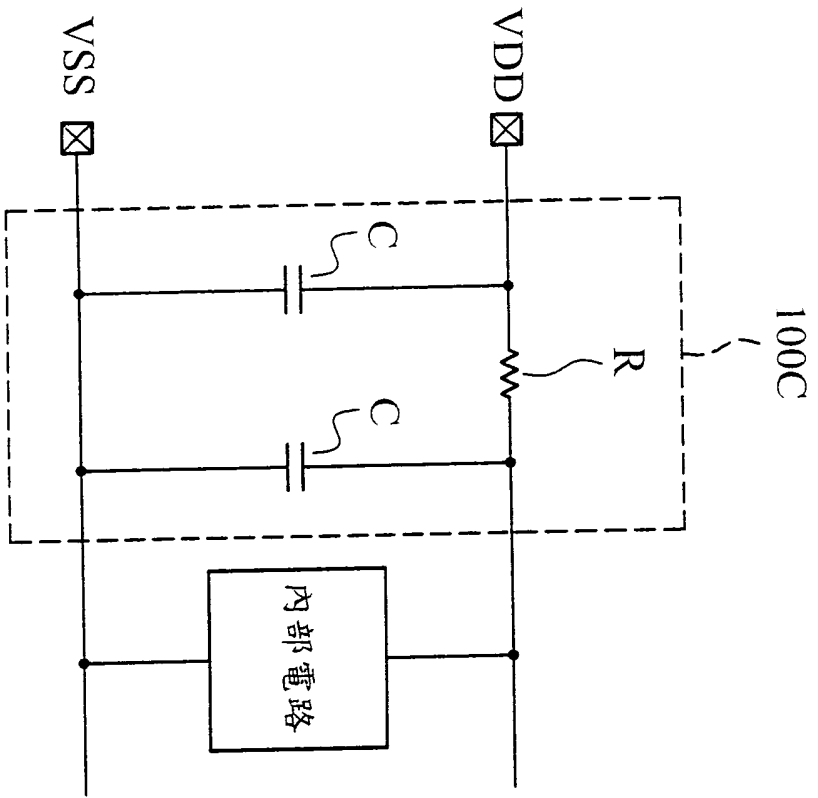
-----  
-----  
-----  
-----



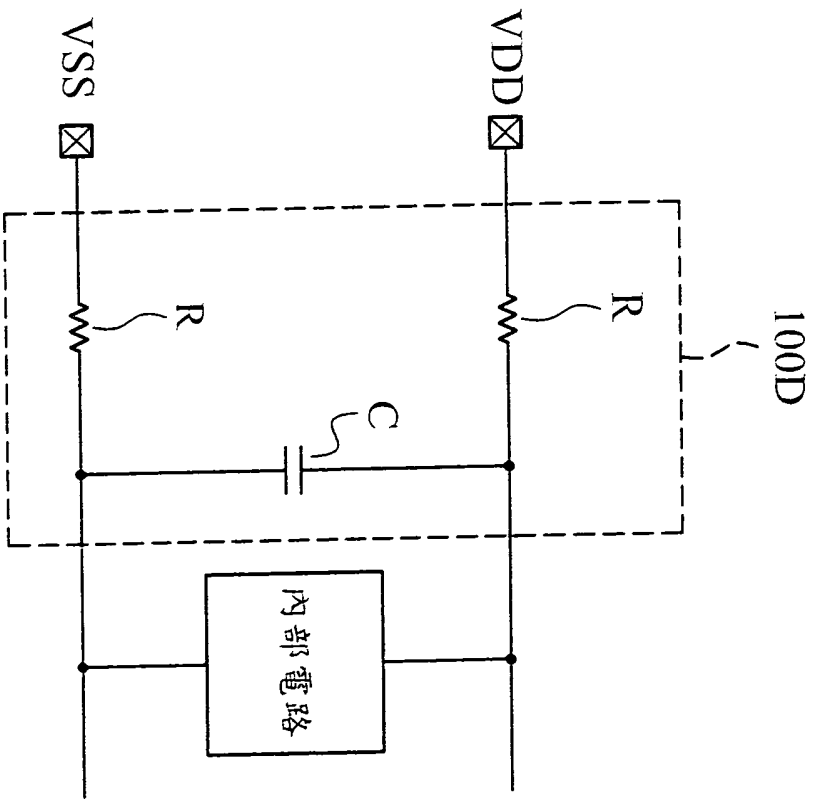
第 1A 圖



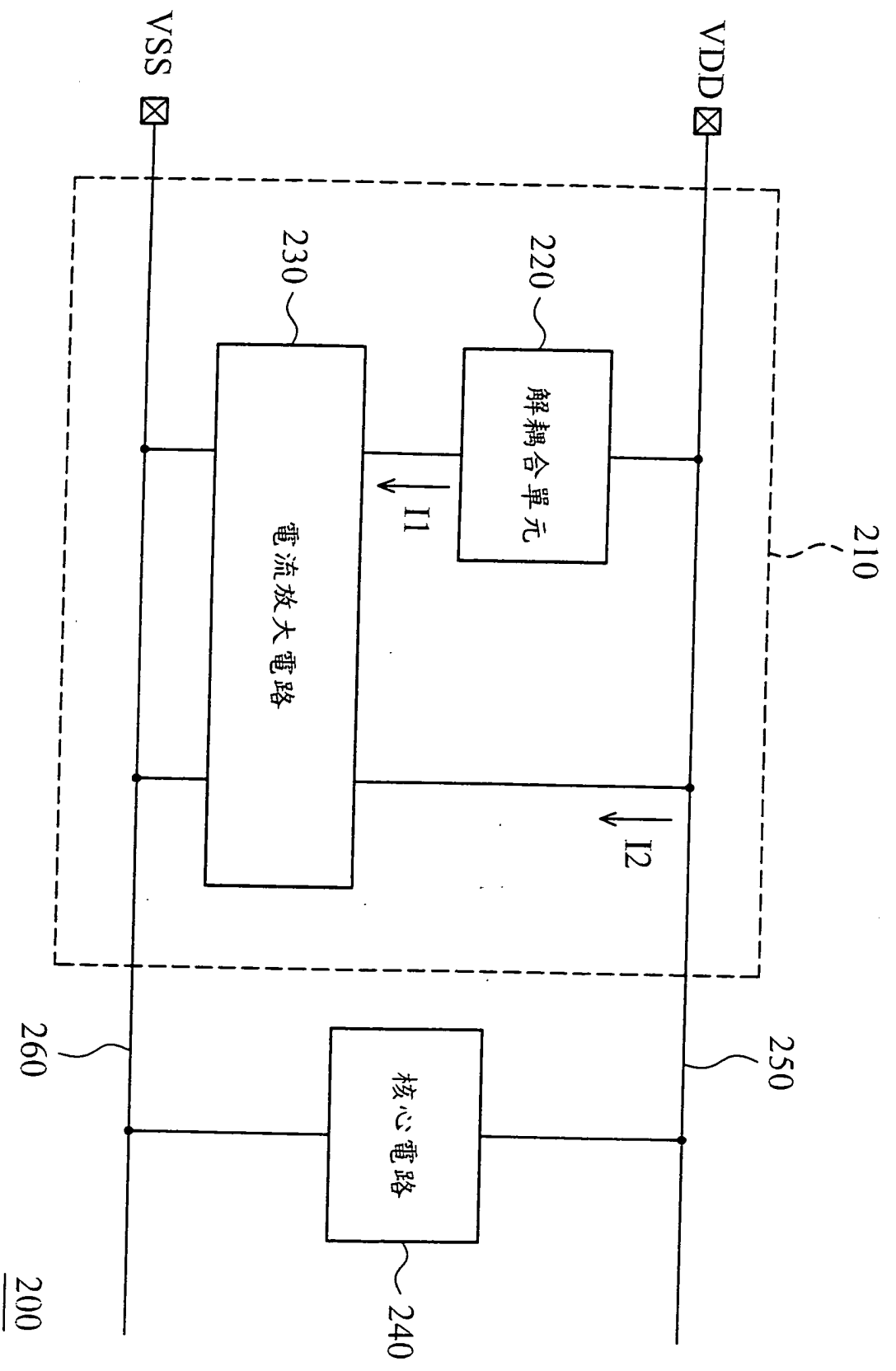
第 1B 圖



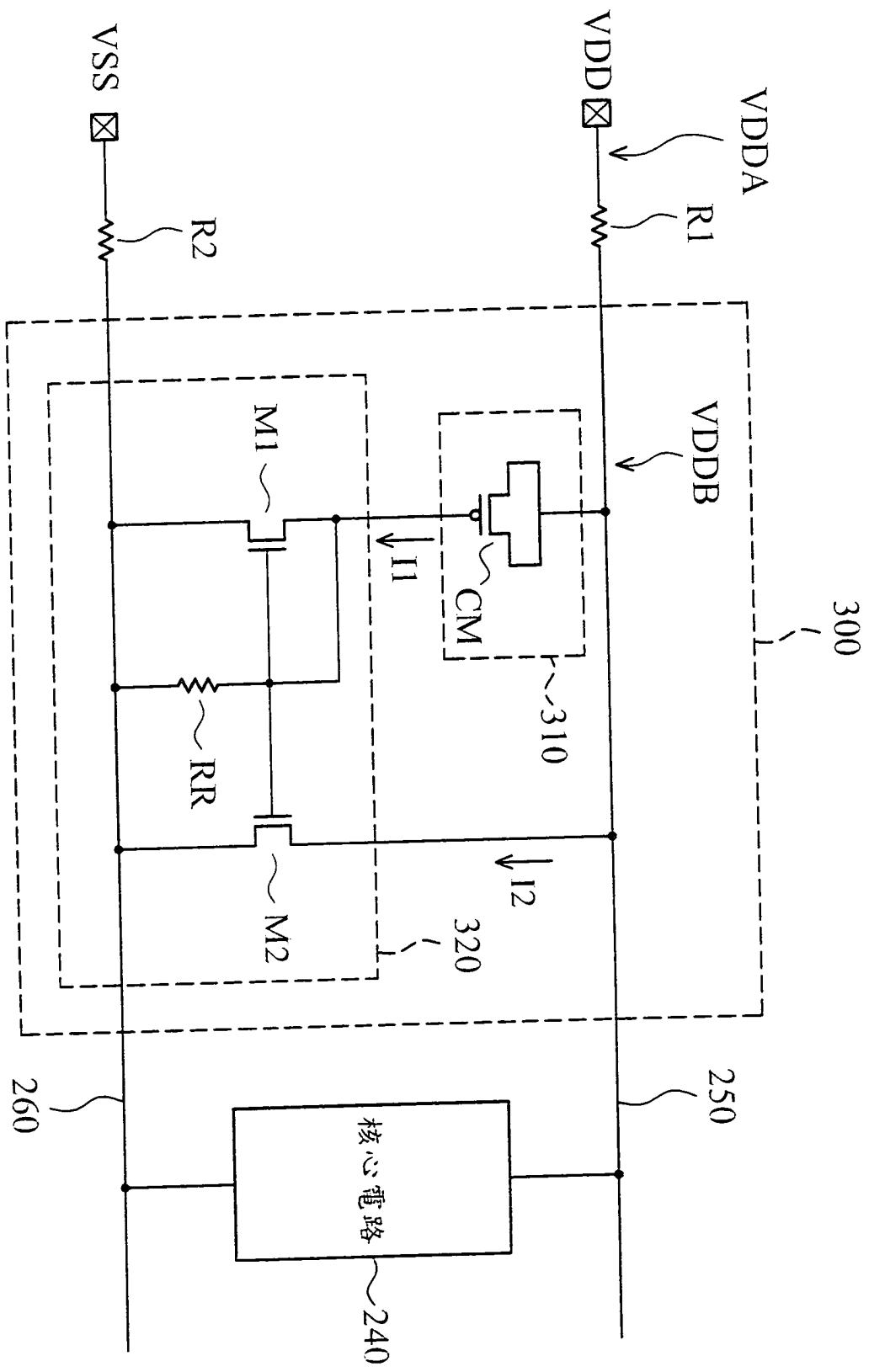
第 1C 圖



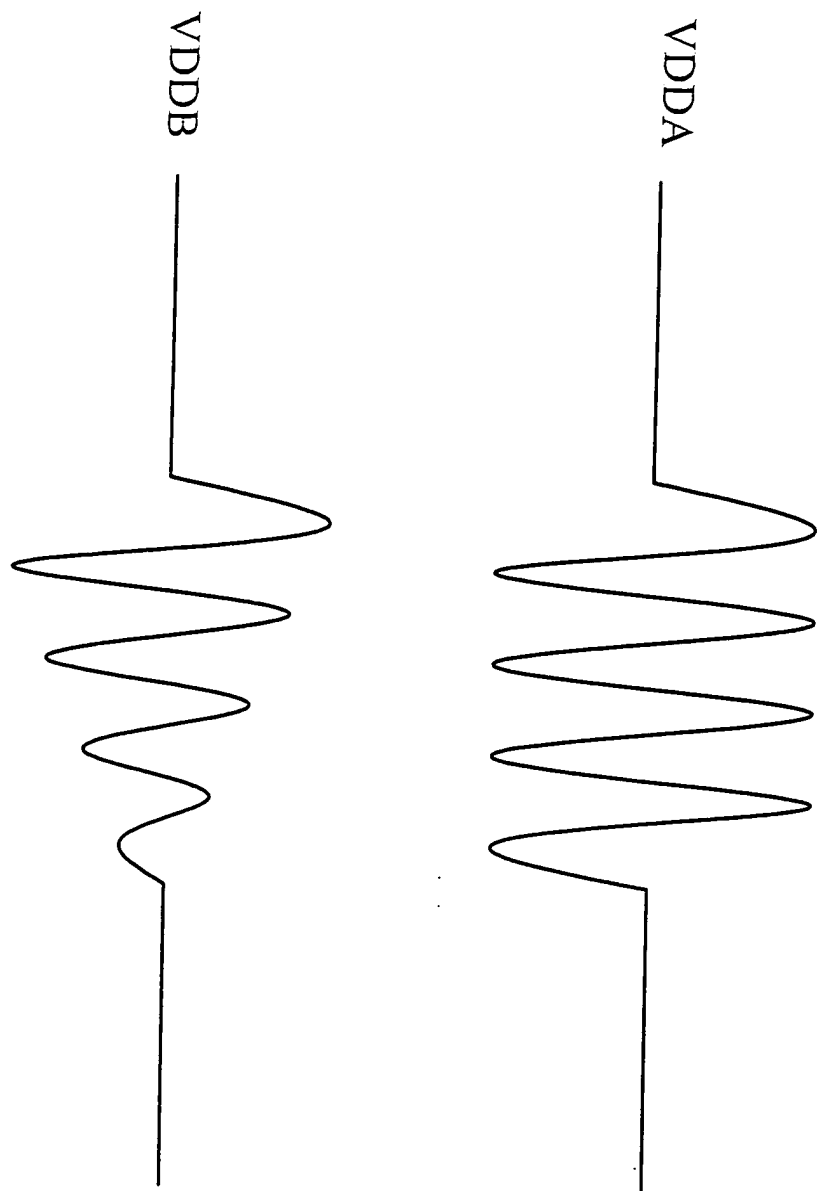
第 1D 圖



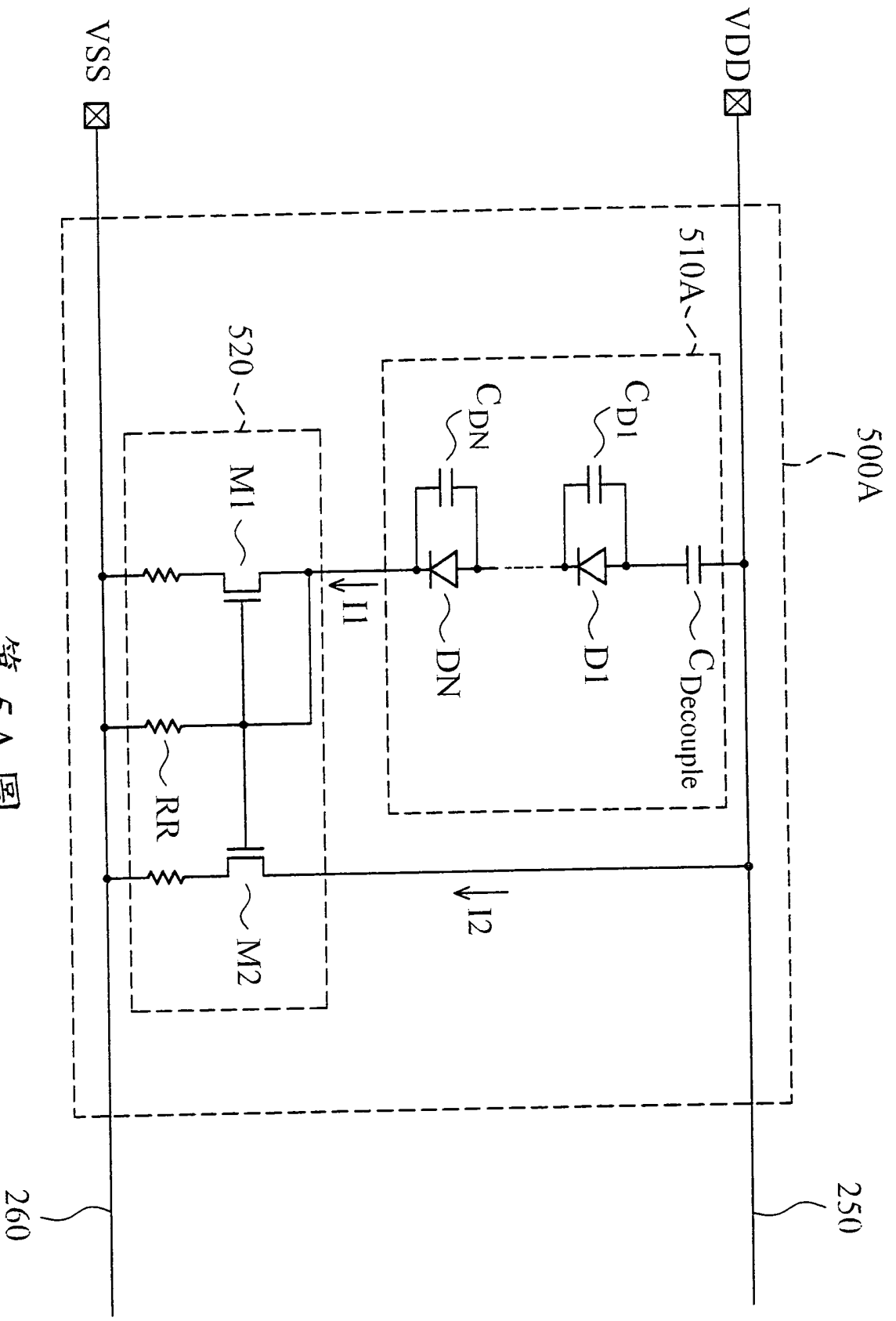
第 2 圖



第 3 圖

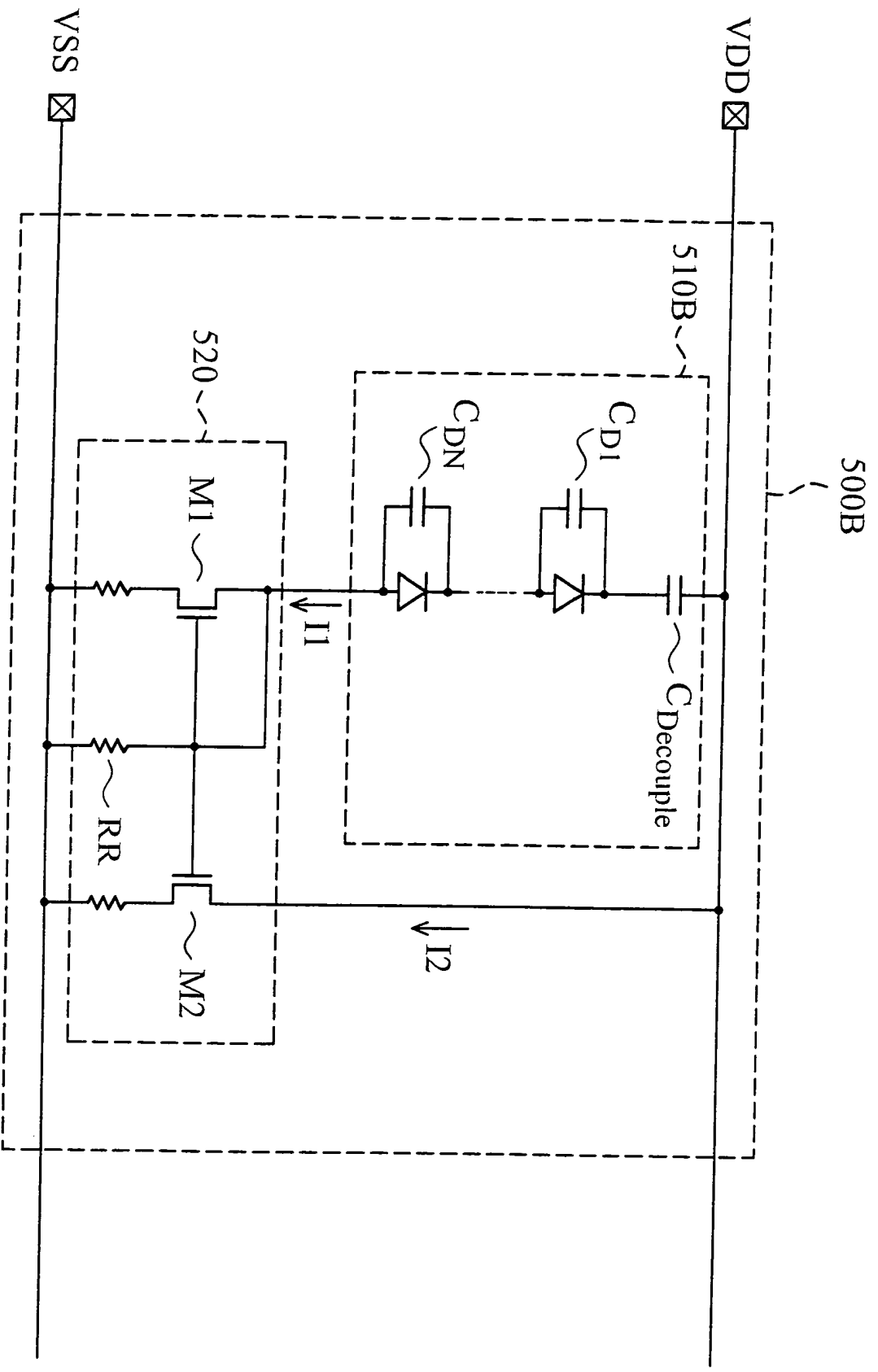


第 4 圖

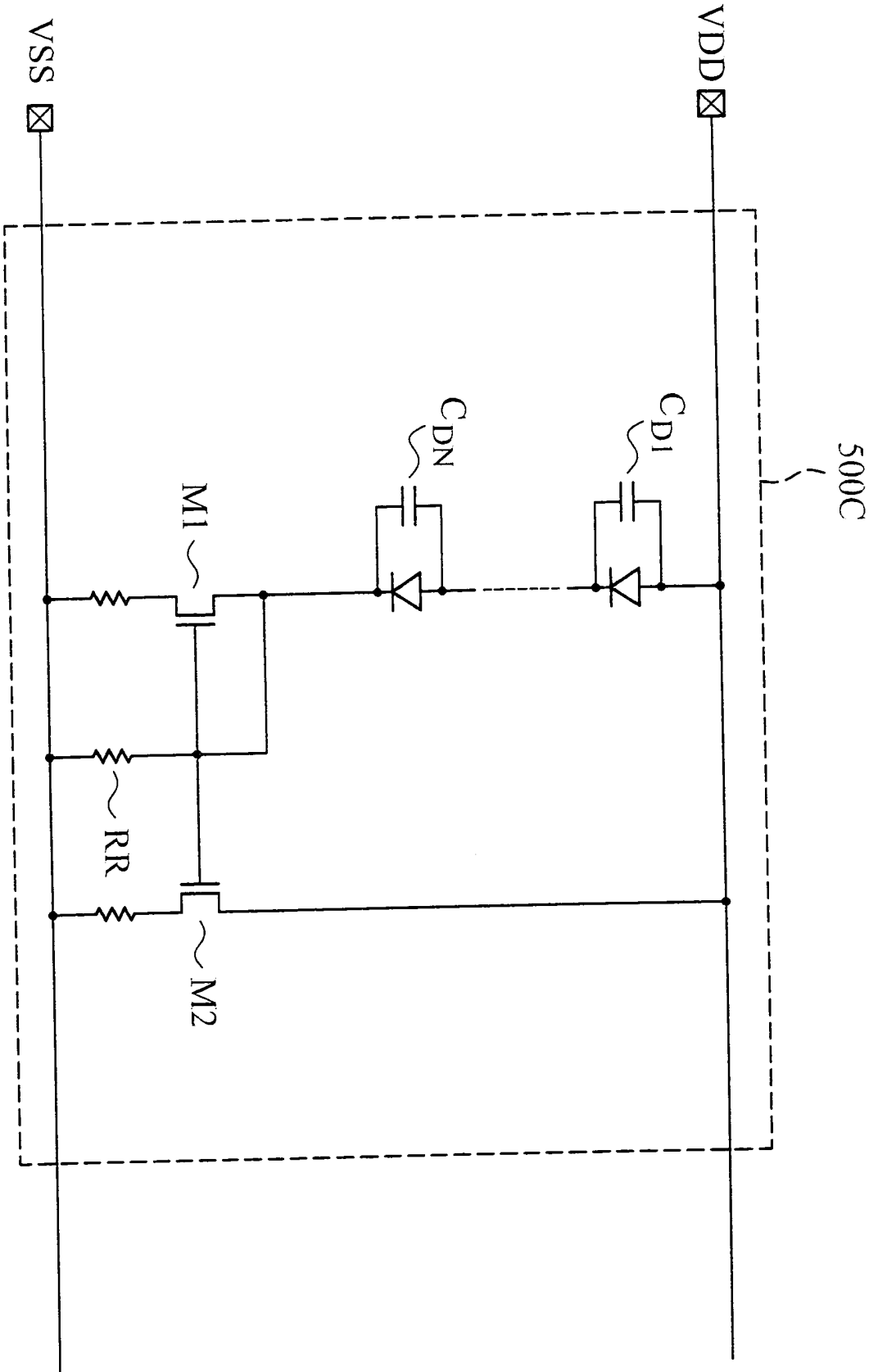


第 5A 圖

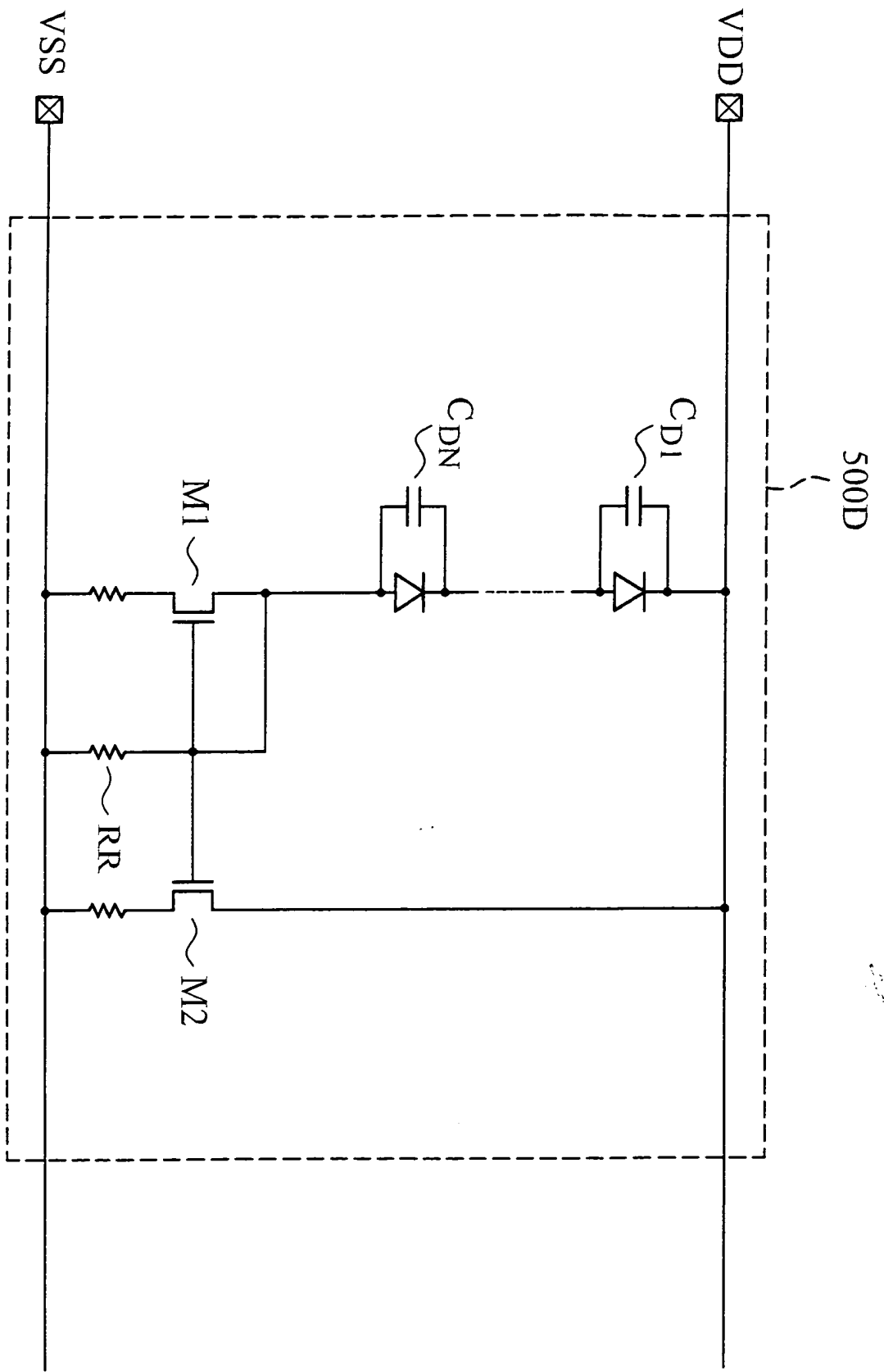




第 5B 圖



第 5C 圖



第 5D 圖