



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I500116 B

(45) 公告日：中華民國 104 (2015) 年 09 月 11 日

(21) 申請案號：101132514

(22) 申請日：中華民國 101 (2012) 年 09 月 06 日

(51) Int. Cl. : **H01L21/8247(2006.01)****H01L27/115 (2006.01)**

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, POTSUN (TW) ; 范揚順 FAN, YANGSHUN (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

US 7759771B2

US 2007/0187829A1

US 2009/0039332A1

US 2010/0065803A1

US 2012/0025163A1

審查人員：彭大慶

申請專利範圍項數：18 項 圖式數：9 共 28 頁

(54) 名稱

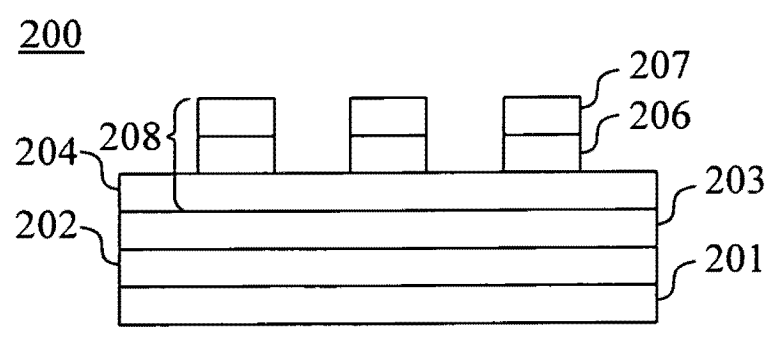
可撓曲非揮發性記憶體及其製造方法

FLEXIBLE NON-VOLATILE MEMORY AND MANUFACTURING METHOD OF THE SAME

(57) 摘要

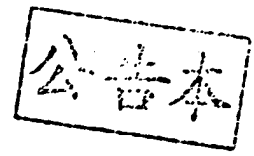
一種可撓曲非揮發性記憶體之製造方法，包含：提供可撓曲基板；形成平坦層於可撓曲基板上；沉積金屬底電極層於平坦層上；形成光罩，以定義複數圖樣；對應圖樣沉積包含電性獨立之複數氧化鋁鋅錫電阻切換單元之氧化鋁鋅錫電阻切換層於該金屬底電極層上；以及對應氧化鋁鋅錫電阻切換單元沉積頂電極層於氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元。

A manufacturing method for manufacturing a flexible non-volatile memory is provided. The manufacturing method comprises the steps outlined below. A flexible substrate is provided. A planarization layer is formed on the flexible substrate. A metal bottom electrode layer is deposited on the planarization layer. A mask is formed to define a plurality of patterns. An AZTO layer having a plurality of electrically independent AZTO cells is deposited on the metal bottom electrode layer corresponding to the patterns. A top electrode layer is deposited on the AZTO layer corresponding to the AZTO cells to form a plurality of non-volatile memory cells.



第2G圖

- 200 . . . 可撓曲非揮發性記憶體
- 201 . . . 可撓曲基板
- 202 . . . 平坦層
- 203 . . . 附著層
- 204 . . . 金屬底電極層
- 206 . . . 氧化鋁鋅錫電阻切換單元
- 207 . . . 沉積頂電極層
- 208 . . . 非揮發性記憶體單元



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101132514

※申請日：101.9.-6

※IPC 分類：

(H01L 21/824) 2006.01

一、發明名稱：(中文/英文)

(H01L 27/115) 2006.01

可撓曲非揮發性記憶體及其製造方法

FLEXIBLE NON-VOLATILE MEMORY AND
MANUFACTURING METHOD OF THE SAME

二、中文發明摘要：

一種可撓曲非揮發性記憶體之製造方法，包含：提供可撓曲基板；形成平坦層於可撓曲基板上；沉積金屬底電極層於平坦層上；形成光罩，以定義複數圖樣；對應圖樣沉積包含電性獨立之複數氧化鋁鋅錫電阻切換單元之氧化鋁鋅錫電阻切換層於該金屬底電極層上；以及對應氧化鋁鋅錫電阻切換單元沉積頂電極層於氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元。

三、英文發明摘要：

A manufacturing method for manufacturing a flexible non-volatile memory is provided. The manufacturing method comprises the steps outlined below. A flexible substrate is provided. A planarization layer is formed on the flexible substrate. A metal bottom electrode layer is deposited on the planarization layer. A mask is formed to define a plurality of patterns. An AZTO layer having a plurality of electrically

independent AZTO cells is deposited on the metal bottom electrode layer corresponding to the patterns. A top electrode layer is deposited on the AZTO layer corresponding to the AZTO cells to form a plurality of non-volatile memory cells.

四、指定代表圖：

(一)本案指定代表圖為：第 (2G) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|----------------|----------------|
| 200：可撓曲非揮發性記憶體 | 201：可撓曲基板 |
| 202：平坦層 | 203：附著層 |
| 204：金屬底電極層 | 206：氧化鋁鋅錫電阻切換單 |
| 207：沉積頂電極層 | 元 |
| 208：非揮發性記憶體單元 | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無

六、發明說明：

【發明所屬之技術領域】

本揭示內容是有關於一種記憶體結構及其製造方法，且特別是有關於一種可撓曲非揮發性記憶體及其製造方法。

【先前技術】

記憶體主要可分為揮發性記憶體 (Volatile memory) 和揮發性記憶體 (Non-Volatile memory)，而揮發性記憶體可分為 DRAM 和 SRAM 兩種，因有著快速存取速度的優點，所以被廣泛的運用。現今使用最廣泛的非揮發性記憶體為快閃記憶體 (Flash Memory)，但目前面臨著高操作電壓、操作速度慢及低耐久度等缺點，且元件不斷微縮的趨勢下，使得閘極氧化層變薄進而導致漏電流變大，而使可靠度降低等問題。非揮發性電阻式記憶體其結構簡單、低操作電壓、操作時間快速、可多位元記憶、耐久性佳、記憶元件面積縮小、非破壞性讀取和低成本等優點，而被廣泛地研究中。

近年來，電阻式記憶體的發展被視為下世代高密度低功耗非揮發性記憶體的關鍵新技術。電阻式記憶體最常用的基本結構為金屬/絕緣層/金屬 (MIM) 結構，並藉由外加偏壓來改變電阻值，以執行寫入與抹除的動作，使元件形成高、低電阻的狀態，也就是數位訊號中的「0」與「1」。由金屬氧化物所成之電阻切換層更是最為廣泛的應用與研究。然而在軟性電子元件的發展下，如何使電阻切換層能

在連續電阻態的切換以及連續撓曲下有足夠的耐久度，其材料的選擇及相對應的設計將成為關鍵。

因此，如何設計一個可撓曲非揮發性記憶體及其製造方法，達到上述的需求，乃為此一業界亟待解決的問題。

【發明內容】

因此，本揭示內容之一態樣是在提供一種可撓曲非揮發性記憶體之製造方法，包含：提供可撓曲基板；形成平坦層於可撓曲基板上；沉積金屬底電極層於平坦層上；形成光罩，以定義複數圖樣；對應圖樣沉積包含電性獨立之複數氧化鋁鋅錫（Aluminum Zinc Tin Oxide；AZTO）電阻切換單元之氧化鋁鋅錫電阻切換層於金屬底電極層上；以及移除光罩並對應氧化鋁鋅錫電阻切換單元沉積頂電極層於氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元。

依據本揭示內容一實施例，其中可撓曲基板之材質為不鏽鋼或塑膠。其中平坦層之材質為二氧化矽（ SiO_2 ）。

依據本揭示內容另一實施例，製造方法更包含形成附著層於平坦層上，金屬底電極層實際上形成於附著層上。其中附著層之材質為二氧化鈦。

依據本揭示內容又一實施例，其中金屬底電極層之材質為金或鉑金，頂電極層之材質為鈦、氮化鈦或氧化銻錫。

依據本揭示內容再一實施例，其中製造方法於攝氏 100 度以下之溫度進行。

本揭示內容之另一態樣是在提供一種可撓曲非揮發性

記憶體之製造方法，包含：提供可撓曲基板；沉積平坦層於可撓曲基板上；以電子束蒸鍍製程沉積金屬底電極層於平坦層上；沉積氧化鋁鋅錫電阻切換層於金屬底電極層上；形成光罩，以定義複數圖樣；以及對應圖樣沉積包含電性獨立之複數頂電極單元之頂電極層於氧化鋁鋅錫電阻切換層上並移除光罩，俾形成複數非揮發性記憶體單元。

依據本揭示內容一實施例，其中該製造方法於攝氏 100 度以下之溫度進行。

● 依據本揭示內容另一實施例，製造方法更包含形成附著層於平坦層上，金屬底電極層實際上形成於附著層上。

本揭示內容之又一態樣是在提供一種可撓曲非揮發性記憶體一種可撓曲非揮發性記憶體，包含：可撓曲基板、平坦層、金屬底電極層、氧化鋁鋅錫電阻切換層以及頂電極層。平坦層形成於可撓曲基板上。金屬底電極層形成於平坦層上。氧化鋁鋅錫電阻切換層形成於金屬底電極層上，且包含電性獨立之複數氧化鋁鋅錫電阻切換單元。頂電極層對應形成於氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元。

● 依據本揭示內容一實施例，其中可撓曲基板之材質為不鏽鋼或塑膠。其中平坦層之材質為二氧化矽 (SiO_2)。

依據本揭示內容另一實施例，可撓曲非揮發性記憶體更包含附著層，形成於平坦層上，金屬底電極層實際上形成於附著層上。其中附著層之材質為二氧化鈦。

依據本揭示內容又一實施例，其中金屬底電極層之材質為金或鉑金，頂電極層之材質為鈦、氮化鈦或氧化鈦錫。

本揭示內容之再一態樣是在提供一種可撓曲非揮發性記憶體一種可撓曲非揮發性記憶體，包含：可撓曲基板、平坦層、金屬底電極層、氧化鋁鋅錫電阻切換層以及頂電極層。平坦層形成於可撓曲基板上。金屬底電極層形成於平坦層上。氧化鋁鋅錫電阻切換層形成於金屬底電極層上。頂電極層形成於氧化鋁鋅錫電阻切換層上，並包含電性獨立之複數頂電極單元，俾形成複數非揮發性記憶體單元。

依據本揭示內容一實施例，可撓曲非揮發性記憶體更包含附著層，形成於平坦層上，金屬底電極層實際上形成於附著層上。

應用本揭示內容之優點係在於藉由氧化鋁鋅錫電阻切換層之設計，可藉由其透明非晶態特性，在低溫下應用於軟性基板形成記憶體元件，並可與如顯示面板之開關元件製程整合，適用於低功耗軟性電子領域，而輕易地達到上述之目的。

【實施方式】

請同時參照第 1 圖及第 2A 圖至第 2G 圖。其中，第 1 圖為本揭示內容一實施例中，一種可撓曲非揮發性記憶體之製造方法 100 的流程圖。第 2A 圖至第 2G 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體之製造方法 100 中對應各步驟之結構側剖視圖。

請先參照第 1 圖及第 2A 圖。於步驟 101，提供可撓曲基板 201。於一實施例中，可撓曲基板 201 之材質為不鏽

鋼或其他金屬箔片或塑膠。可撓曲基板 201 為在受力情形不同時，可由不同的曲率半徑彎折撓曲並亦可伸直回復，適用於軟性電子電路的製造。

請參照第 1 圖及第 2B 圖。於步驟 102，形成平坦層 202 於可撓曲基板 201 上。平坦層 202 之材質於一實施例中為二氧化矽 (SiO_2)，以確保可撓曲基板 201 平面的平坦。

請參照第 1 圖及第 2C 圖。於步驟 103，形成附著層 203 於平坦層 202 上。於一實施例中，附著層 203 之材質為金屬氧化物，如二氧化鈦 (TiO_2)。於部份實施例中，附著層 203 亦可能直接以金屬如鈦形成。附著層 203 可增加後續步驟形成的金屬層的附著性。於一實施例中，亦可不形成附著層 203 而使後續的金屬層直接形成於平坦層 202 上，然而其附著性將因無附著層 203 的存在而降低。

請參照第 1 圖及第 2D 圖。於步驟 104，沉積金屬底電極層 204 於附著層 203 上。於一實施例中，金屬底電極層 204 之材質為鉑金 (Pt) 或金 (Au)。金屬底電極層 204 可藉由物理氣相沉積法如電子束蒸鍍或其他可能的製程形成於附著層 203 上。

請參照第 1 圖及第 2E 圖。於步驟 105，形成光罩 205 以定義出數個圖樣 205'。

請參照第 1 圖及第 2F 圖。於步驟 106，對應圖樣 205' 沉積包含電性獨立之複數氧化鋁鋅錫 (Aluminum Zinc Tin Oxide; AZTO) 電阻切換單元 206 之氧化鋁鋅錫電阻切換層於金屬底電極層 204 上。氧化鋁鋅錫為非晶態且透明的氧化物半導體元件，具有優越的低溫 (攝氏 100 度以下)

下沉積條件，以及非晶態大面積均勻之特性。氧化鋁鋅錫電阻切換層可藉由物理氣相沉積法如電漿濺鍍或其他可能的製程形成於金屬底電極層 204 上。

請參照第 1 圖及第 2G 圖。於步驟 107，移除光罩 205 並對應氧化鋁鋅錫電阻切換單元 206 沉積頂電極層 207 於氧化鋁鋅錫電阻切換層上，以形成複數非揮發性記憶體單元 208，並完成可撓曲非揮發性記憶體 200 的製作，成為如第 2H 圖所示的結構，其中第 2H 圖為可撓曲非揮發性記憶體 200 之立體圖。於一實施例中，頂電極層 207 之材質為鈦、氮化鈦或氧化銻錫。頂電極層 207 可藉由物理氣相沉積法如電漿濺鍍或其他可能的製程形成於氧化鋁鋅錫電阻切換層上。

請參照第 3 圖。第 3 圖為本揭示內容一實施例中，對金屬底電極層 204 以及頂電極層 207 施加正負兩伏特內的偏壓後的電壓及電流關係圖。需注意的是，以菱形點連接繪製的線段為進行第 1 次設定 (set) 及重置 (reset) 的曲線。以圓形點連接繪製的線段為進行第 100 次設定及重置的曲線。而以方形點連接繪製的線段為進行第 200 次設定及重置的曲線。

由第 3 圖可知，在對金屬底電極層 204 以及頂電極層 207 施加正偏壓後，流過氧化鋁鋅錫電阻切換單元 206 之電流於設定電壓 (V_{set}) 時將急遽上升，成為低電阻態。而在施加負偏壓後，流過氧化鋁鋅錫電阻切換單元 206 之電流於重置電壓 (V_{reset}) 時將急遽下降，成為高電阻態。因此，氧化鋁鋅錫電阻切換單元 206 具有記憶體 1 及 0 的

狀態。由於為電阻值的變化，因此稱為電阻式記憶體。

因此，經由上述步驟，可形成可撓曲非揮發性記憶體。其中，由於氧化鋁鋅錫相對常用以形成記憶體元件而在生產供應鏈具競爭的銦 (In) 及鎵 (Ga) 來說，可做為有效的替代材料，亦具有良好的記憶體特性，並且其製程全程可以低溫 (攝氏 100 度以下) 進行。

請參照第 4 圖及第 5A 圖至第 5G 圖。其中，第 4 圖為本揭示內容一實施例中，一種可撓曲非揮發性記憶體之製造方法 400 的流程圖。第 5A 圖至第 5G 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體之製造方法 400 中對應各步驟之結構側剖視圖。

請先參照第 4 圖及第 5A 圖。於步驟 401，提供可撓曲基板 501。於一實施例中，可撓曲基板 501 之材質為不鏽鋼或其他金屬箔片或塑膠。可撓曲基板 501 為在受力情形不同時，可由不同的曲率半徑彎折撓曲並亦可伸直回復，適用於軟性電子電路的製造。

請參照第 4 圖及第 5B 圖。於步驟 402，形成平坦層 502 於可撓曲基板 501 上。平坦層 502 之材質於一實施例中為二氧化矽 (SiO_2)，以確保可撓曲基板 501 平面的平坦。

請參照第 4 圖及第 5C 圖。於步驟 403，形成附著層 503 於平坦層 502 上。於一實施例中，附著層 503 之材質為二氧化鈦 (TiO_2)。附著層 503 可增加後續步驟形成的金屬層的附著性。於一實施例中，亦可不形成附著層 503 而使後續的金屬層直接形成於平坦層 502 上，然而其附著性將因無附著層 502 的存在而降低。

請參照第 4 圖及第 5D 圖。於步驟 404，沉積金屬底電極層 504 於附著層 503 上。於一實施例中，金屬底電極層 504 之材質為鉑金 (Pt) 或金 (Au)。金屬底電極層 504 可藉由物理氣相沉積法如電子束蒸鍍或其他可能的製程形成於附著層 503 上。

請參照第 4 圖及第 5E 圖。於步驟 405，沉積氧化鋁鋅錫電阻切換層 505 於金屬底電極層 504 上。氧化鋁鋅錫為非晶態且透明的氧化物半導體元件，具有優越的低溫（攝氏 100 度以下）下沉積條件，以及非晶態大面積均勻之特性。氧化鋁鋅錫電阻切換層 505 可藉由物理氣相沉積法如電漿濺鍍或其他可能的製程形成於金屬底電極層 504 上。

請參照第 4 圖及第 5F 圖。於步驟 406，形成光罩 506 以定義出數個圖樣 506'。

請參照第 4 圖及第 5G 圖。於步驟 407，對應圖樣 506' 沉積包含電性獨立之複數頂電極單元 507 之頂電極層於氧化鋁鋅錫電阻切換層 505 上並移除光罩 506，以形成複數非揮發性記憶體單元 508，並完成可撓曲非揮發性記憶體 500 的製作，成為如第 5H 圖所示的結構，其中第 5H 圖為可撓曲非揮發性記憶體 500 之立體圖。於一實施例中，頂電極層 507 之材質為鈦、氮化鈦或氧化銻錫。頂電極層 507 可藉由物理氣相沉積法如電漿濺鍍或其他可能的製程形成於氧化鋁鋅錫電阻切換層 505 上。

因此，由本實施例中的製造方法 400，亦可製造出具有如第 3 圖所示之電流及電壓特性的可撓曲非揮發性記憶體。需注意的是，於部份實施例中，為方便進行測量與施

加電壓，金屬底電極層 504 可如第 5G 圖所示，略寬於附著層 503 以及氧化鋁鋅錫電阻切換層 505。

請參照第 6 圖。第 6 圖為本揭示內容一實施例中，以可撓曲非揮發性記憶體 200 或 500 進行連續切換電阻態之切換次數與電阻值的關係圖。其中，連續切換電阻態是用以對可撓曲非揮發性記憶體 200 或 500 之耐久性進行測試。如第 6 圖所示，在經過至少 256 次的操作下，高電阻態及低電阻態間的平均電阻比值均在 18 倍以上，可以繼續清楚地區分為兩個狀態，而不會因連續切換造成元件效能下降。

請參照第 7 圖。第 7 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體 200 或 500 的資料維持時間以及電阻值的關係圖。如第 7 圖所示，在個別切換至高或低電阻態後持續施加外加的讀取電壓 200 毫伏特，在溫度 300K 的環境下隨著時間放置量測電阻值，可以觀察到在至少 10^4 秒內，資料保持的特性均可維持。

請參照第 8 圖。第 8 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體 200 或 500 的彎曲半徑以及電阻值的關係圖。如第 8 圖所示，在可撓曲非揮發性記憶體 200 或 500 處於平坦、30 毫米及 10 毫米的不同彎曲半徑下（彎曲半徑愈小表示彎折度愈高），做連續切換高低電阻態 100 次之耐久度測試後，將量測之數據以極大值、平均值與極小值表示，可以觀察到記憶體仍保有一記憶區間。因此，可撓曲非揮發性記憶體 200 或 500 可有效地應用於軟性電子的領域。

請參照第 9 圖。第 9 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體 200 或 500 的電阻值以及累積機率的關係圖。於第 9 圖中，以菱形點繪製的線段為尚未進行彎曲耐久性測試的可撓曲非揮發性記憶體 200 或 500 測得的高低態電阻值。而以方形點繪製的線段則是在可撓曲非揮發性記憶體 200 或 500 進行 5000 次重複的彎曲與伸直後，所記錄得的高低態電阻值。因此，由第 9 圖可知可撓曲非揮發性記憶體 200 或 500 在經過 5000 次重複的彎曲與伸直後仍清楚地具有高電阻態與低電阻態，具有良好的彎曲度耐久性。

雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本揭示內容，任何熟習此技藝者，在不脫離本揭示內容之精神和範圍內，當可作各種之更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本揭示內容之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖為本揭示內容一實施例中，一種可撓曲非揮發性記憶體之製造方法的流程圖；

第 2A 圖至第 2G 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體之製造方法中對應各步驟之結構側剖視圖；

第 2H 圖為本揭示內容一實施例中，可撓曲非揮發性

記憶體之立體圖；

第 3 圖為本揭示內容一實施例中，對金屬底電極層以及頂電極層施加正負兩伏特內的偏壓後的電壓及電流關係圖；

第 4 圖為本揭示內容一實施例中，一種可撓曲非揮發性記憶體之製造方法的流程圖；

第 5A 圖至第 5G 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體之製造方法中對應各步驟之結構側剖視圖；

第 5H 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體之立體圖；

第 6 圖為本揭示內容一實施例中，以可撓曲非揮發性記憶體進行連續切換電阻態之切換次數與電阻值的關係圖；

第 7 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體的資料維持時間以及電阻值的關係圖；

第 8 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體的彎曲半徑以及電阻值的關係圖；以及

第 9 圖為本揭示內容一實施例中，可撓曲非揮發性記憶體的電阻值以及累積機率的關係圖。

【主要元件符號說明】

100：製造方法	100-107：步驟
200：可撓曲非揮發性記憶體	201：可撓曲基板
202：平坦層	203：附著層

- | | |
|------------------|-------------------|
| 204 : 金屬底電極層 | 205 : 光罩 |
| 205' : 圖樣 | 206 : 氧化鋁鋅錫電阻切換單元 |
| 207 : 沉積頂電極層 | 400 : 製造方法 |
| 208 : 非揮發性記憶體單元 | 500 : 可撓曲非揮發性記憶體 |
| 401-407 : 步驟 | 502 : 平坦層 |
| 501 : 可撓曲基板 | 504 : 金屬底電極層 |
| 503 : 附著層 | 506 : 光罩 |
| 505 : 氧化鋁鋅錫電阻切換層 | 507 : 頂電極單元 |
| 506' : 圖樣 | |

七、申請專利範圍：

104年2月11日修正
對照(本)

1. 一種可撓曲非揮發性電阻式記憶體之製造方法，包含：

提供一可撓曲基板；

形成一平坦層於該可撓曲基板上；

沉積一金屬底電極層於該平坦層上；

形成一光罩，以定義複數圖樣；

對應該光罩定義之該等圖樣沉積包含電性獨立之複數氧化鋁鋅錫（Aluminum Zinc Tin Oxide；AZTO）電阻切換單元之一氧化鋁鋅錫電阻切換層於該金屬底電極層上；以及

移除光罩並對應該等氧化鋁鋅錫電阻切換單元沉積一頂電極層於該氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元；其中該可撓曲非揮發性電阻式記憶體之彎曲半徑大於或等於 10 毫米。

2. 如請求項 1 所述之製造方法，其中該可撓曲基板之材質為不鏽鋼或塑膠。

3. 如請求項 1 所述之製造方法，其中該平坦層之材質為二氧化矽（ SiO_2 ）。

4. 如請求項 1 所述之製造方法，更包含形成一附著層於該平坦層上，該金屬底電極層實際上形成於該附著層

上。

5. 如請求項 4 所述之製造方法，其中該附著層之材質為二氧化鈦 (TiO_2)。

6. 如請求項 1 所述之製造方法，其中該金屬底電極層之材質為金或鉑金，該頂電極層之材質為鈦、氮化鈦或氧化銻錫。

7. 如請求項 1 所述之製造方法，其中該製造方法於攝氏 100 度以下之溫度進行。

8. 一種可撓曲非揮發性電阻式記憶體之製造方法，包含：

提供一可撓曲基板；

形成一平坦層於該可撓曲基板上；

沉積一金屬底電極層於該平坦層上；

沉積一氧化鋁鋅錫電阻切換層於該金屬底電極層上；

形成一光罩，以定義複數圖樣；以及

對應該光罩定義之該等圖樣沉積包含電性獨立之複數頂電極單元之一頂電極層於該氧化鋁鋅錫電阻切換層上並移除光罩，俾形成複數非揮發性記憶體單元；其中該可撓曲非揮發性電阻式記憶體之彎曲半徑大於或等於 10 毫米。

9. 如請求項 8 所述之製造方法，其中該製造方法於攝氏 100 度以下之溫度進行。

10. 如請求項 8 所述之製造方法，更包含形成一附著層於該平坦層上，該金屬底電極層實際上形成於該附著層上。

11. 一種可撓曲非揮發性電阻式記憶體，包含：

一可撓曲基板；

一平坦層，形成於該可撓曲基板上；

一金屬底電極層，形成於該平坦層上；

一氧化鋁鋅錫電阻切換層，形成於該金屬底電極層上，且包含電性獨立之複數氧化鋁鋅錫電阻切換單元；以及

一頂電極層，對應形成於該氧化鋁鋅錫電阻切換層上，俾形成複數非揮發性記憶體單元；其中該可撓曲非揮發性電阻式記憶體之彎曲半徑大於或等於 10 毫米。

12. 如請求項 11 所述之可撓曲非揮發性電阻式記憶體，其中該可撓曲基板之材質為不鏽鋼或塑膠。

13. 如請求項 11 所述之可撓曲非揮發性電阻式記憶體，其中該平坦層之材質為二氧化矽。

14. 如請求項 11 所述之可撓曲非揮發性電阻式記憶體，更包含一附著層，形成於該平坦層上，該金屬底電極層實際上形成於該附著層上。

15. 如請求項 14 所述之可撓曲非揮發性電阻式記憶體，其中該附著層之材質為二氧化鈦。

16. 如請求項 11 所述之可撓曲非揮發性電阻式記憶體，其中該金屬底電極層之材質為金或鉑金，該頂電極層之材質為鈦、氮化鈦或氧化銻錫。

17. 一種可撓曲非揮發性電阻式記憶體，包含：
一可撓曲基板；
一平坦層，形成於該可撓曲基板上；
一金屬底電極層，形成於該平坦層上；
一氧化鋁鋅錫電阻切換層，形成於該金屬底電極層上；以及

一頂電極層，形成於該氧化鋁鋅錫電阻切換層上，並包含電性獨立之複數頂電極單元，俾形成複數非揮發性記憶體單元；其中該可撓曲非揮發性電阻式記憶體之彎曲半徑大於或等於 10 毫米。

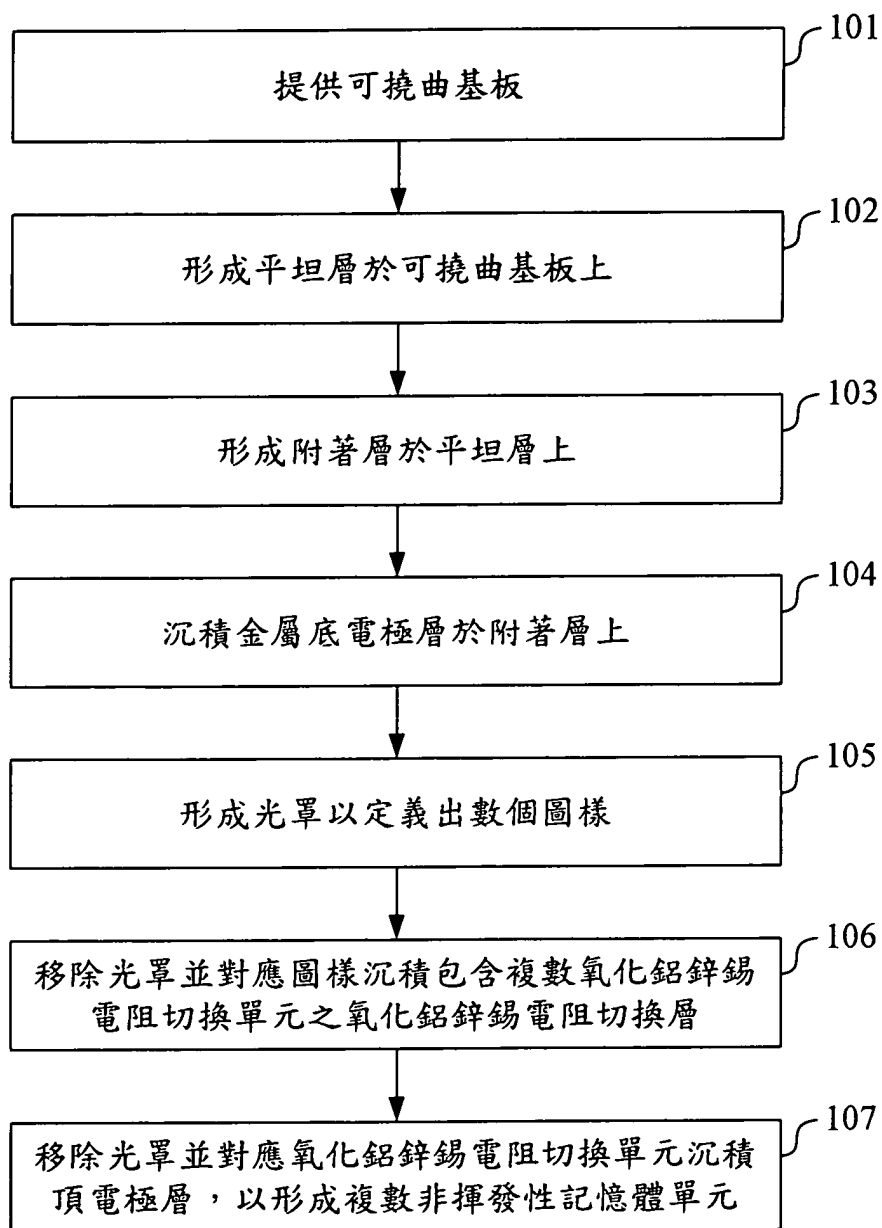
18. 如請求項 17 所述之可撓曲非揮發性電阻式記憶體，更包含一附著層，形成於該平坦層上，該金屬底電極

層實際上形成於該附著層上。

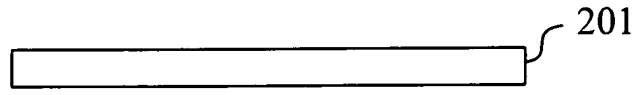
八、圖式：

修正
2018年9月9日
對原稿(本)

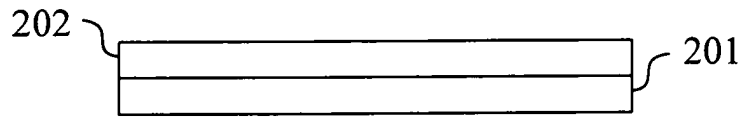
100



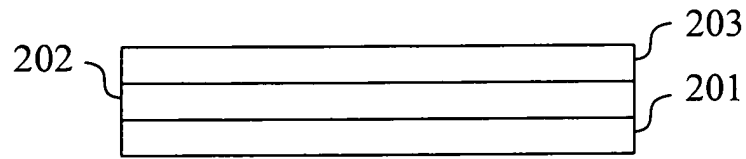
第1圖



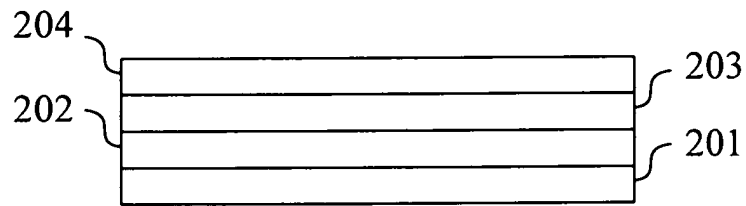
第2A圖



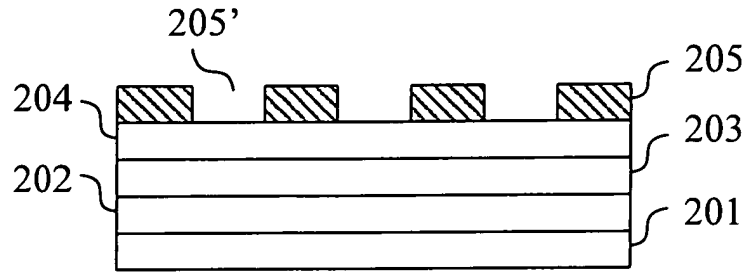
第2B圖



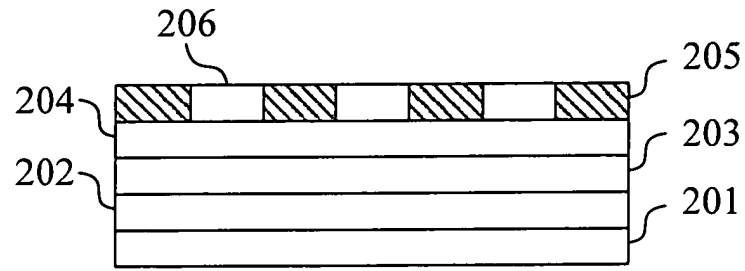
第2C圖



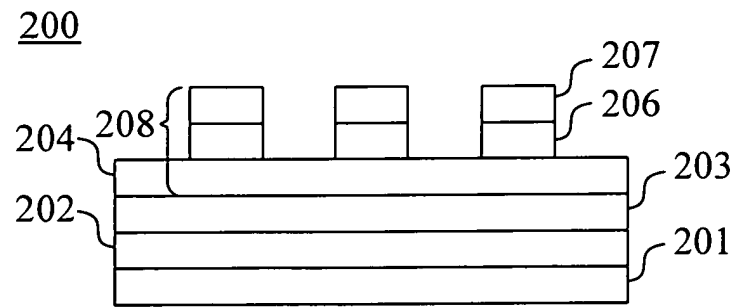
第2D圖



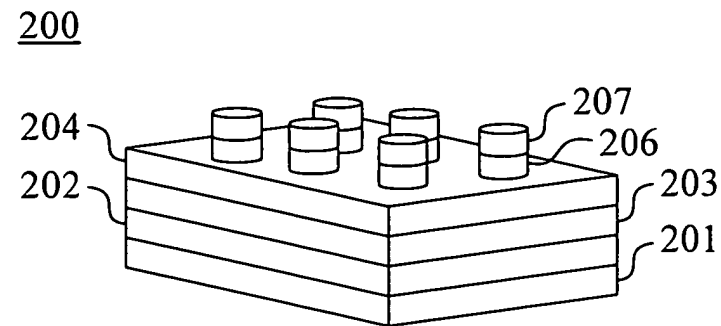
第2E圖



第2F圖

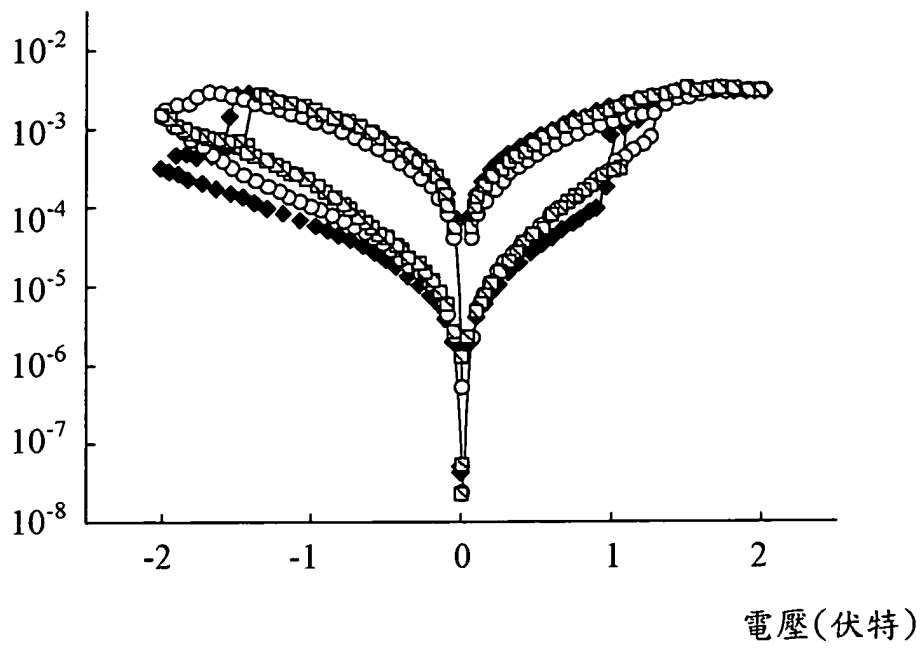


第2G圖



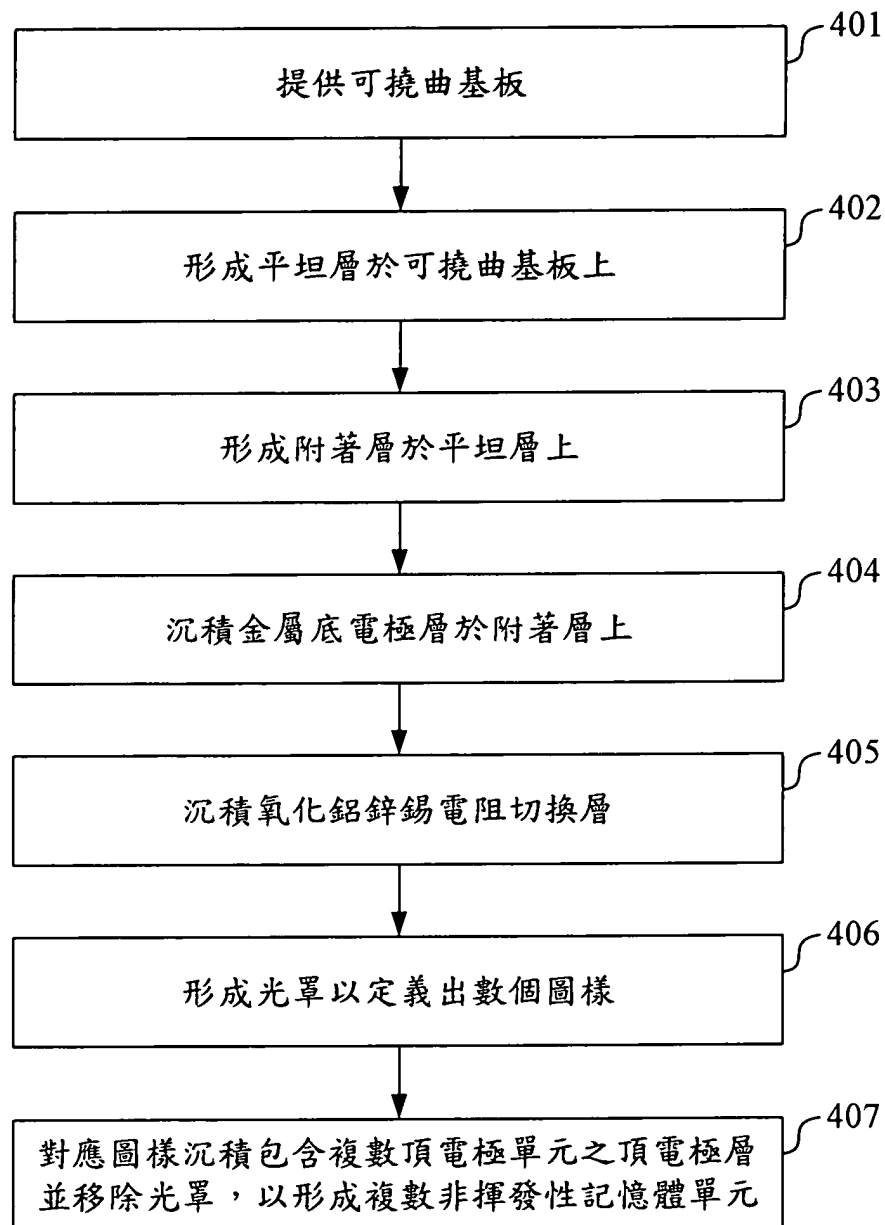
第2H圖

電流(安培)

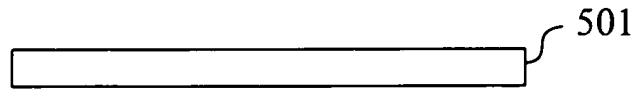


第3圖

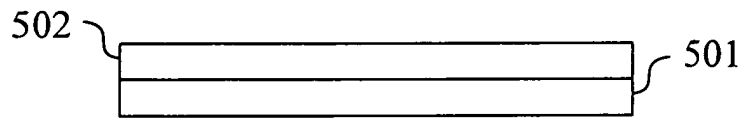
400



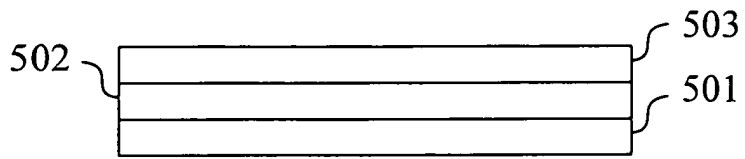
第4圖



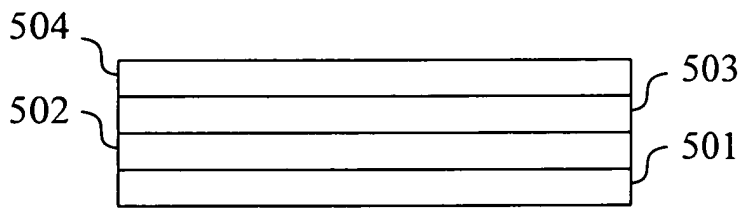
第5A圖



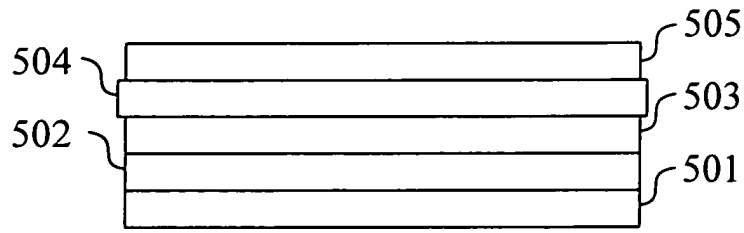
第5B圖



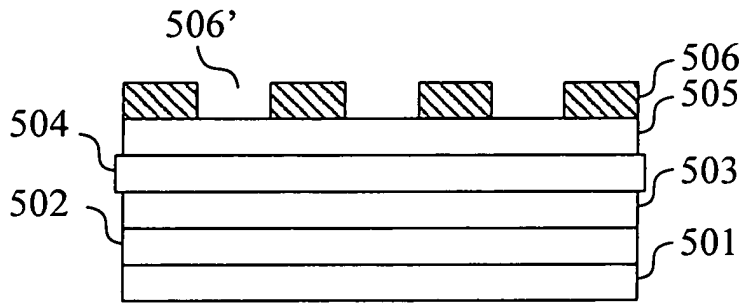
第5C圖



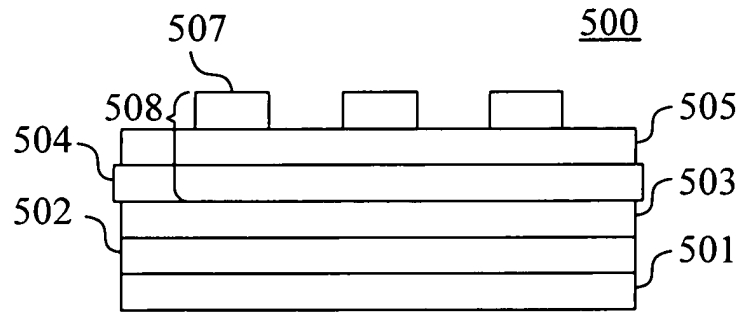
第5D圖



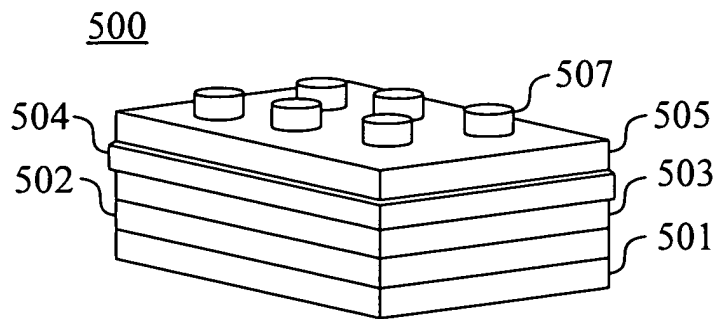
第5E圖



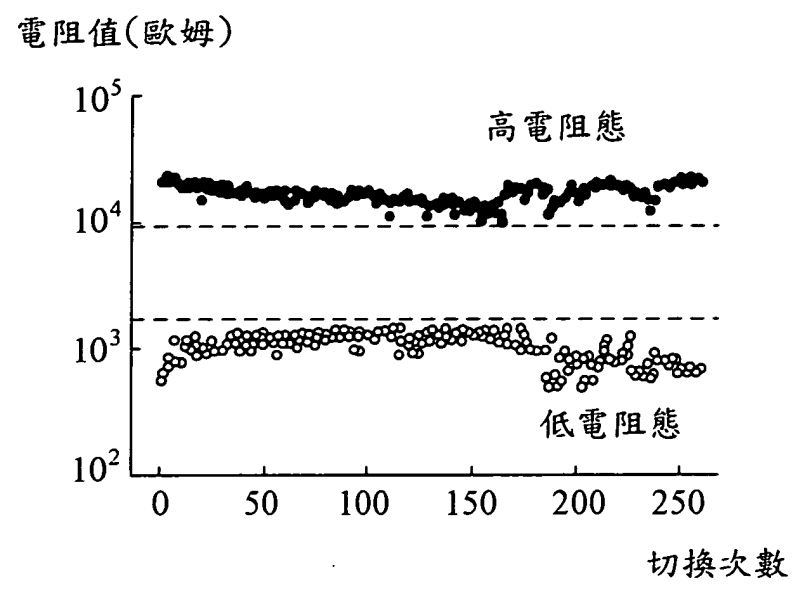
第5F圖



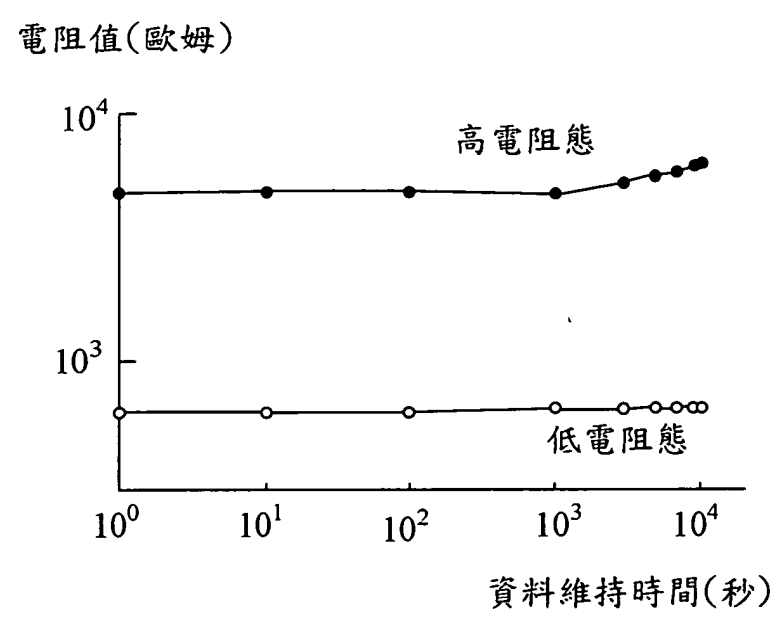
第5G圖



第5H圖

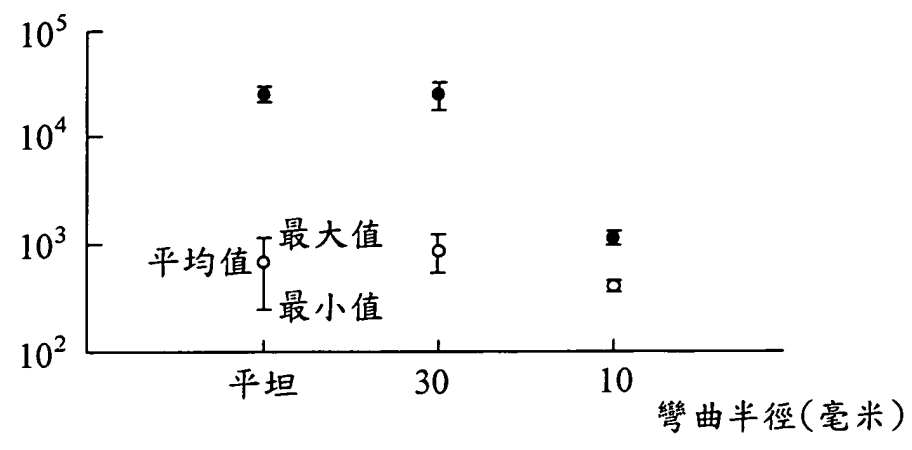


第6圖



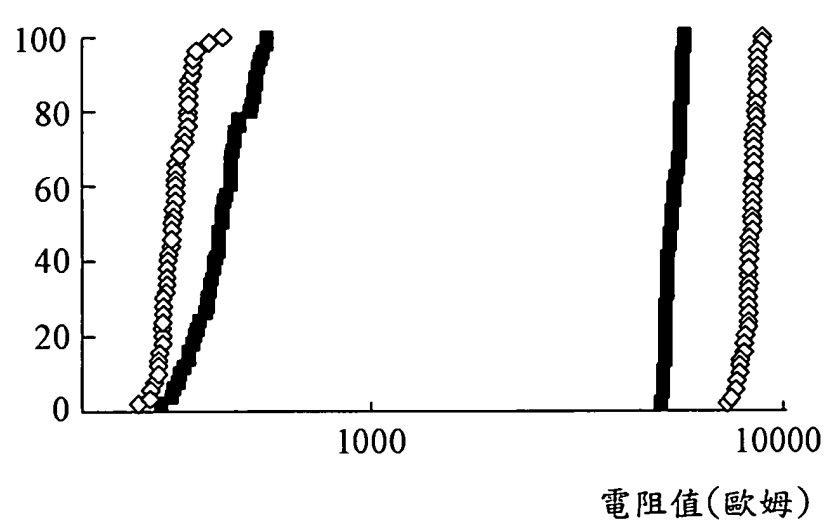
第7圖

電阻值(歐姆)



第8圖

累積機率(%)



第9圖