



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I501562 B

(45) 公告日：中華民國 104 (2015) 年 09 月 21 日

(21) 申請案號：101136974

(22) 申請日：中華民國 101 (2012) 年 10 月 05 日

(51) Int. Cl. : H03M1/12 (2006.01)

H03M1/42 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：洪浩喬 HONG, HAO CHIAO (TW) ; 謝宗殷 HSIEH, TSUNG YIN (TW)

(74) 代理人：許世正

(56) 參考文獻：

TW I328356

US 7015841B2

US 7812757B1

US 7834796B2

審查人員：陳佳韶

申請專利範圍項數：15 項 圖式數：6 共 45 頁

(54) 名稱

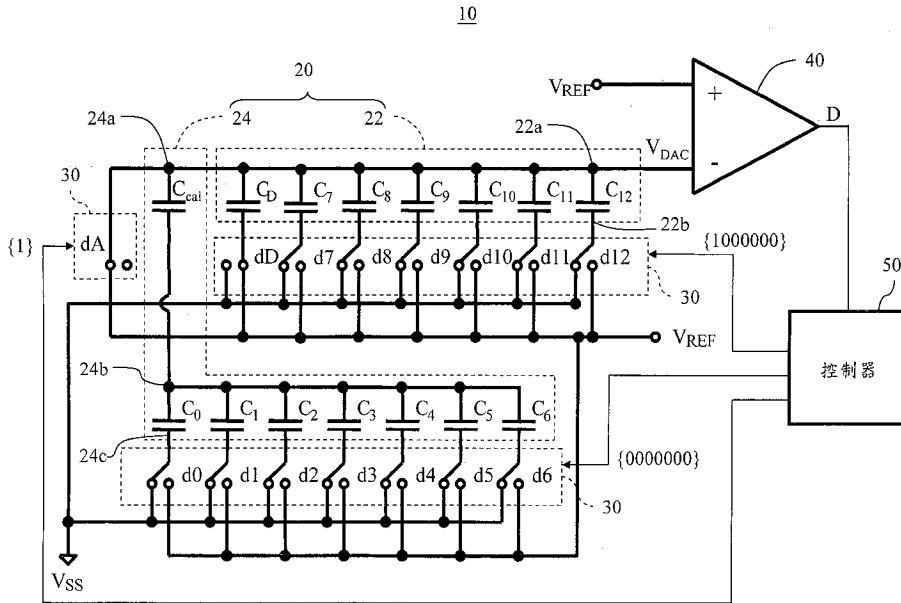
估測逐次漸近類比數位轉換器中電容權重誤差之方法與其應用於校正該逐次漸進類比數位轉換器  
 A METHOD TO ESTIMATE THE RATIO ERRORS OF THE CAPACITORS IN THE DIGITAL-TO-ANALOG CONVERTER OF A SUCCESSIVE APPROXIMATION ANALOG DIGITAL CONVERTER AND ITS APPLICATION TO CALIBRATE THE SUCCESSIVE APPROXIMATION ANALOG DIGITAL CONVERTER

(57) 摘要

本發明提出一種估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法，用以估計數位類比轉換器的電容的電容權重誤差。該待校逐次漸近類比數位轉換器包括比較器、電容組、開關組與控制器，其中電容組包括一個具有多個電容的主電容陣列與一個包含多個已知權重電容的子電容陣列，前述主電容陣列包含一輔助電容以及一個電容之間的比例可以成 2 的冪次方關係的電容陣列，且該輔助電容小於主電容陣列之其他電容，前述子電容陣列電容的已知權重可以成 2 的冪次方關係。控制器用以控制開關組，依序重複執行主電容陣列的預先充電、將電荷重新分布於主電容陣列與子電容陣列、與主電容陣列及子電容陣列的逐次逼近二元搜尋法，並依所得結果計算主電容陣列內各個電容的電容權重誤差值。所得之該等電容權重誤差值可用以校正該逐次漸近類比數位轉換器的輸出。

A method to estimate the ratio errors of the capacitors in the digital-to-analog converter of a successive approximation analog digital converter (SA ADC) is provided. The successive approximation analog-to-digital converter comprises a comparator, a capacitor set, a switch set and a controller, wherein the capacitor set has a main capacitor array and a sub capacitor array. The main capacitor array comprises a plurality of capacitors whose capacitive weights could be binary-weighted and an assistant capacitor whose capacitance value is less than that of the other capacitors in the main capacitor array. The sub capacitor array can comprise a plurality of binary-weighted capacitors whose weights are known with sufficient accuracy. The controller is used to control the switch set and repetitively performs the error estimation procedures until all capacitor ratio errors are calculated. Each error estimation procedure successively performs precharging the selected capacitor(s) of the main capacitor array, redistributing the charges to the main capacitor array and the sub

capacitor array, and a successive approximation binary searching process using the main capacitor array and the sub capacitor array which provides a digital error output. The controller calculates the ratio errors of the capacitors in the main capacitor array according to the digital error outputs. The obtained capacitor ratio errors can be used to calibrate the primary output of the SA ADC.



第2A圖

10 . . . 逐次漸近類  
比數位轉換器

20 . . . 電容組

22 . . . 主電容陣列

22a、22b、24a、

24b、24c . . . 端點

24 . . . 子電容陣列

30 . . . 開關組

40 . . . 比較器

50 . . . 控制器

$C_0 \sim C_{12}$  . . . 電容

$C_D$  . . . 輔助電容

$C_{cal}$  . . . 衰減電容

$d_0$ 、 $d_1 \sim d_{12}$ 、 $d_D$ 、

$d_A$  . . . 開關

$V_{REF}$ 、 $V_{SS}$  . . . 參  
考電壓

$V_{DAC}$  . . . 輸出電  
壓

D . . . 輸出端的輸  
出

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101126974

※申請日：101.10.05

※IPC 分類：H03M 1/12 (2006.1)  
H03M 1/42 (2006.1)

一、發明名稱：(中文/英文)

估測逐次漸近類比數位轉換器中電容權重誤差之方法與其應用於校正該逐次漸進類比數位轉換器

A METHOD TO ESTIMATE THE RATIO ERRORS OF THE CAPACITORS IN THE DIGITAL-TO-ANALOG CONVERTER OF A SUCCESSIVE APPROXIMATION ANALOG DIGITAL CONVERTER AND ITS APPLICATION TO CALIBRATE THE SUCCESSIVE APPROXIMATION ANALOG DIGITAL CONVERTER

二、中文發明摘要：

本發明提出一種估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法，用以估計數位類比轉換器的電容的電容權重誤差。該待校逐次漸近類比數位轉換器包括比較器、電容組、開關組與控制器，其中電容組包括一個具有多個電容的主電容陣列與一個包含多個已知權重電容的子電容陣列，前述主電容陣列包含一輔助電容以及一個電容之間的比例可以成 2 的冪次方關係的電容陣列，且該輔助電容小於主電容陣列之其他電容，

前述子電容陣列電容的已知權重可以成 2 的冪次方關係。控制器用以控制開關組，依序重複執行主電容陣列的預先充電、將電荷重新分布於主電容陣列與子電容陣列、與主電容陣列及子電容陣列的逐次逼近二元搜尋法，並依所得結果計算主電容陣列內各個電容的電容權重誤差值。所得之該等電容權重誤差值可用以校正該逐次漸近類比數位轉換器的輸出。

### 三、英文發明摘要：

A method to estimate the ratio errors of the capacitors in the digital-to-analog converter of a successive approximation analog digital converter (SA ADC) is provided. The successive approximation analog-to-digital converter comprises a comparator, a capacitor set, a switch set and a controller, wherein the capacitor set has a main capacitor array and a sub capacitor array. The main capacitor array comprises a plurality of capacitors whose capacitive weights could be binary-weighted and an assistant capacitor whose capacitance value is less than that of the other capacitors in the main capacitor array. The sub capacitor array can comprise a plurality of binary-weighted capacitors whose weights are known with sufficient accuracy. The controller is used to control the switch set and repetitively performs the error estimation procedures until all capacitor ratio errors are calculated. Each error estimation procedure

successively performs precharging the selected capacitor(s) of the main capacitor array, redistributing the charges to the main capacitor array and the sub capacitor array, and a successive approximation binary searching process using the main capacitor array and the sub capacitor array which provides a digital error output. The controller calculates the ratio errors of the capacitors in the main capacitor array according to the digital error outputs. The obtained capacitor ratio errors can be used to calibrate the primary output of the SA ADC.

## 四、指定代表圖：

(一)本案指定代表圖為：第 2A 圖。

(二)本代表圖之元件符號簡單說明：

10	逐次漸近類比數位轉換器
20	電容組
22	主電容陣列
22a、22b、24a、24b、24c	端點
24	子電容陣列
30	開關組
40	比較器
50	控制器
$C_0 \sim C_{12}$	電容
$C_D$	輔助電容
$C_{cal}$	衰減電容
$d_0、d_1 \sim d_{12}、d_D$	、 $d_A$ 開關
$V_{REF}、V_{SS}$	參考電壓
$V_{DAC}$	輸出電壓
D	輸出端的輸出

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種電容權重誤差值估測，特別是一種全數位式電容權重誤差值估測方法用以估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差，與其校正逐次漸進類比數位轉換器的應用。

### 【先前技術】

類比數位轉換器被廣泛的被使用於通訊器材、測量儀器與其他各式各樣的電子裝置中。常見之類比數位轉換器架構可區分為快閃型(flash)類比數位轉換器、管線化(pipelined)類比數位轉換器與逐次漸近(Successive Approximation)類比數位轉換器等。其中因為逐次漸近類比數位轉換器具有低耗能的優點，因此廣泛的被使用於各種應用中。

切換電容式逐次漸近類比數位轉換器的精準度，主要會受電容權重的誤差的影響。電容權重的誤差越小，逐次漸近類比數位轉換器的精準度也會越高。然而，在積體電路在製程的過程中，電容權重會因為製程偏移而產生不可避免的誤差。因此，對於積體電路設計來說，如何校正因製程偏移造成的電容權重誤差，而使逐次漸近類比數位轉換器的精準度提高，便是一個重要的關鍵。

習知技術通常是在使用精密儀器量測實際的電容值後，然後利用離子光束集中(focused ion beam、FIB)的方式接上並聯電容以增加電容值，或是利用雷射切除(laser trimming)的方式切除並聯電

容以減少電容值，直到最後的電容值與預期值相同時，即表示此電容已經校正完成。但不論是雷射切除或是離子光束集中，都需要額外的人力與設備資源對已晶片化的積體電路做量測校正的工作，且會花費額外的費用與大量的時間，增加製造的成本。

習知技術的另一種方法是利用電阻式的數位類比轉換器產生一類比校正電壓，在待校電容的一端加上此類比校正電壓後，藉由改變該數位類比轉換器的數位輸入碼，使待校電容的另一端輸出電壓與理想電容在未加此校正電壓的情形下的輸出電壓相近。之後，儲存此校正電壓對應的數位輸入碼，並且當需要使用該待校電容時，再將此數位輸入碼轉換成對應的類比校正電壓後，補償予此電容。

然而，因為實際電路上的應用只能產生正的電壓，因此上述的電阻式校正方法只適用於實際電容值小於理想電容值的狀況，也就是說上述的方法只能做單方向電容權重誤差的校正。此外，上述之方法需要一個額外的電阻式的數位類比轉換器，不僅需要額外的硬體來實現，並且此電阻式數位類比器產生的誤差同樣也會影響校正後的精準度。

#### 【發明內容】

鑑於習知技術會增加製造成本與只能進行單方向的誤差校正，本發明係提出一種估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法與其應用於校正該逐次漸進類比數位轉換器，本發明可準確估計待測電容的真實權重(weights)進而計



算出每一待測電容的權重誤差，以解決上述之問題。

估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法如下，此逐次漸進類比數位轉換器包括比較器、電容組與開關組，且電容組包括主電容陣列與子電容陣列，主電容陣列包括多個第一電容與一輔助電容，子電容陣列包含一個由多個已知權重之第二電容所構成之低權重電容陣列。前述方法包括下列步驟。(A)以第一參考電壓對於主電容陣列中之至少一電容進行預先充電。(B)以被充電的至少一電容，重新分配電荷至主電容陣列以及子電容陣列的所有第一電容、第二電容與輔助電容。

(C)以比較器之輸出端的輸出作為位元循環訊號以控制子電容陣列的第二電容，逐次使主電容陣列之第一電容的第一端的電壓逼近於第一參考電壓，以取得電容權重值的數位估測值，最後，依據所得之電容權重值的數位估測值以及該等電容之已知權重，計算出對應之該等第一電容或該輔助電容的電容權重誤差估計值。(D)判斷是否計算出主電容陣列中之所有第一電容與該輔助電容的電容權重誤差估計值。若判斷未計算出主電容陣列中之所有第一電容與輔助電容的電容權重誤差估計值，則回到步驟(A)，並重複執行步驟(A)、(B)、(C)，直到計算出主電容陣列中之所有第一電容與該輔助電容的電容權重誤差估計值為止。

以下為一實施例。該逐次漸近類比數位轉換器包括比較器、電容組、開關組與控制器。比較器具有第一輸入端、第二輸入端與輸出端，比較器的第一輸入端用以接收第一參考電壓。

電容組包括主電容陣列與子電容陣列。主電容陣列具有多個第一電容以及一個輔助電容，令該等第一電容中最小的電容的權重為一，則輔助電容名義上權重小於一，每一第一電容以及輔助電容具有第一端與第二端。子電容陣列具有多個第二電容，這些第二電容之間的權重成 2 的冪次方關係，每一第二電容具有第一端與第二端。

主電容陣列中的每一第一電容的第一端電性連接至比較器的第二輸入端。輔助電容的第一端電性連接至比較器的第二輸入端。子電容陣列中的每一第二電容的第一端電性連接至比較器的第二輸入端。主電容陣列中的每一第一電容的第二端、輔助電容的第二端與子電容陣列中的每一第二電容的第二端電性連接至開關組。

子電容陣列之第二電容更包括一衰減電容，則其他所有第二電容可經由串接此衰減電容連接至比較器的第二輸入端，其中此衰減電容名義上權重為一且具有第一端與第二端，每一第二電容的第一端連接至衰減電容的第二端且衰減電容的第一端連接至比較器的第二輸入端。

開關組具有多個開關，這些開關以一對一方式與主電容陣列中的每一第一電容的第二端、輔助電容的第二端及子電容陣列中的每一第二電容的第二端連接。每一開關分別控制每一第一電容、輔助電容與每一第二電容的第二端連接至第一參考電壓或是第二參考電壓。控制器用以控制開關組，並執行以下步驟：

(A)以參考電壓對於主電容陣列中之至少一電容進行預先充電。(B)以被充電的至少一電容，重新分配電荷至主電容陣列以及子電容陣列中之所有第一電容、第二電容與輔助電容。(C)以比較器之輸出端的輸出作為位元循環訊號以控制子電容陣列的該等第二電容，逐次使主電容陣列之所有第一電容與輔助電容的第一端的電壓逼近於參考電壓，以取得一電容權重值的數位估測值，並依據所得之該電容權重值的數位估測值，計算出對應之第一電容或輔助電容之一的電容權重誤差估計值。(D)重複施行步驟(A)、(B)、(C)，直到控制器計算出主電容陣列中之所有第一電容與輔助電容的電容權重誤差估計值為止。

綜合以上所述，本發明所揭露之估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法與應用於校正逐次漸進類比數位轉換器，可估測電容的權重值與權重誤差值。此外，所得之電容的權重誤差值可直接以數位方式儲存，再以數位方式來校正該逐次漸近類比數位轉換器的輸出，不需再經由額外的數位類比轉換器進行轉換，以減少數位類比轉換時所發生的誤差。因此，本發明的逐次漸近類比數位轉換器可以較習知技術簡單的硬體架構而得到高精準度的類比數位轉換結果。

### 【實施方式】

以下在實施方式中係進一步詳細說明本發明之詳細特徵以及優點，其內容足以使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖

式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點。並且，以下所列舉的實施例中，將以相同的標號代表相同或相似的元件。

請參照『第 1 圖』，係為估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法的流程圖。本實施例之逐次漸進類比數位轉換器包括比較器、電容組與開關組，其中電容組包括主電容陣列與子電容陣列，主電容陣列包括多個第一電容與一輔助電容，子電容陣列含一個由多個已知權重之第二電容所構成之低權重電容陣列。在步驟 S110 中，以參考電壓對於主電容陣列中之多個第一電容與一輔助電容的其中至少一電容進行預先充電。在步驟 S120 中，以被充電的至少一電容，重新分配電荷至主電容陣列與子電容陣列的所有第一電容、第二電容與輔助電容。

在步驟 S130 中，以比較器之輸出端的輸出作為位元循環訊號以控制子電容陣列的第二電容，逐次使主電容陣列之第一電容的第一端的電壓逼近於參考電壓，以取得電容權重值的數位估測值，並依據所得之電容權重值的數位估測值，計算出對應之第一電容與輔助電容之一的電容權重誤差估計值。在步驟 S140 中，判斷是否計算出主電容陣列中之所有第一電容與輔助電容的電容權重誤差估計值。若判斷未計算出主電容陣列中之所有第一電容與輔助電容的電容權重誤差估計值，則回到步驟 S110，並重複執行步驟 S110、S120、S130，直到計算出主電容陣列中之所有第一電容與輔助電容的電容權重誤差估計值。

上述已簡略說明了如何估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差，以下將搭配逐次漸近類比數位轉換器的電路架構做進一步的說明。

為了使實施方式能更為明確，特別先定義以下之表示方式，如『第 2A 圖』所示。 $c_6$ 、 $c_5$ 、 $c_4$ 、...、 $c_0$  為電容  $C_6$ 、 $C_5$ 、 $C_4$ 、...、 $C_0$  實際上的電容值， $c_{12}$ 、 $c_{11}$ 、 $c_{10}$ 、...、 $c_7$  為電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  實際上的電容值， $c_D$  為輔助電容  $C_D$  的電容值， $c_{cal}$  為衰減電容  $C_{cal}$  的電容值。其中，電容  $C_6$ 、 $C_5$ 、 $C_4$ 、...、 $C_0$ 、 $C_{cal}$  的電容權重值的比值為  $2^6 : 2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : 1$ 。

電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的電容權重值的比值理論上為  $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : <1$ 。也就是說，主電容陣列 22 包括多個電容(即電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$ )以及一個輔助電容  $C_D$ ，除輔助電容  $C_D$  外之各電容間名義上(nominal)權重成 2 的冪次方關係，其中前述權重之最小者的電容  $C_7$  名義上的權重大於輔助電容  $C_D$  名義上的權重。然而，因為電容在製程上會產生誤差，因此上述電容權重值的比值在實際上並不是精確的等比例。

電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  在加上誤差後的電容值表示如下： $c_{12} = \overline{c_{12}} + \Delta c_{12}$ 、 $c_{11} = \overline{c_{11}} + \Delta c_{11}$ 、 $c_{10} = \overline{c_{10}} + \Delta c_{10}$ 、 $c_9 = \overline{c_9} + \Delta c_9$ 、 $c_8 = \overline{c_8} + \Delta c_8$ 、 $c_7 = \overline{c_7} + \Delta c_7$ 、 $c_D = \overline{c_D} + \Delta c_D$ 。其中， $\overline{c_{12}} : \overline{c_{11}} : \overline{c_{10}} : \overline{c_9} : \overline{c_8} : \overline{c_7} : \overline{c_D} = 2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : \beta$ ， $\beta < 1$ 。也就是說，此處定義  $\overline{c_{12}}$ 、 $\overline{c_{11}}$ 、 $\overline{c_{10}}$ 、 $\overline{c_9}$ 、 $\overline{c_8}$ 、 $\overline{c_7}$ 、 $\overline{c_D}$  為各電容名義上等比例的電容值。 $\Delta c_{12}$ 、 $\Delta c_{11}$ 、 $\Delta c_{10}$ 、 $\Delta c_9$ 、 $\Delta c_8$ 、 $\Delta c_7$ 、 $\Delta c_D$  分別代表電容

$C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的實際誤差值。

請參照『第 2A 圖』至『第 2C 圖』，『第 2A 圖』至『第 2C 圖』係為輔助電容  $C_D$  之電容權重值的數位估測方式示意圖。

逐次漸近類比數位轉換器 10 包括電容組 20、開關組 30、比較器 40 與控制器 50。比較器 40 具有第一輸入端、第二輸入端與輸出端，比較器 40 的第一輸入端(例如正輸入端)連接至參考電壓  $V_{REF}$ 。

電容組 20 包括主電容陣列 22 與子電容陣列 24。主電容陣列 22 包括電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$ ，且電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  各具有第一端與第二端。子電容陣列 24 包括衰減電容  $C_{cal}$  與電容  $C_6$ 、 $C_5$ 、...、 $C_0$ 。衰減電容  $C_{cal}$  以及電容  $C_6$ 、 $C_5$ 、...、 $C_0$  各具有第一端與第二端。

電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(例如圖中繪示的端點 22a)連接至比較器 40 的第二輸入端(例如負輸入端)。衰減電容  $C_{cal}$  的第一端(例如圖中繪示的端點 24a)連接至比較器 40 的第二輸入端與主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  的第一端(圖中繪示的端點 22a)。衰減電容  $C_{cal}$  的第二端(例如圖中繪示的端點 24b)連接至電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的第一端。

開關組 30 具有多個開關  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$ 、 $d_6$ 、 $d_5$ 、...、 $d_0$ 、 $d_D$ 、 $d_A$ 。開關  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$ 、 $d_6$ 、 $d_5$ 、...、 $d_0$ 、 $d_D$  分別以一對一的方式連接至電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$ 、 $C_6$ 、 $C_5$ 、...、 $C_0$  與輔助電容  $C_D$ 。也就是說，每一個開關僅連接至一個

電容。每個開關具有一輸入端以及第一輸出端與第二輸出端。開關  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$ 、 $d_D$  的輸入端分別連接至電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第二端(例如圖中繪示的端點 22b)。開關  $d_6$ 、 $d_5$ 、...、 $d_0$  的輸入端分別連接至電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的第二端(例如圖中繪示的端點 24c)。

開關  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$ 、 $d_6$ 、 $d_5$ 、...、 $d_0$ 、 $d_D$  的第一輸出端連接至參考電壓  $V_{REF}$ ，開關  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$ 、 $d_6$ 、 $d_5$ 、...、 $d_0$ 、 $d_D$  的第二輸出端連接至參考電壓  $V_{SS}$ (例如為接地電壓或是一般工作電壓)。控制器 50 所輸出的控制訊號控制上述開關，使上述開關的輸入端選擇性連接第一輸出端或是第二輸出端。

舉例而言，當控制訊號為"0"時，開關的輸入端連接至開關的第二輸出端(參考電壓  $V_{SS}$ )，而當控制訊號為"1"時，開關的輸入端連接至開關的第一輸出端(參考電壓  $V_{REF}$ )。然而，上述之實施例僅為一種控制方式，本發明並不以此為限。開關  $d_A$  亦具有輸入端、第一輸出端與第二輸出端。開關  $d_A$  的輸入端連接至主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)與子電容陣列 24 中之衰減電容  $C_{cal}$  的第一端(圖中繪示的端點 24a)，開關  $d_A$  的第一輸出端連接至參考電壓  $V_{REF}$ ，開關  $d_A$  的第二輸出端則是浮接(floating)。

控制器 50 耦接比較器 40 的輸出端，且控制器 50 可送出控制訊號，以控制開關組 30 中各個開關的動作。控制器 50 所執行的控制步驟詳述如下。

在『第 2A 圖』中，控制器 50 傳送{1000000}至開關 dD、d7、d8、...、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{1}至開關 dA。

此時，因為開關 dA 的輸入端會連接第一輸出端(參考電壓  $V_{REF}$ )，因此主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)及子電容陣列 24 中之衰減電容  $C_{cal}$  的第一端(圖中繪示的端點 24a)會連接至參考電壓  $V_{REF}$ 。

開關 dD 的輸入端會連接第一輸出端(參考電壓  $V_{REF}$ )，因此輔助電容  $C_D$  的兩端都會連接至參考電壓  $V_{REF}$ 。其他的電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$ 、 $C_6$ 、...、 $C_0$  所對應的開關 d12、d11、d10、...、d7、d6、...、d0 則是連接至參考電壓  $V_{SS}$ 。

在此實施例中，待測電容係為輔助電容  $C_D$ 。也就是說，在此步驟中，係以參考電壓  $V_{REF}$  對於待測電容  $C_D$  以外的所有電容包含  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  及子電容陣列 24 中的所有電容  $C_6$ 、 $C_5$ 、...、 $C_0$  與衰減電容  $C_{cal}$  充電。

接著，請參照『第 2B 圖』。在『第 2B 圖』中，控制器 50 傳送{0000000}至開關 dD、d7、d8、...、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。

因為開關 dA 的輸入端會連接至第二輸出端(浮接)，因此主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)與參考電壓  $V_{REF}$  之間為開路。此時，前一步驟所得之充電電荷會重新分配至主電容陣列 22、子電容陣列 24



與輔助電容  $C_D$ 。

接著，請參照『第 2C 圖』。在『第 2C 圖』中，控制器 50 傳送 {0000000} 至開關  $dD$ 、 $d7$ 、 $d8$ 、...、 $d11$ 、 $d12$ ，並且依序傳送多組的位元循環碼至開關  $d0$ 、 $d1$ 、...、 $d5$ 、 $d6$ ，並且傳送 {0} 至開關  $dA$ 。

此時，控制器 50 會根據比較器 40 之輸出端的輸出  $D$ ，以二元搜尋法決定位元循環碼來控制誤差，以使主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)上的輸出電壓  $V_{DAC}$  能逐次地逼近參考電壓  $V_{REF}$ 。

舉例而言，控制器 50 會先傳送 {0000001} 至開關  $d0$ 、 $d1$ 、...、 $d5$ 、 $d6$ 。若是參考電壓  $V_{REF}$  大於輸出電壓  $V_{DAC}$ ，則將開關  $d6$  所對應的位元循環訊號設定為"1"。若是參考電壓  $V_{REF}$  小於輸出電壓  $V_{DAC}$ ，則將開關  $d6$  所對應的位元循環訊號設定為"0"。在此實施例中，假設開關  $d6$  所對應的位元循環訊號被設定為"0"。接著，控制器 50 會傳送 {0000010} 至開關  $d0$ 、 $d1$ 、...、 $d5$ 、 $d6$ 。同樣地，若是參考電壓  $V_{REF}$  大於輸出電壓  $V_{DAC}$ ，則將開關  $d5$  所對應的位元循環訊號設定為"1"。若是參考電壓  $V_{REF}$  小於輸出電壓  $V_{DAC}$ ，則將開關  $d5$  所對應的位元循環訊號設定為"0"。如此逐次設定位元循環訊號中的每一個位元，即可得到對應電容之電容權重值的數位估測值。

上述步驟的原理係說明如下。

在預先充電的步驟中(『第 2A 圖』)，主電容陣列 22 之電容 5

$C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)的電荷數為  $Q_T = (c_{Mtotal} - c_{Mprc}) \times V_{REF} + c_{cal} \times (V_{REF} - V_S)$ 。其中， $V_S$  為此時子電容陣列 24 內之電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的第一端(圖中繪示的端點 24b)上的電壓， $c_{Mtotal} = c_{12} + c_{11} + c_{10} + \dots + c_7 + c_D$ ，且  $c_{Mprc}$  代表預先充電的步驟中連接至參考電壓  $V_{REF}$  的電容(對應開關的控制訊號為"1")的電容值總合。

例如在『第 2A 圖』中， $c_{Mprc}$  係為  $c_D$ 。而子電容陣列 24 之電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的第二端(圖中繪示的端點 24b)上的電荷數為  $Q_{cal} = c_{cal} \times (V_S - V_{REF}) + c_{Stotal} \times V_S$ 。 $c_{Stotal}$  係為子電容陣列之電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的電容值總合，也就是說  $c_{Stotal} = c_0 + c_1 + \dots + c_6$ 。

輔助電容  $C_D$  之電容權重值的數位估測的第二步驟為電荷重新分佈如『第 2B 圖』所示，經過電荷重新分佈後，主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)的電荷數為：

$$Q_T = (c_{Mtotal} - c_{Mset}) \times V_{dac} + c_{Mset} \times (V_{dac} - V_{REF}) + c_{cal} \times (V_{dac} - V_{cal})$$

其中， $V_{cal}$  為此時子電容陣列 24 之電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的第一端(圖中繪示的端點 24b)上的電壓，且  $c_{Mset}$  代表在此電荷重新分佈步驟內之主電容陣列 22 連接至參考電壓  $V_{REF}$  的電容(對應開關的控制訊號為"1")的電容值總合。在『第 2B 圖』中， $c_{Mset}$  係為 0。

而在『第 2C 圖』中，經過逐次逼近後，主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)的電荷數保持不變。而子電容陣列 24 之電容  $C_6$ 、 $C_5$ 、...、

$C_0$  的第一端 (圖中繪示的端點 24b) 上的電荷數為  $Q_{cal} = c_{cal} \times (V_{cal} - V_{dac}) + (c_{Stotal} - c_{cyc}) \times V_{cal} + c_{cyc} \times (V_{cal} - V_{REF})$ 。  $c_{cyc}$  代表子電容陣列 24 中連接至參考電壓  $V_{REF}$  的電容 (對應開關的控制訊號為 "1") 的電容值總合。根據電荷不滅定律，可以得到以下兩個方程式：

$$\begin{aligned} Q_T &= (c_{Mtotal} - c_{Mprc}) \times V_{REF} + c_{cal} \times (V_{REF} - V_S) \\ &= (c_{Mtotal} - c_{Mset}) \times V_{dac} + c_{Mset} \times (V_{dac} - V_{REF}) + c_{cal} \times (V_{dac} - V_{cal}) \end{aligned} \quad (1)$$

$$\begin{aligned} Q_{cal} &= c_{cal} \times (V_S - V_{REF}) + c_{Stotal} \times V_S \\ &= c_{cal} \times (V_{cal} - V_{dac}) + (c_{Stotal} - c_{cyc}) \times V_{cal} + c_{cyc} \times (V_{cal} - V_{REF}) \end{aligned} \quad (2)$$

將上述兩式整理後可以得到：

$$\begin{aligned} &(c_{Mtotal} - c_{Mprc}) \times V_{REF} + c_{Stotal} \times V_S \\ &= (c_{Mtotal} - c_{Mset}) \times V_{dac} + c_{Mset} \times (V_{dac} - V_{REF}) + c_{Stotal} \times V_{cal} - c_{cyc} \times V_{REF} \end{aligned} \quad (3)$$

再進一步化簡後，並且將假設  $V_{REF} = V_{dac}$  則可以得到：

$$\begin{aligned} &(c_{Mset} - c_{Mprc}) \times V_{REF} + c_{cyc} \times V_{REF} \\ &= c_{Stotal} \times (V_{cal} - V_S) \end{aligned} \quad (4)$$

另一方面，將第(1)式化簡後可得：

$$V_S - V_{cal} = (c_{Mset} - c_{Mprc}) \times V_{REF} / c_{cal} \quad (5)$$

並且將第(5)式代入第(4)式，則可以得到

$$\begin{aligned} c_{Mprc} - c_{Mset} &= \frac{c_{cal}}{(c_{cal} + c_{Stotal})} c_{cyc} \\ &= \frac{c_{cal}}{(c_{cal} + c_{Stotal})} dc_x \times c_0 \\ &= W_{sub} \times dc_x \times c_0 \end{aligned} \quad (6)$$

其中， $W_{sub} \equiv \frac{c_{cal}}{(c_{cal} + c_{Stotal})}$  定義為子電容陣列的權重， $dc_x$  為對應各第一電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  之電容權重值的數位估測值，此例中每一  $dc_x$  之值都介於 0 至 127 之間。

將『第 2A 圖』至『第 2C 圖』的條件( $c_{Mprc} = c_D$ 、 $c_{Mset} = 0$ 、 $c_{Stotal} = 127c_0$ 、 $c_{cyc} = c_1 + c_3 + c_5$ ) 帶入第(6)式，即可以得到：

$$\begin{aligned} c_D &= \frac{1}{128} \times c_{cyc} = \frac{1}{128} \times (c_1 + c_3 + c_5) \\ &= \frac{1}{128} (1 + 4 + 16) \times c_0 = W_{sub} \times dc_D \times c_0 \end{aligned} \quad (7)$$

此處定義  $dc_D$  為輔助電容  $C_D$  之電容權重值的數位估測值， $dc_D$  即為位元循環(bit-cycling)最終所得之數位碼，據此，由第(7)式即可估計出輔助電容  $C_D$  之電容權重值的數位估測值。

若是要計算實際電容值  $c_D$  與理論電容值  $\overline{c_D}$  之間的誤差  $\Delta c_D$ ，可將第(7)式代入誤差表示式可得：

$$dc_D W_{sub} c_0 = \overline{c_D} + \Delta c_D \quad (8)$$

特別要注意的是，以上所述僅為示意性的實施例，電容的數目與二元搜尋法所用的位元循環訊號皆僅為示意用，並不為本發明之限制。

在得到輔助電容  $C_D$  之電容權重值的數位估測值之後，可再接著針對電容  $C_7$  進行電容權重值的數位估測。

請參照『第 3A 圖』至『第 3C 圖』，『第 3A 圖』至『第 3C 圖』係為電容  $C_7$  之電容權重值的數位估測方式示意圖。

在『第 3A 圖』中，控制器 50 傳送 {0100000} 至開關 dD、d7、

d8、...、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{1}至開關 dA。此時，因為開關 dA 的輸入端會連接第一輸出端(參考電壓  $V_{REF}$ )，因此主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)與子電容陣列 24 中之衰減電容  $C_{cal}$  的第一端(圖中繪示的端點 24a)會連接至參考電壓  $V_{REF}$ 。

開關 d7 的輸入端會連接第一輸出端(參考電壓  $V_{REF}$ )，因此電容  $C_7$  的兩端都會連接至參考電壓  $V_{REF}$ 。其他的電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、 $C_9$ 、 $C_8$ 、 $C_6$ 、...、 $C_0$  與輔助電容  $C_D$  所對應的開關 d12、d11、d10、...、d6、...、d0、dD 則是連接至參考電壓  $V_{SS}$ 。也就是說， $c_{Mprc}$  係為  $c_7$ 。

在此實施例中，待測電容係為電容  $C_7$ 。也就是說，在此步驟中，係以參考電壓  $V_{REF}$  只對待測電容  $C_7$  充電。此時， $c_{Mprc}$  係為  $c_7$ 。

接著，請參照『第 3B 圖』。在『第 3B 圖』中，控制器 50 傳送{1000000}至開關 dD、d7、d8、...、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。此時， $c_{Mset}$  係為  $c_D$ 。

因為開關 dA 的輸入端會連接至第二輸出端(浮接)，因此主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)與參考電壓  $V_{REF}$  之間為開路。此時，前一步驟所得之充電電荷會重新分配至主電容陣列 22、子電容陣列 24 與輔助電容  $C_D$ 。

接著，請參照『第 3C 圖』。在『第 3C 圖』中，控制器 50 傳

送{10000000}至開關  $dD$ 、 $d7$ 、 $d8$ 、...、 $d11$ 、 $d12$ ，依序傳送多組的位元循環碼至開關  $d0$ 、 $d1$ 、...、 $d5$ 、 $d6$ ，並且傳送{0}至開關  $dA$ 。

此時，控制器 50 會根據比較器 40 之輸出端的輸出  $D$ ，以二元搜尋法決定位元循環碼來控制誤差，以使主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)上的輸出電壓  $V_{DAC}$  逐次地逼近參考電壓  $V_{REF}$ 。

令此步驟最終所得的位元循環碼為  $dc_7$ ，將  $c_{Mprc}$  與  $c_{Mset}$  代入第(6)式可得：

$$c_7 - c_D = \frac{1}{128} \times c_{cvc} = dc_7 \times W_{sub} \times c_0 \quad (9)$$

藉由上述步驟，即可以得到電容  $C_7$  之電容權重值的數位估測值為：

$$c_7 = (dc_7 + dc_D) \times W_{sub} \times c_0 \quad (10)$$

若是要計算實際電容值  $c_7$  與理論電容值  $\overline{c_7}$  之間的誤差  $\Delta c_7$ ，可利用(10)式而得：

$$\begin{aligned} c_7 &= \overline{c_7} + \Delta c_7 = (dc_7 + dc_D) \times W_{sub} \times c_0 \\ \Delta c_7 &= (dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_7} \end{aligned} \quad (11)$$

在對於電容  $C_7$  進行完電容權重值的數位估測後，可在以相同方式針對電容  $C_8$ 、電容  $C_9$ 、電容  $C_{10}$ 、電容  $C_{11}$ 、電容  $C_{12}$  進行電容權重值的數位估測。

更詳細地說，對電容  $C_8$  進行完電容權重值的數位估測時，係

在預先充電步驟中，控制器 50 傳送{0010000}至開關 dD、d7、d8、...、d10、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{1}至開關 dA。此時， $c_{Mprc}$  係為  $c_8$ 。在電荷重新分配步驟中，控制器 50 傳送{1100000}至開關 dD、d7、d8、...、d10、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。此時， $c_{Mset}$  係為  $c_7 + c_D$ 。在逐次逼近步驟中，控制器 50 傳送{1100000}至開關 dD、d7、d8、...、d11、d12，依序傳送多組的位元循環碼至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。

藉由上述步驟，即可以得到電容  $C_8$  之電容權重值的數位估測值的關係式：

$$c_8 - (c_7 + c_D) = \frac{1}{128} \times c_{cvc} = dc_8 \times W_{sub} \times c_0 \quad (12)$$

其中， $dc_8$  為此步驟之最終位元循環碼。

若是要計算實際電容值  $c_8$ ，可將第(12)式代入誤差表示式而得：

$$\begin{aligned} c_8 &= \overline{c_8} + \Delta c_8 \\ &= (dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 \end{aligned} \quad (13)$$

對電容  $C_9$  進行電容權重值的數位估測時，係在預先充電步驟中，控制器 50 傳送{0001000}至開關 dD、d7、d8、d9、d10、d11、d12，傳送{0000000}至開關 d0、d1、...、d5、d6，並且傳送{1}至開關 dA。此時， $c_{Mprc}$  係為  $c_9$ 。在電荷重新分配步驟中，控制器 50 傳送{1110000}至開關 dD、d7、d8、d9、d10、d11、d12，傳送

{0000000}至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。此時， $c_{Mset}$  係為  $c_8 + c_7 + c_D$ 。在逐次逼近步驟中，控制器 50 傳送 {1110000}至開關 dD、d7、d8、d9、d10、d11、d12，依序傳送多組的位元循環碼至開關 d0、d1、...、d5、d6，並且傳送{0}至開關 dA。

藉由上述步驟，即可以得到電容  $C_9$  之電容權重值的數位估測值。令  $dc_9$  為此步驟之最終位元循環碼，可得：

$$c_9 = (dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 \quad (14)$$

依照相同方法，即可得到  $c_{10}$ 、 $c_{11}$ 、 $c_{12}$  分別為：

$$\begin{aligned} c_{10} &= (dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 \\ c_{11} &= (dc_{11} + dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 \\ c_{12} &= (dc_{12} + dc_{11} + dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 \end{aligned} \quad (15)$$

在進行完所有第一電容之電容權重值的數位估測之後，即可計算出：

$$\begin{aligned} \Delta c_D &= dc_D \times W_{sub} \times c_0 - \overline{c_D} \\ \Delta c_7 &= (dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_7} \\ \Delta c_8 &= (dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_8} \\ \Delta c_9 &= (dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_9} \\ \Delta c_{10} &= (dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_{10}} \\ \Delta c_{11} &= (dc_{11} + dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_{11}} \\ \Delta c_{12} &= (dc_{12} + dc_{11} + dc_{10} + dc_9 + dc_8 + dc_7 + dc_D) \times W_{sub} \times c_0 - \overline{c_{12}} \end{aligned} \quad (16)$$

據此，即可得到誤差  $\Delta c_D$ 、 $\Delta c_7$ 、 $\Delta c_8$ 、...、 $\Delta c_{11}$ 、 $\Delta c_{12}$ 。計算



所得的誤差，可用於校正逐次漸近類比數位轉換器。逐次漸近類比數位轉換器可參照『第 4 圖』。

『第 4 圖』的電路架構與前述的誤差估測的電路架構相同。也就是說，類比數位轉換與誤差估計可共用完全相同的電路。在『第 4 圖』中，待轉換的類比訊號係輸入至比較器 40 的第一輸入端(正輸入端)，比較器 40 的第二輸入端(負輸入端)則是連接至主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  及輔助電容  $C_D$  的第一端(圖中繪示的端點 22a)與子電容陣列 24 之衰減電容  $C_{cal}$  的第一端(圖中繪示的端點 24a)。

控制器 50 可產生控制訊號控制連接至主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的開關，根據二元搜尋演算法，依序產生以下的多個數位電壓  $\frac{1}{2}V_{REF}$ 、 $d_{12}\frac{1}{2}V_{REF} + \frac{1}{2^2}V_{REF}$ 、 $d_{12}\frac{1}{2}V_{REF} + d_{11}\frac{1}{2^2}V_{REF} + \frac{1}{2^3}V_{REF}$ 、...、 $d_{12}\frac{1}{2}V_{REF} + d_{11}\frac{1}{2^2}V_{REF} + \dots + \frac{1}{2^7}V_{REF}$  等，其中  $d_{12}$ 、 $d_{11}$ 、 $d_{10}$ 、...、 $d_7$  為比較器依序相對應的一位元輸出，並且將此數位電壓與類比訊號而產生數位訊號，也就是類比數位轉換的結果。

因為主電容陣列 22 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  之電容權重值的誤差會使二元搜尋演算法所需要的數位電壓有所偏差，因此可利用計算出來的誤差  $\Delta c_{12}$ 、 $\Delta c_{11}$ 、...、 $\Delta c_8$ 、 $\Delta c_7$  控制子電容陣列 24 的該等開關進行補償，以產生精準的類比電壓來提高類比數

位轉換的準確率。

本發明亦可以使用所得之數位權重資訊以數位方法對該逐次漸近類比數位轉換器的數位輸出進行校正。該逐次漸近類比數位轉換器的輸出與輸入關係可表示為：

$$\begin{aligned} \frac{V_{in}}{V_{REF}} &= \left( d_{12} \frac{c_{12}}{C_T} + d_{11} \frac{c_{11}}{C_T} + \dots + d_2 \frac{c_2}{C_T} + d_1 \frac{c_1}{C_T} \right) + q_e \\ &= \left( d_{12} 2^{-1} + d_{11} 2^{-2} + \dots + d_2 2^{-11} + d_1 2^{-12} \right) \\ &\quad + \left( d_{12} \frac{\Delta c_{12}}{C_T} + d_{11} \frac{\Delta c_{11}}{C_T} + \dots + d_7 \frac{\Delta c_7}{C_T} \right) + q_e \end{aligned} \quad (17)$$

其中  $q_e$  代表類比數位轉換所產生的量化誤差， $C_T$  代表該比較器之第二輸入端之等效總電容值。由(16)式可獲得所有第一電容的權重誤差數位代表碼，因此由(17)式可知只需將因權重誤差所導致的誤差項以數位方法移除即可得到正確的數位輸出結果。

在本實施例中，電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的電容值的權重名義上為  $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : <1$ ，而電容  $C_6$ 、 $C_5$ 、...、 $C_0$ 、 $C_{cal}$  的電容值的權重為  $2^6 : 2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : 1$ 。

本發明的逐次漸近類比數位轉換器不限於前述的實施態樣。請參照『第 5 圖』，係為另一逐次漸近類比數位轉換器的示意圖。本實施例之逐次漸近類比數位轉換器 100 基本上與前一實施例之逐次漸近類比數位轉換器 10 相似，主要差異在於逐次漸近類比數位轉換器 100 省略了衰減電容  $C_{cal}$ ，亦即圖中繪示的端點 24a 與 24b 直接連接。但是，逐次漸近類比數位轉換器 100 的運作方式仍可參照『第 2A 圖』~『第 4 圖』的實施方式，以進行電容權重的

誤差估測，故在此不再贅述。

在本實施例中，電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的權重接續於電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  的權重的最小者，例如電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的權重接續於電容  $C_7$  的權重。舉例來說，電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$  的電容值的名義上的權重為  $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 1 : <1$ ，而電容  $C_6$ 、 $C_5$ 、...、 $C_0$  的電容值的權重為  $2^{-1} : 2^{-2} : 2^{-3} : 2^{-4} : 2^{-5} : 2^{-6} : 2^{-7}$ 。

請參照『第 6 圖』，係為又一逐次漸近類比數位轉換器的示意圖。本實施例之逐次漸近類比數位轉換器 200 基本上與前一實施例之逐次漸近類比數位轉換器 10、100 相似，主要差異在於逐次漸近類比數位轉換器 200 更包括電容組 21。此電容組 21 具有主電容陣列 23 與子電容陣列 25，且主電容陣列 23 亦具有電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  與輔助電容  $C_D$ ，子電容陣列 25 亦具有電容  $C_6$ 、 $C_5$ 、...、 $C_0$ 。其中，電容組 21 的組成與電容組 20 的組成相同，其可照『第 6 圖』所示，故在此不再贅述。

並且，電容組 20 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  的第一端連接至比較器 40 的第二輸入端(負輸入端)，電容組 21 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  的第一端連接至比較器 40 的第一輸入端(正輸入端)，以使逐次漸近類比數位轉換器 200 為一全差動(fully-differential)設計，而比較器 40 之輸出端的輸出作為位元循環訊號的操作亦為全差動式。

進一步來說，電容組 20 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  及輔

助電容  $C_D$  與對應之電容組 21 之電容  $C_{12}$ 、 $C_{11}$ 、 $C_{10}$ 、...、 $C_7$  及輔助電容  $C_D$  分別以一對一的方式組成一差動電容對。舉例來說，電容組 20 之電容  $C_{12}$  與電容組 21 之電容  $C_{12}$  組成差動電容對，電容組 20 之電容  $C_{11}$  與電容組 21 之電容  $C_{11}$  組成差動電容對，其餘則類推。

並且，電容組 20 之電容  $C_6$ 、 $C_5$ 、 $C_4$ 、...、 $C_0$  與對應之電容組 21 之電容  $C_6$ 、 $C_5$ 、 $C_4$ 、...、 $C_0$  分別以一對一的方式組成一差動電容對。舉例來說，電容組 20 之電容  $C_6$  與電容組 21 之電容  $C_6$  組成差動電容對，電容組 20 之電容  $C_5$  與電容組 21 之電容  $C_5$  組成差動電容對，其餘則類推。另外，本實施例之預充電將使比較器 40 之兩輸入端的電壓經位元循環後，會收斂至  $V_{REF}/2$ 。

如此一來，本實施例之逐次漸近類比數位轉換器 200 進行取得各電容所對應之電容權重值的數位估測值時，將以全差動式操作方式來估測電容組 20 與電容組 21 內對應之每一差動電容對的權重。另外，逐次漸近類比數位轉換器 200 亦可加上如『第 2A 圖』所示之衰減電容  $C_{cal}$ ，而逐次漸近類比數位轉換器 200 的運作方式仍可參照『第 2A 圖』~『第 5 圖』的實施方式，以進行電容權重的誤差估測，故在此不再贅述。

綜合以上所述，本發明所揭露之估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法與其逐次漸進類比數位轉換器，可估測電容的電容權重值與誤差值，並且亦可在相同架構進行逐次漸近類比數位轉換與校正。此外，電容的誤差值亦

可直接以數位方式儲存後，再用來校正類比數位轉換結果，不需經由額外的數位類比轉換器進行轉換，以減少額外數位類比轉換所發生的誤差。因此，使用本發明的逐次漸近類比數位轉換器可以較習知技術簡單的硬體架構而得到高精準度的類比數位轉換結果。

雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

#### 【圖式簡單說明】

『第 1 圖』係為估測逐次漸近類比數位轉換器中數位類比轉換器內電容權重誤差之方法的流程圖。

『第 2A 圖』至『第 2C 圖』係為輔助電容  $C_D$  的電容權重值的數位估測方式示意圖。

『第 3A 圖』至『第 3C 圖』係為電容  $C_7$  的電容權重值的數位估測方式示意圖。

『第 4 圖』係為逐次漸近類比數位轉換器校正運作示意圖。

『第 5 圖』係為另一逐次漸近類比數位轉換器的示意圖。

『第 6 圖』係為又一逐次漸近類比數位轉換器的示意圖。

#### 【主要元件符號說明】

10、100、200 逐次漸近類比數位轉換器

20、21 電容組

22、23	主電容陣列
22a、22b、24a、24b、24c	端點
24、25	子電容陣列
30	開關組
40	比較器
50	控制器
$C_0 \sim C_{12}$	電容
$C_D$	輔助電容
$C_{cal}$	衰減電容
d0、d1~d12、dD	、dA 開關
$V_{REF}$ 、 $V_{SS}$	參考電壓
$V_{DAC}$	輸出電壓
D	輸出端的輸出

## 七、申請專利範圍：

1. 一種估測逐次漸近類比數位轉換器中電容權重誤差之方法，該逐次漸進類比數位轉換器包括一比較器、一電容組與一開關組，且該電容組包括一主電容陣列與一子電容陣列，該主電容陣列包括多個第一電容與一輔助電容，該子電容陣列包含一個由多個第二電容所構成之低權重電容陣列，該方法包括：

(A)以一第一參考電壓對於該主電容陣列中之至少一電容進行預先充電；

(B)以被充電的該至少一電容，重新分配電荷至該主電容陣列的所有該些第一電容、該輔助電容以及該子電容陣列的所有該些第二電容；以及

(C)以該比較器之一輸出端的輸出作為位元循環訊號以控制該子電容陣列的該些第二電容，逐次使該主電容陣列之該些第一電容與該輔助電容的一電壓逼近於該第一參考電壓，以取得一電容權重值的數位估測值，並依據所得之該電容權重值的數位估測值計算出對應之該些第一電容與該輔助電容之一的一電容權重誤差估計值；

其中在步驟(C)中之該電容權重值的數位估測值  $dc_x$  由以下方程式表示：

$$C_{Mprc} - C_{Mset} = \frac{C_{cal}}{(C_{cal} + C_{Stotal})} C_{cyc} = \frac{C_{cal}}{(C_{cal} + C_{Stotal})} dc_x c_0 = W_{sub} \times dc_x \times c_0$$

其中  $C_{Mprc}$  代表該步驟(A)中連接至該第一參考電壓之該主電容陣列

中的電容值總合， $c_{Mprc}$  代表該步驟(B)中連接至該第一參考電壓之該主電容陣列中的電容值總合， $c_{cal}$  代表一衰減電容的電容值， $c_{Stotal}$  係為該子電容陣列中之該些第二電容的電容值總合， $c_{cyc}$  代表該子電容陣列中經由該開關組連接至該第一參考電壓的該些第二電容的電容值總合， $c_0$  代表該子電容陣列中之最小電容值， $W_{sub}$  代表該些子電容陣列的權重。

2. 如請求項第 1 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，更包括：

(D)判斷是否計算出該主電容陣列中之所有該些第一電容與該輔助電容的該些電容權重誤差估計值；以及

若判斷未計算出該主電容陣列中之所有該些第一電容與該輔助電容的該些電容權重誤差估計值，則回到步驟(A)，並重複執行步驟(A)、(B)、(C)，直到計算出該主電容陣列中之所有該些第一電容與該輔助電容的該些電容權重誤差估計值為止。

3. 如請求項 1 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，其中該主電容陣列中之該些第一電容與該輔助電容的第一端連接至該子電容陣列之該些第二電容的第一端，該些第一電容的第一端接至該比較器的輸入第一端，該比較器的第二輸入端連接至該第一參考電壓，該開關組耦合至所有該些第一電容與該些第二電容的第二端，以控制其連接到該第一參考電壓或一第二參考電壓，該些第二電容的權重接續於該些第一電容之權重的最



小者成 2 的冪次方關係。

4. 如請求項 1 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，其中該子電容陣列之該些第二電容更包含串接由該些第二電容所構成之低權重電容陣列的該衰減電容，該衰減電容的第一端連接至該主電容陣列之該些第一電容與該輔助電容的第一端，該衰減電容的第二端連接至該些第二電容的第一端，該些第一電容、該輔助電容與該衰減電容的第一端連接至該比較器的第一輸入端，該比較器的第二輸入端連接至該第一參考電壓，該開關組耦合至除該衰減電容之外所有該些第一電容、該些第二電容與該輔助電容的第二端，以控制其連接到該第一參考電壓或一第二參考電壓，其中該衰減電容的權重為一，該些第一電容及該輔助電容的電容值與該些第二電容的電容值相等，該些第二電容之間的權重成 2 的冪次方關係，該輔助電容之電容值小於該子電容陣列之等效電容值。
5. 如請求項 4 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，其中在步驟(A)中包括：連接該主電容陣列之該些第一電容及該輔助電容的第一端至該第一參考電壓，傳送一控制訊號至該開關組，使該些第一電容與該輔助電容其中之一作為一待測電容而經由該開關組連接至該第一參考電壓，並使該主電容陣列中的該待測電容以外的部分電容經由該開關組連接至該第二參考電壓。
6. 如請求項 5 所述之估測逐次漸近類比數位轉換器中電容權重誤差

之方法，其中在步驟(B)中包括：將該主電容陣列之該些第一電容及該輔助電容的第一端與該第一參考電壓之間開路，使該待測電容經由該開關組連接至該第二參考電壓，並使該主電容陣列中的該待測電容以外的部分電容經由該開關組連接至該第一參考電壓。

7. 如請求項 1 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，其中該逐次漸進類比數位轉換器更包括與該電容組相同的另一電容組，該電容組與該另一電容組中的該些第一電容的第一端分別連接至該比較器的第一輸入端與第二輸入端，且以該比較器之一輸出端的輸出作為位元循環訊號的操作為一全差動式。
8. 如請求項 8 所述之估測逐次漸近類比數位轉換器中電容權重誤差之方法，進行取得該些電容權重值的數位估測值時，以全差動式操作方式來估測該電容組與該另一電容組內之每一差動電容對的權重，其中該些差動電容對由該電容組與該另一電容組內之對應的該些第一電容與該輔助電容以及該些第二電容組一對一組成。
9. 一種逐次漸近類比數位轉換器，包括：
  - 一比較器，該比較器具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端用以接收一第一參考電壓；
  - 一電容組，包括一主電容陣列與一子電容陣列，該主電容陣列具有多個第一電容與一輔助電容，令該些第一電容中最小的電容的權重為一，則該輔助電容的權重小於一，每一該些第一電容與該輔助電容分別具有一第一端與一第二端，該子電容陣列具有

多個第二電容，該些第二電容之間的權重成 2 的冪次方關係，每一該些第二電容具有一第一端與一第二端，每一該些第一電容的該第一端電性連接至該比較器的該第二輸入端，該輔助電容的該第一端電性連接該比較器的該第二輸入端，每一該些第二電容的該第一端電性連接至該比較器的該第二輸入端；

一開關組，該開關組具有多個開關，該多個開關以一對一方式連接與該主電容陣列中的每一該些第一電容和該輔助電容的該第二端與每一該些第二電容的該第二端連接，每一該些開關分別控制每一該些第一電容、每一該些第二電容與該輔助電容的該第二端連接至該第一參考電壓或是一第二參考電壓；以及

一控制器，用以控制該開關組，並執行以下步驟：

(A)以該第一參考電壓對於該主電容陣列中之該些第一電容的其中至少一電容進行預先充電；

(B)以被充電的該至少一電容，重新分配電荷至該主電容陣列以及該子電容陣列中之所有該些第一電容、該些第二電容與該輔助電容；以及

(C)以該比較器之該輸出端的輸出作為位元循環訊號以控制該子電容陣列的該些第二電容，逐次使該主電容陣列之該些第一電容的該些第一端的一電壓逼近於該第一參考電壓，以取得一電容權重值的數位估測值，並依據所得之該電容權重值的數位估測值，計算出對應之該些第一電容與該輔助電容之一的一電容權重誤差估計值；

其中在該控制器所執行的該步驟(C)中包括之電容權重值的數位估測值  $dc_x$  由以下方程式表示：

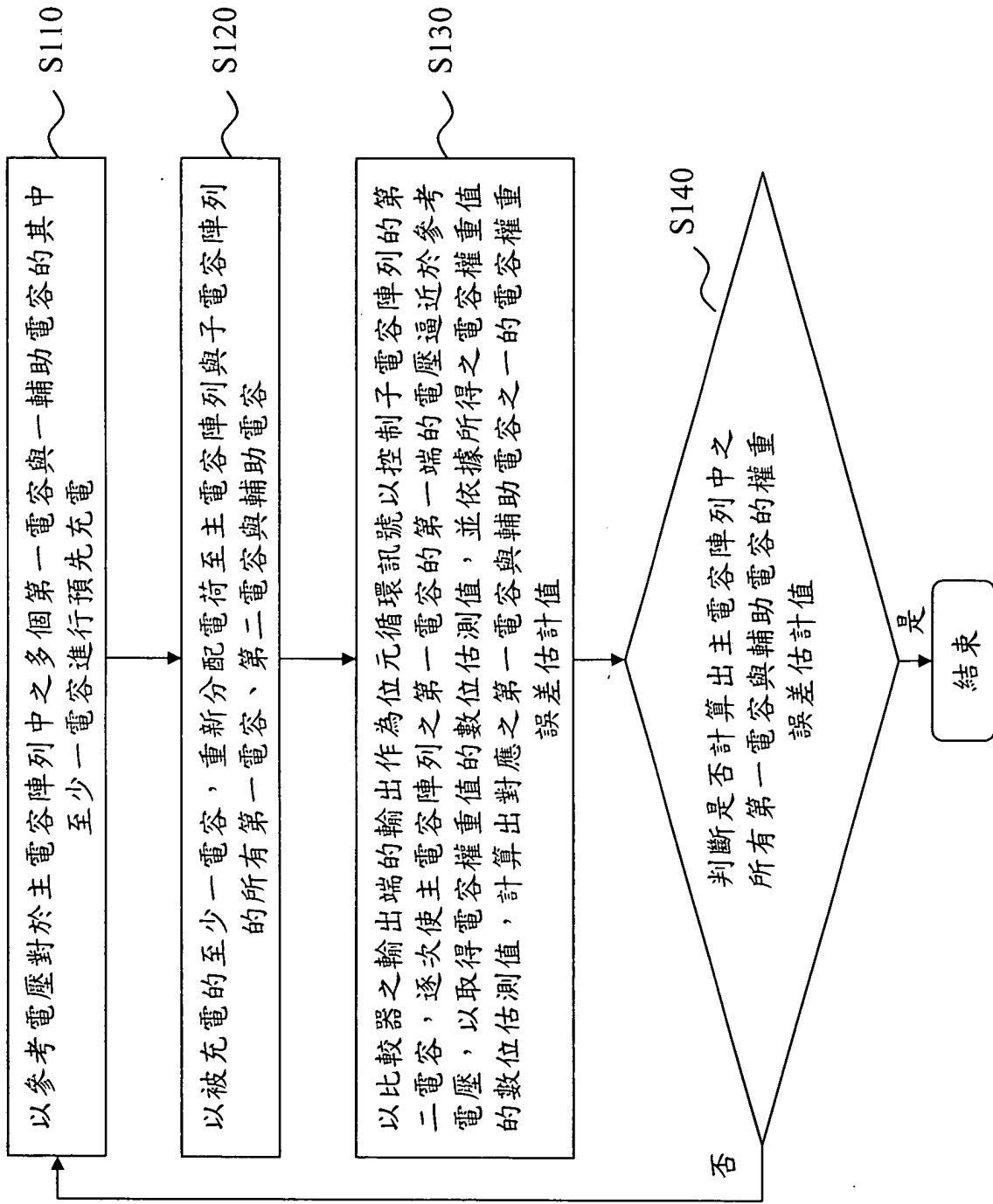
$$c_{Mprc} - c_{Mset} = \frac{c_{cal}}{(c_{cal} + c_{Stotal})} c_{cyc} = \frac{c_{cal}}{(c_{cal} + c_{Stotal})} dc_x c_0 = W_{sub} \times dc_x \times c_0$$

其中  $c_{Mprc}$  代表該步驟(A)中連接至該第一參考電壓之該主電容陣列中的電容值總合， $c_{Mset}$  代表該步驟(B)中連接至該第一參考電壓之該主電容陣列中的電容值總合， $c_{cal}$  代表一衰減電容的電容值， $c_{Stotal}$  係為該子電容陣列中之該些第二電容的電容值總合， $c_{cyc}$  代表該子電容陣列中經由該開關組連接至該第一參考電壓的該些第二電容的電容值總合， $c_0$  代表該子電容陣列中之最小電容值， $W_{sub}$  代表該些子電容陣列的權重。

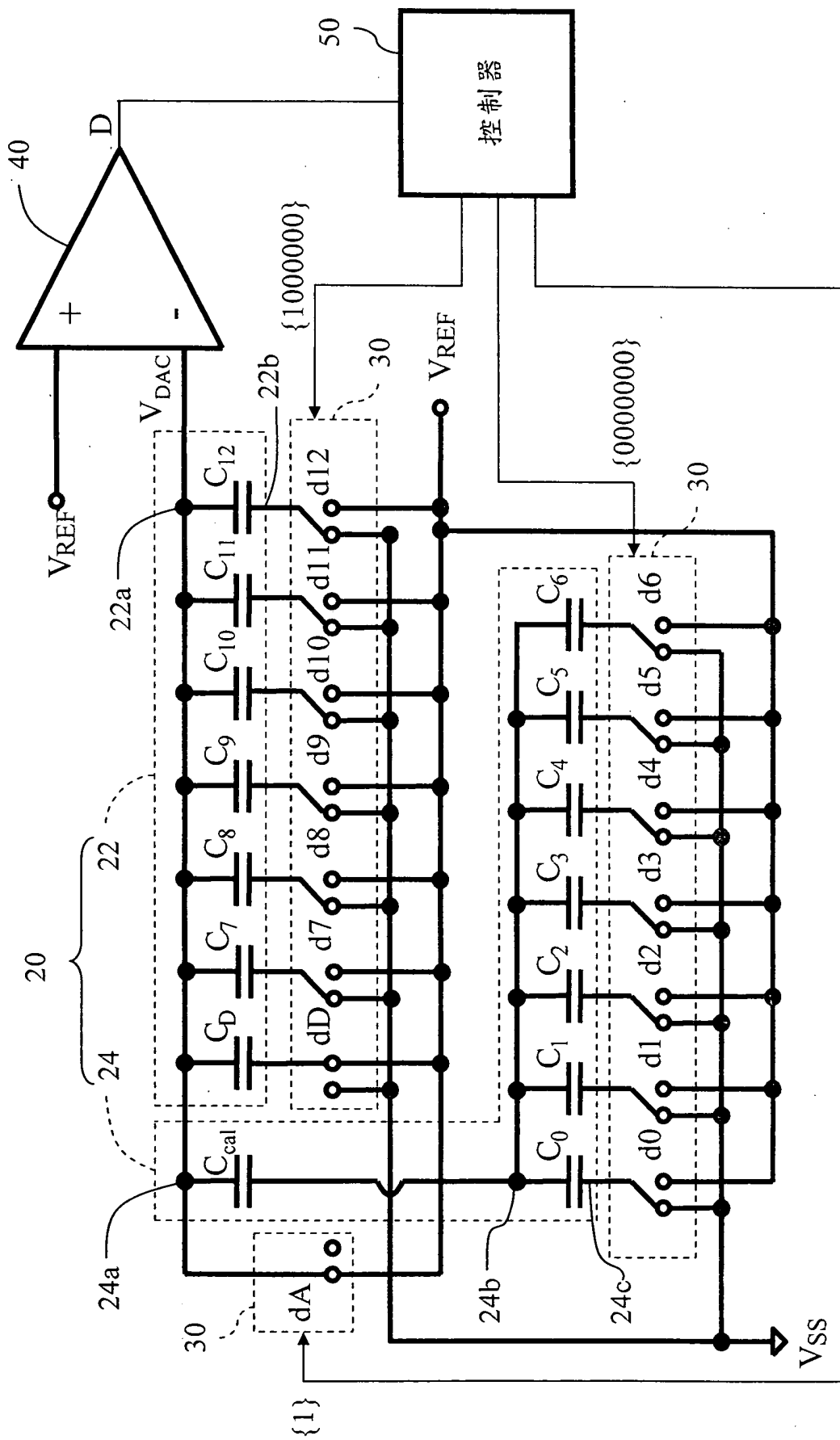
10. 如請求項 9 所述之逐次漸進類比數位轉換器，其中該控制器更執行一步驟：(D)重複施行步驟(A)、(B)、(C)，直到該控制器計算出該主電容陣列中之所有該些第一電容與該輔助電容的該些電容權重誤差估計值為止。
11. 如請求項 9 所述之逐次漸近類比數位轉換器，其中該些第一電容的權重之間為 2 的幕次方關係。
12. 如請求項 9 所述之逐次漸近類比數位轉換器，其中該些第二電容的權重接續於該些第一電容之權重的最小者。
13. 如請求項 9 所述之逐次漸近類比數位轉換器，其中該子電容陣列更包括該衰減電容，則該些第二電容經由該衰減電容電性連接至該比較器的該第二輸入端，該衰減電容具有一第一端與一第二

端，該衰減電容的該第一端電性連接於該比較器的該第二輸入端，該衰減電容的該第二端電性連接於每一該些第二電容的該第一端，且該衰減電容的權重為一。

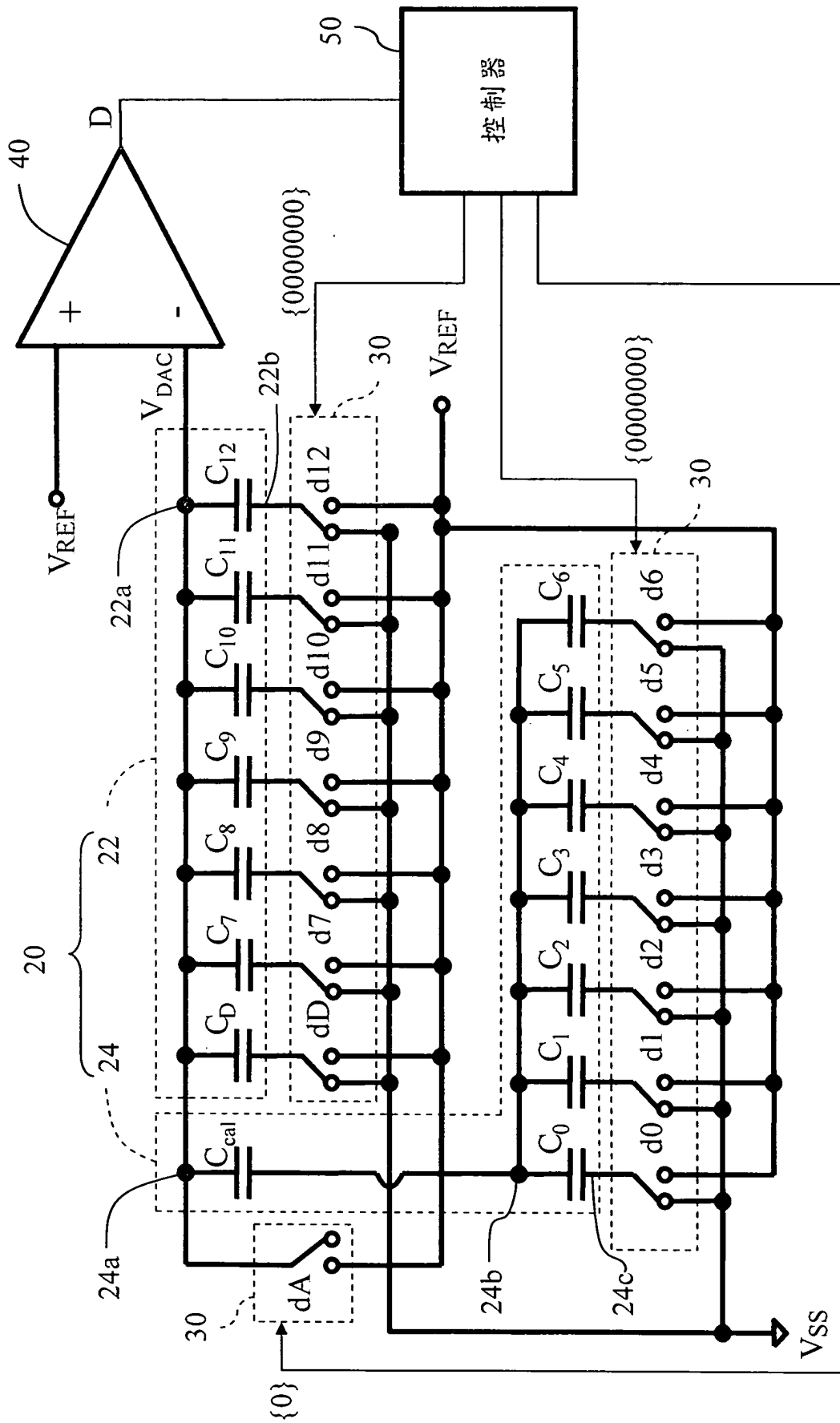
14. 如請求項 9 所述之逐次漸近類比數位轉換器，其中在該控制器所執行的該步驟(A)中包括：連接該主電容陣列之該些第一電容的該些第一端與該輔助電容的該第一端至該第一參考電壓，傳送一控制訊號至該開關組，使該些第一電容與該輔助電容其中之一作為一待測電容而經由該開關連接至該第一參考電壓，並使該主電容陣列中的該待測電容以外的部分電容經由該開關連接至該第二參考電壓。
15. 如請求項 14 所述之逐次漸近類比數位轉換器，其中在該控制器所執行的該步驟(B)中包括：將該主電容陣列之該些第一電容的該些第一端及該輔助電容的該第一端與該第一參考電壓之間開路，使該待測電容經由該開關連接至該第二參考電壓，並使該主電容陣列中的該待測電容以外的部分電容經由該開關組連接至該第一參考電壓。



第1圖

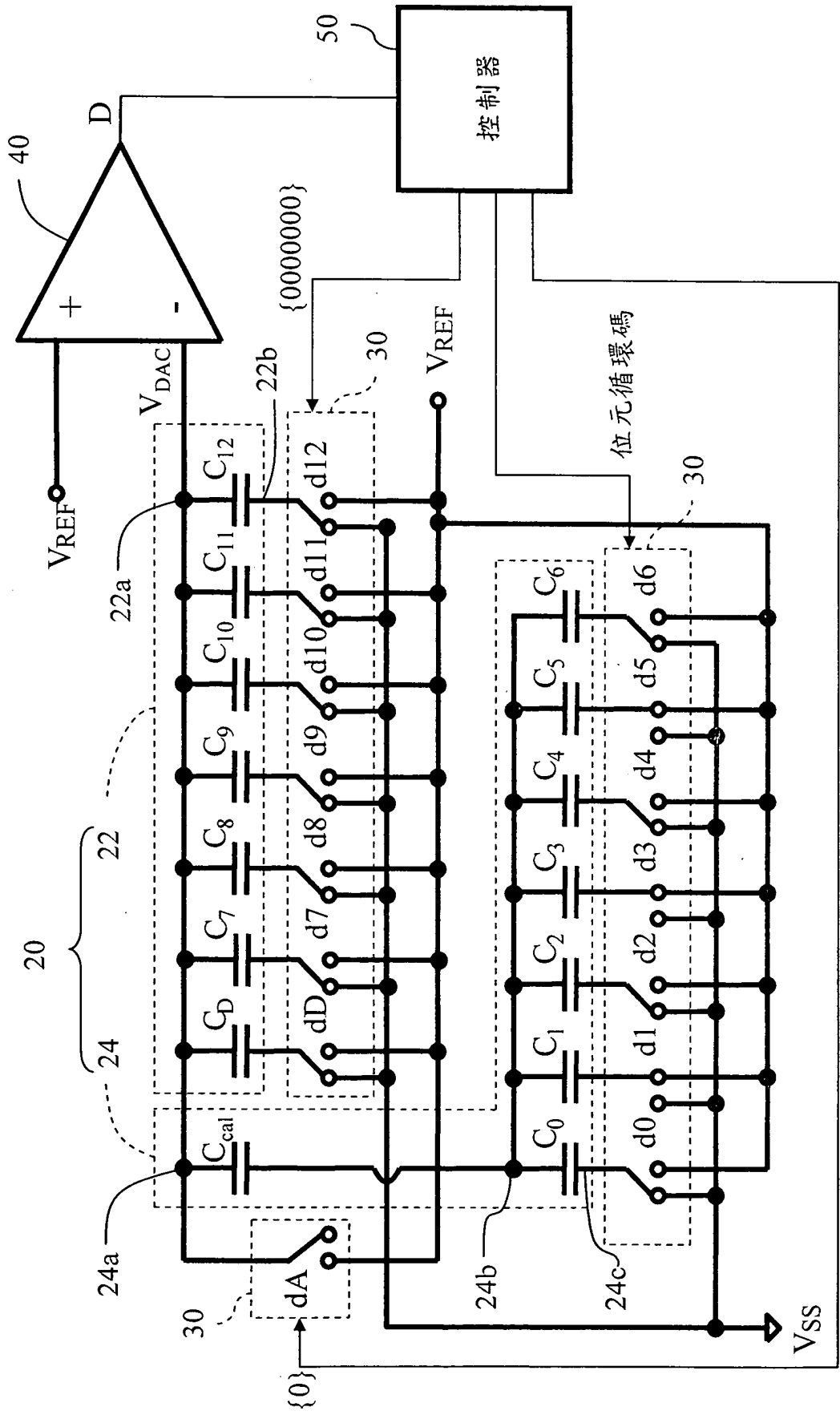


第2A圖

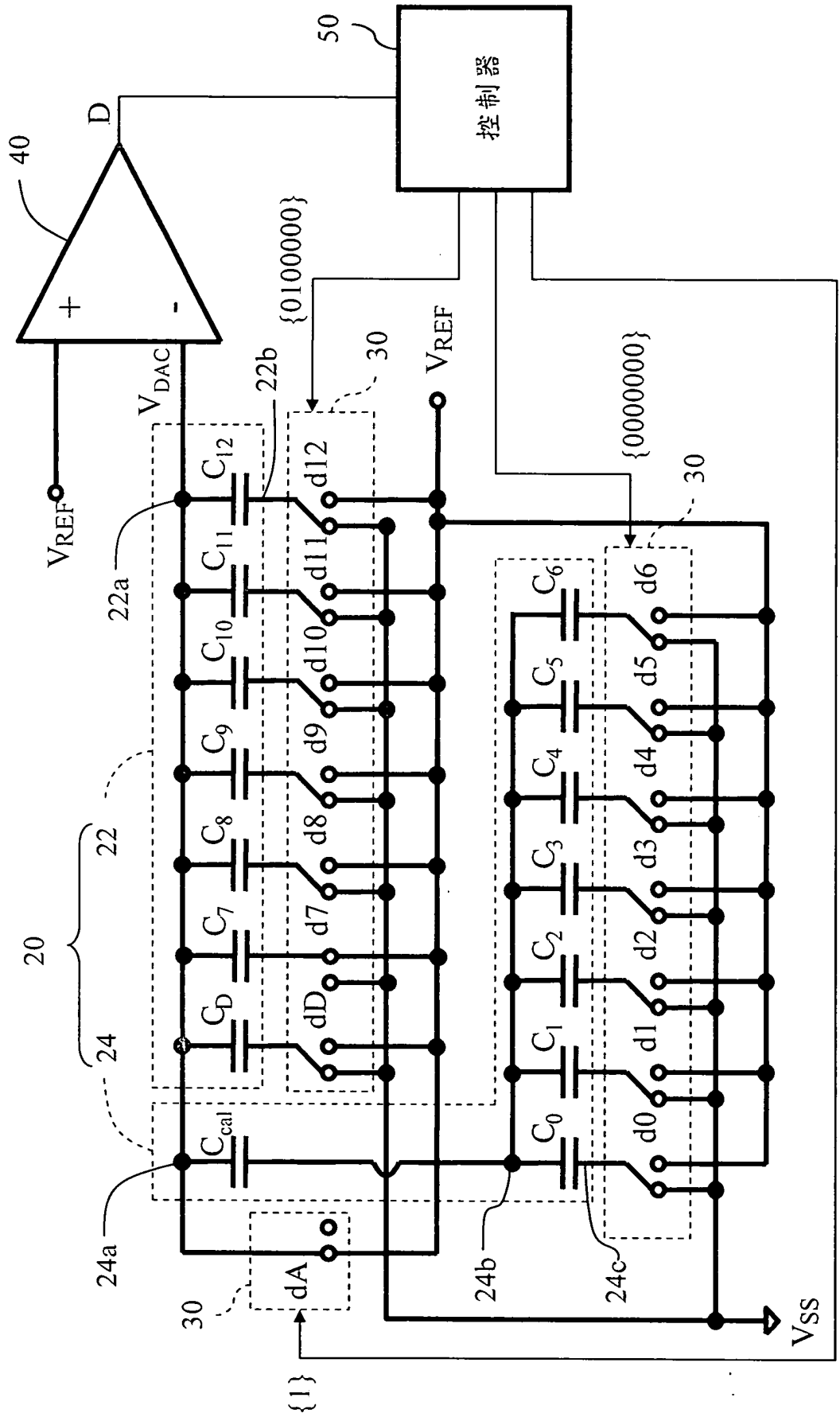


第2B圖

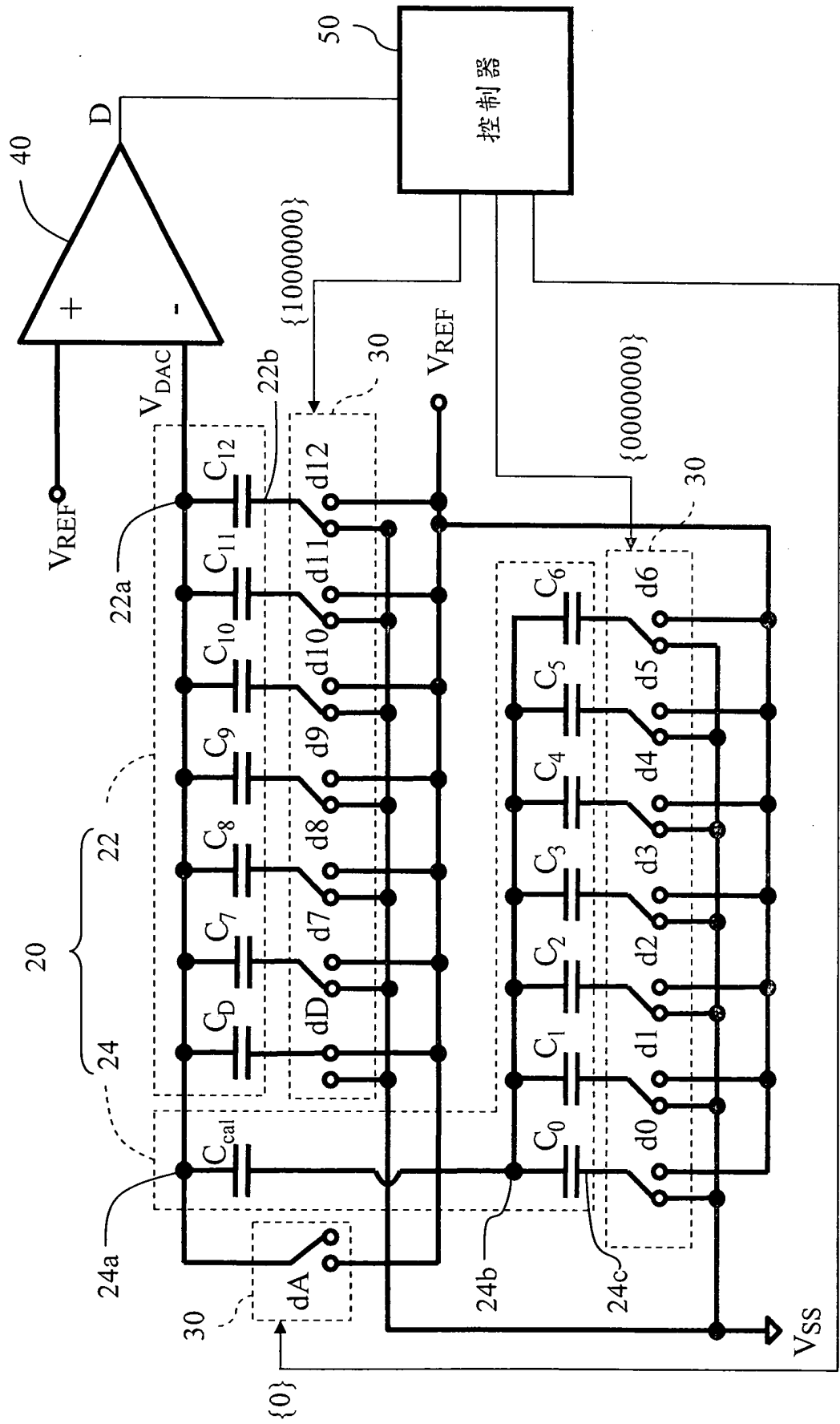




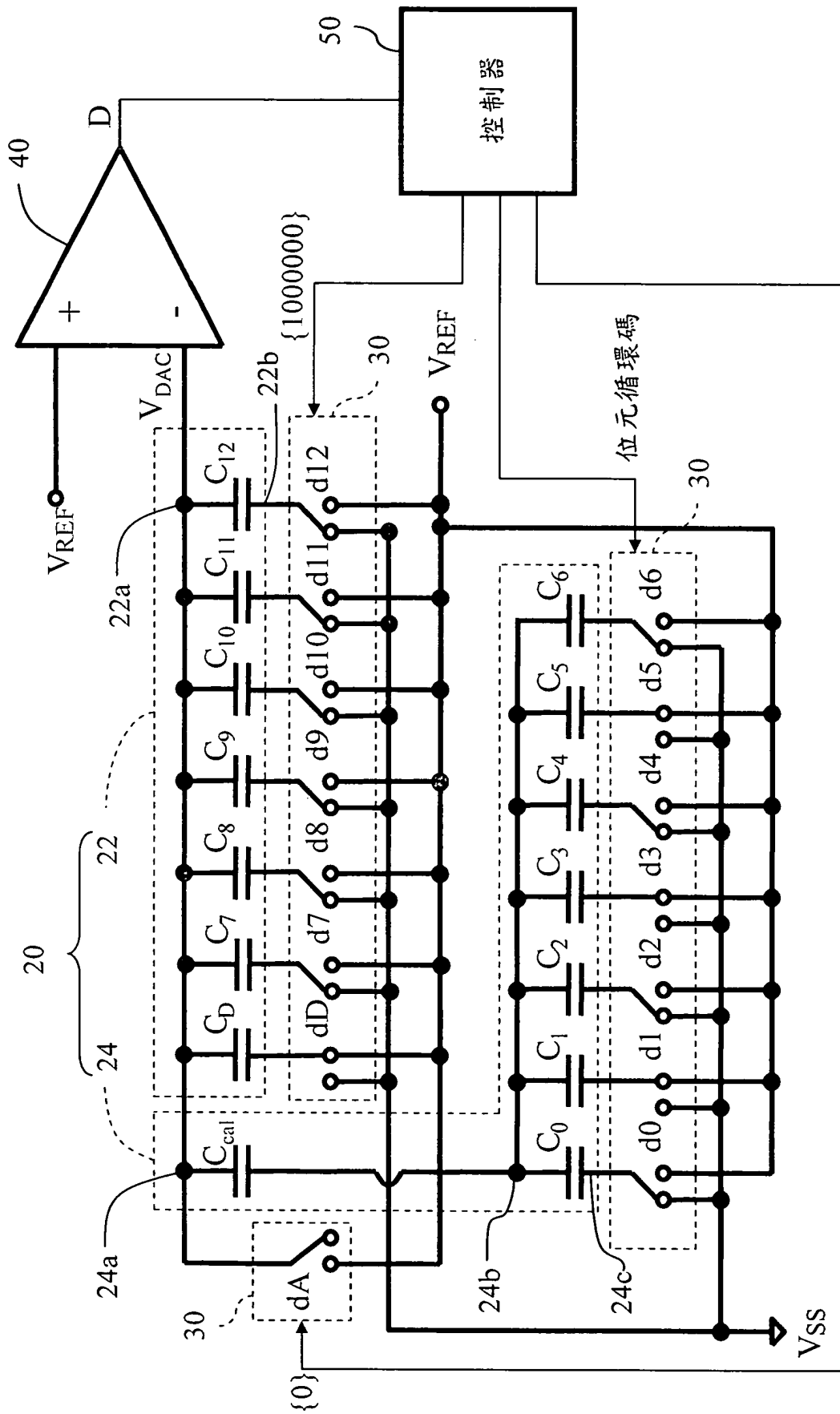
第2C圖



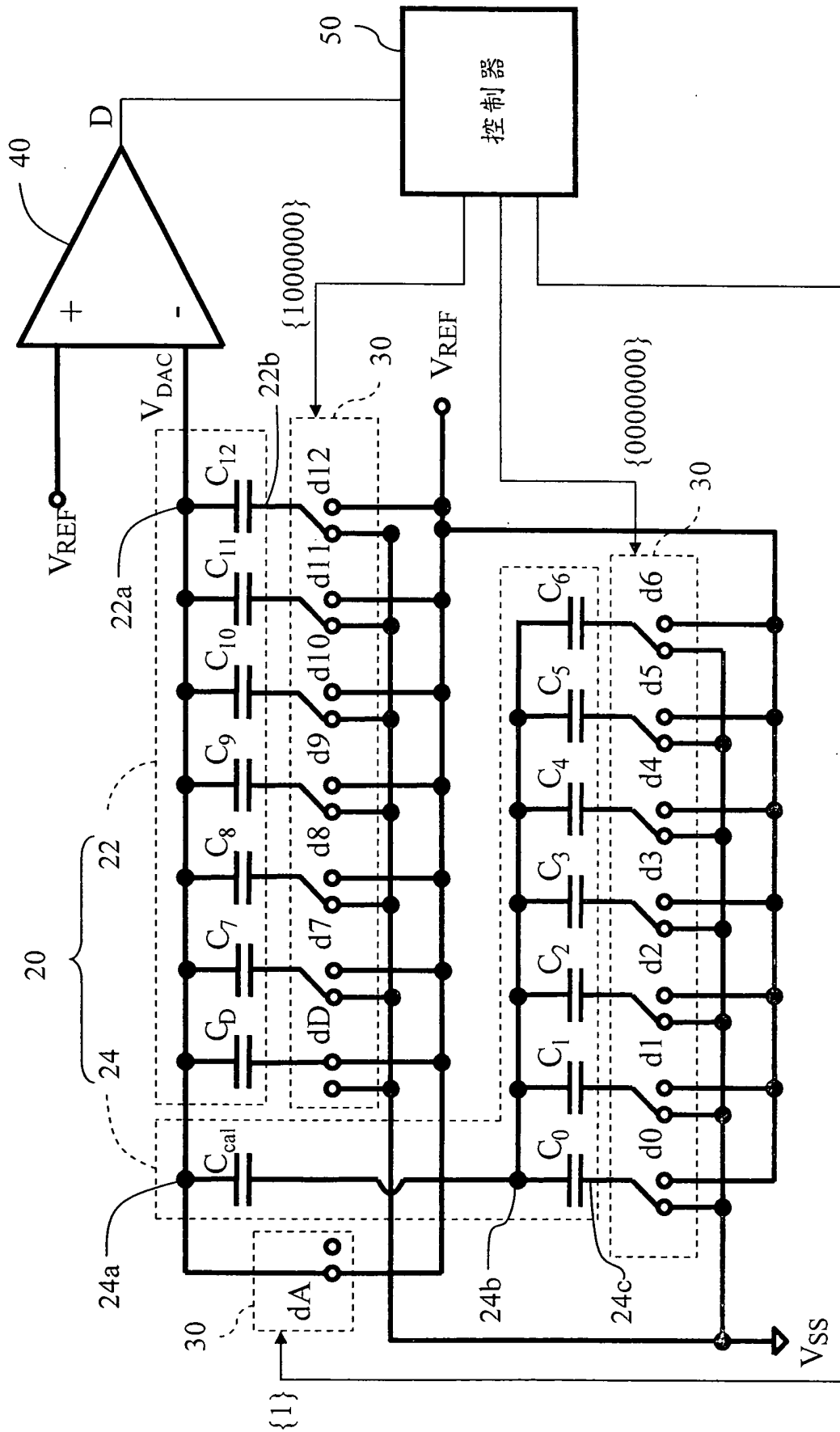
第3A圖



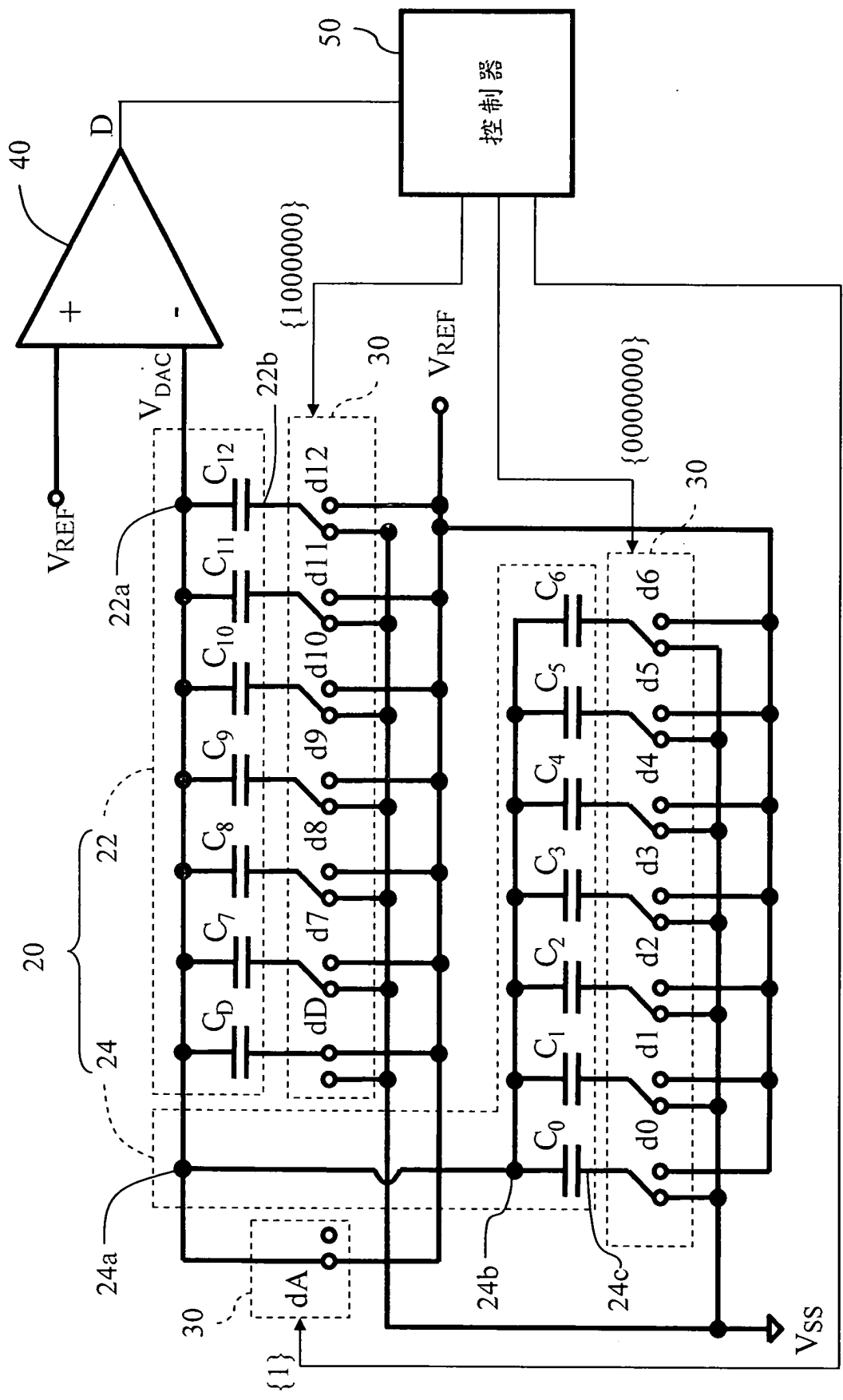
第3B圖



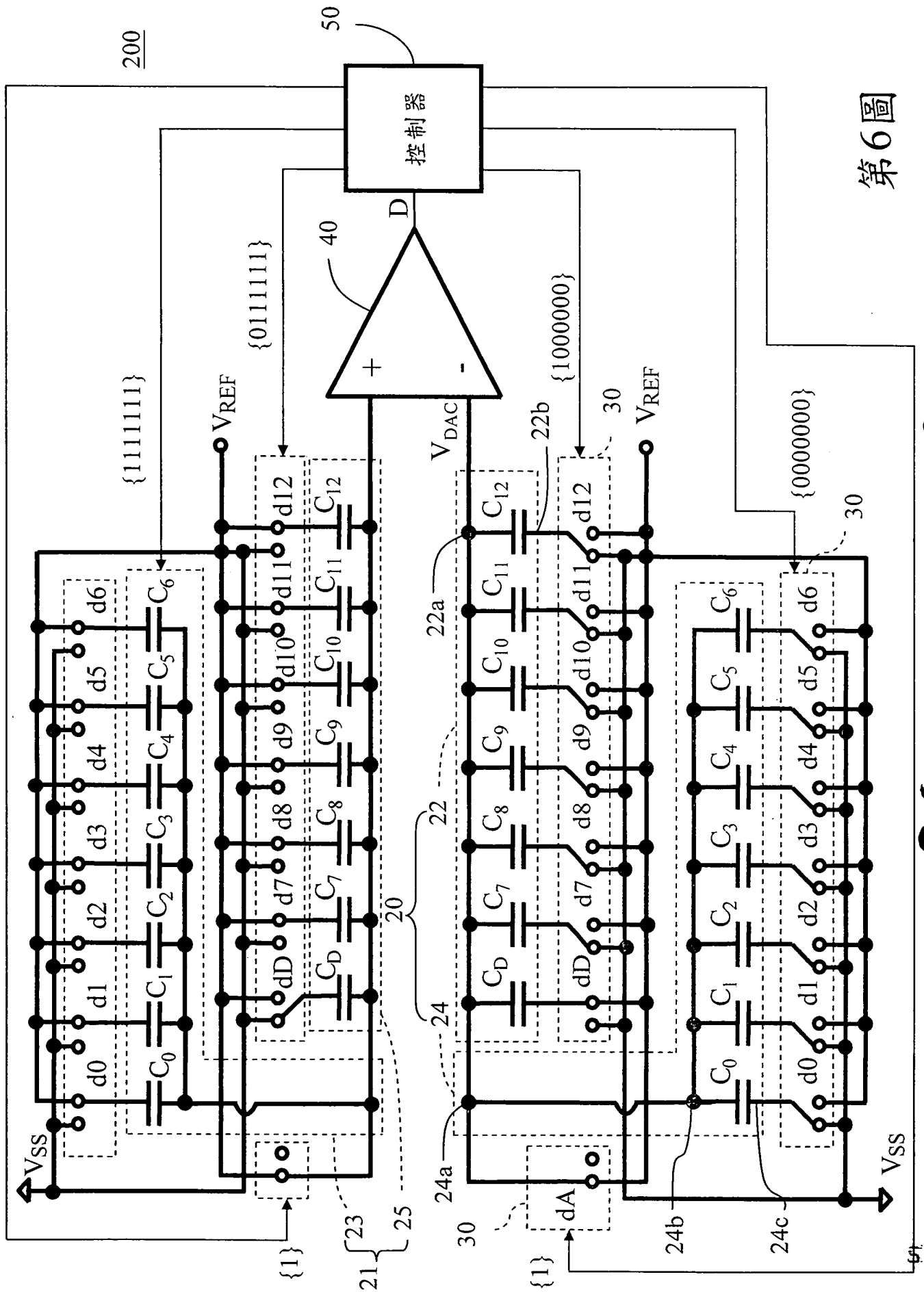
第3C圖



第4圖



第5圖



第6圖