



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I502777 B

(45) 公告日：中華民國 104 (2015) 年 10 月 01 日

(21) 申請案號：101128282

(22) 申請日：中華民國 101 (2012) 年 08 月 06 日

(51) Int. Cl. : **H01L33/50 (2010.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

立景光電股份有限公司 (中華民國) HIMAX DISPLAY, INC. (TW)

臺南市新市區紫棟路 26 號

(72) 發明人：張俊彥 CHANG, CHUN YEN (TW)；張哲榮 CHANG, JET RUNG (TW)；李悅榮 LI, YUET-WING (HK)

(74) 代理人：詹銘文

(56) 參考文獻：

TW 201044637

US 2005/0039673

US 2006/0284187

審查人員：楊啟全

申請專利範圍項數：17 項 圖式數：3 共 34 頁

(54) 名稱

半導體元件及其製作方法

SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種半導體元件的製作方法，包括以下步驟。提供基材，基材具有底座以及位於底座上的多個柱狀體。於各柱狀體的側壁上以及柱狀體間的底座上形成保護層。於柱狀體的頂面上成長第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構。各第一型摻雜半導體結構具有底面以及連接底面的多個側壁面，且各側壁面相對底面傾斜。於第一型摻雜半導體結構的側壁面上形成多層發光層，其中各發光層包括一金屬元素，且此金屬元素於此些發光層中有 3 種以上的含量。於最上層之發光層上形成第二型摻雜半導體層。一種以上述方法製作而成的半導體元件亦被提出。

A manufacturing method of a semiconductor element which includes following steps is provided. A substrate having a base and plural columns located on the base is provided. A passivation layer is formed on a sidewall of each of the columns and on the base between columns. A first type doped semiconductor material is grown on top surfaces of the columns to form plural first type doped semiconductor structures. Each of the first type doped semiconductor structures has a bottom surface and plural sidewall surfaces connected to the bottom surface, and each of the sidewall surfaces are inclined to the bottom surface. Plural light-emitting layers are formed on the sidewall surfaces of the first type doped semiconductor structures, wherein each of the light-emitting layers includes a metal element, and the metal element has more than three kinds of contents in the light-emitting layers. A second type doped semiconductor layer is formed on the top level of the light-emitting layers. A semiconductor element manufactured by the method is also provided.

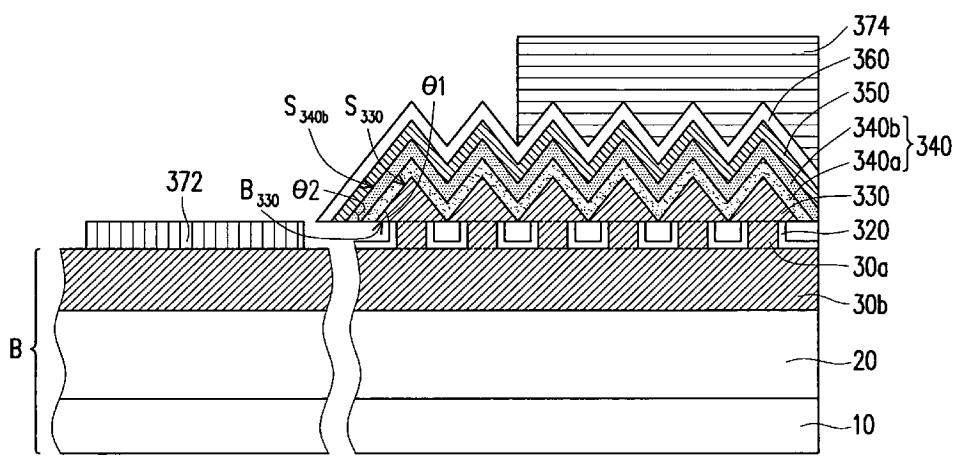


圖 3G

200

- 10 . . . 基板
- 20 . . . 未摻雜半導體層
- 30a . . . 柱狀體
- 30b . . . 底部
- 200 . . . 半導體元件
- 320 . . . 保護層
- 330 . . . 第一型摻雜半導體結構
- 340、340a、340b . . . 發光層
- 350 . . . 第二型摻雜半導體層
- 360 . . . 導電層
- 372 . . . 第一電極
- 374 . . . 第二電極
- B . . . 底座
- S₃₃₀、S_{340b} . . . 側壁面
- B₃₃₀ . . . 底面
- theta1 . . . 第一角度
- theta2 . . . 第二角度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(112828.2)

※申請日：101. 8. 06

※IPC分類：

H01L33/00 (2010.01)

一、發明名稱：

半導體元件及其製作方法 / SEMICONDUCTOR
ELEMENT AND MANUFACTURING METHOD
THEREOF

二、中文發明摘要：

一種半導體元件的製作方法，包括以下步驟。提供基材，基材具有底座以及位於底座上的多個柱狀體。於各柱狀體的側壁上以及柱狀體間的底座上形成保護層。於柱狀體的頂面上成長第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構。各第一型摻雜半導體結構具有底面以及連接底面的多個側壁面，且各側壁面相對底面傾斜。於第一型摻雜半導體結構的側壁面上形成多層發光層，其中各發光層包括一金屬元素，且此金屬元素於此些發光層中有3種以上的含量。於最上層之發光層上形成第二型摻雜半導體層。一種以上述方法製作而成的半導體元件亦被提出。

三、英文發明摘要：

A manufacturing method of a semiconductor element

which includes following steps is provided. A substrate having a base and plural columns located on the base is provided. A passivation layer is formed on a sidewall of each of the columns and on the base between columns. A first type doped semiconductor material is grown on top surfaces of the columns to form plural first type doped semiconductor structures. Each of the first type doped semiconductor structures has a bottom surface and plural sidewall surfaces connected to the bottom surface, and each of the sidewall surfaces are inclined to the bottom surface. Plural light-emitting layers are formed on the sidewall surfaces of the first type doped semiconductor structures, wherein each of the light-emitting layers includes a metal element, and the metal element has more than three kinds of contents in the light-emitting layers. A second type doped semiconductor layer is formed on the top level of the light-emitting layers. A semiconductor element manufactured by the method is also provided.

四、指定代表圖：

(一) 本案之指定代表圖：圖 3G

(二) 本代表圖之元件符號簡單說明：

10：基板

20：未摻雜半導體層

30a：柱狀體

30b：底部

200：半導體元件

320：保護層

330：第一型摻雜半導體結構

340、340a、340b：發光層

350：第二型摻雜半導體層

360：導電層

372：第一電極

374：第二電極

B：底座

S₃₃₀、S_{340b}：側壁面

B₃₃₀：底面

θ1：第一角度

θ2：第二角度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件及其製作方法，且特別是關於一種發光的半導體元件及其製作方法。

【先前技術】

隨著光電技術的進步，半導體元件的製造與應用已漸趨成熟，諸如發光二極體（light-emitting diode, LED）或雷射元件等皆可由半導體元件製作而成。以發光二極體為例，由於其具有低污染、低消耗功率、反應時間（response time）短、使用壽命長等優點，已廣泛應用於各式光源或照明的領域，諸如交通號誌、戶外看板及顯示器背光源等。使發光二極體日漸成為備受矚目的光電產業之一。

目前，發光二極體混成白光的方法主要是以藍光發光二極體或紫外線發光二極體（UV LED）激發黃色螢光粉來混成白光。然而，螢光粉之長波長之光的轉換效率不佳，使混成之白光偏冷色調，進而造成發光二極體的衍色性不佳。此外，螢光粉會吸收能量，造成發光二極體出射之光的能量的損失。因此，如何降低光能量的損失以及提升長波長之光的轉換效率以改善衍色性，實為當前發人員亟欲解決的議題之一。

【發明內容】

本發明提供一種半導體元件的製作方法，其可製作出具有衍色性良好的半導體元件。

本發明提供一種半導體元件，其具有良好的衍色性。

本發明提供一種半導體元件的製作方法，包括以下步驟。提供基材，基材具有底座以及位於底座上的多個柱狀體。於各柱狀體的側壁上以及柱狀體間的底座上形成保護層。於柱狀體的頂面上成長第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構。各第一型摻雜半導體結構具有底面以及連接底面的多個側壁面，且各側壁面相對底面傾斜。於第一型摻雜半導體結構的側壁面上形成多層發光層，其中各發光層包括一金屬元素，且此金屬元素於此些發光層中有3種以上的含量。於最上層之發光層上形成第二型摻雜半導體層。

在本發明之一實施例中，前述之半導體元件的製作方法，更包括於第二型摻雜半導體層上形成導電層。

在本發明之一實施例中，前述之基材的製作方法包括以下步驟。於基板上形成未摻雜半導體層。於未摻雜半導體層上成長第一型摻雜半導體材料，以形成第一型摻雜半導體材料層。圖案化第一型摻雜半導體材料層，以形成柱狀體以及底座，其中底座包括第一型摻雜半導體材料層之柱狀體以外的區域、基板以及未摻雜半導體層。

本發明提供一種以上述製作方法製作而成的半導體元件。

在本發明之一實施例中，前述之保護層的材質為二氧化矽。

在本發明之一實施例中，前述之最上層之發光層的側

壁面與該第一型摻雜半導體結構之該底面夾一角度，該角度不大於 65 度。

在本發明之一實施例中，前述之第一型摻雜半導體層的形狀為平台狀或金字塔狀。

在本發明之一實施例中，前述之金屬元素為銦。

在本發明之一實施例中，前述之發光層的化學式為 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，且 x 介於 0 至 0.4 之間。

在本發明之一實施例中，前述之第一型與第二型之一為 P 型，且第一型與第二型之另一為 N 型。

在本發明之一實施例中，前述之導電層為透明的導電層。

基於上述，本發明可在無須配置螢光層下，藉由調變配置於第一型摻雜半導體結構上之多層發光層內之所述金屬元素的含量，使多層發光層所出射之光的波長能涵蓋可見光之波長範圍。如此一來，可降低前述螢光粉之吸收能量的問題以及螢光粉之長波長之光的轉換效率不佳的問題，進而製作出高功率以及衍色性良好的半導體元件。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 為發明一實施例之半導體元件的製作流程圖。請參照圖 1，本實施例之半導體元件的製作方法包括：提供基材（步驟 S100），此基材具有底座以及位於底座上的多

個柱狀體。於各柱狀體的側壁上形成保護層（步驟 S200）。於柱狀體的頂面上成長第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構（步驟 S300），其中各第一型摻雜半導體結構具有底面以及連接底面的多個側壁面。於第一型摻雜半導體結構的側壁面上形成多層發光層（步驟 S400）。於最上層之發光層上形成第二型摻雜半導體層（步驟 S500）。在本實施例中，半導體元件的製作方法例如是依序地進行步驟 S100 至步驟 S500。

以下將搭配圖 2A 至圖 2E 以及圖 3A 至圖 3G 針對半導體元件的製作方法進行詳細的說明。

圖 2A 至圖 2E 為步驟 S100 中之基材之製作流程的剖面示意圖。在本實施例中，基材之柱狀體例如是以奈米壓印（nanoimprint lithography）的方式，將形成有凹凸圖案的奈米壓印鑄模以按壓的方式轉印圖案至基材上，進而形成多個柱狀體。具體而言，請參照圖 2A，首先，於一基板 10 上形成一未摻雜半導體層 20。基板 10 可以是藍寶石基板（氧化鋁， Al_2O_3 ）、碳化矽（ SiC ）基板、矽（ Si ）基板、砷化鎵（ GaAs ）基板、磷化鎵（ GaP ）基板、氮化鎵（ GaN ）基板、鋁酸鋰（ LiAlO_2 ）基板、鎵酸鋰（ LiGaO_2 ）基板或是其他適用於磊晶的基板。在本實施例中，基板 10 以（0001）面（即 c plane）之藍寶石基板作為舉例說明，而未摻雜半導體層 20 的材料以氮化鎵作為舉例說明，但本發明不以此為限。

接著，於未摻雜半導體層 20 上成長第一型摻雜半導

體材料，以形成第一型摻雜半導體材料層 30。在本實施例中，第一型摻雜半導體材料以 N 型氮化鎵作為舉例說明，但本發明不以此為限。此外，形成前述未摻雜半導體層 20 以及第一型摻雜半導體材料層 30 的方法例如有機金屬化學氣相沈積（Metal-Organic Chemical Vapor Deposition, MOCVD）法，但本發明不以此為限。在其他實施例中，形成前述未摻雜半導體層 20 以及第一型摻雜半導體材料層 30 的方法亦可以是分子束磊晶（Molecular Beam Epitaxy, MBE）、濺鍍（Sputtering）、蒸鍍（Evaporation）、脈衝雷射沈積法（Pulse Laser Deposition, PLD）、氣相磊晶（Vapor Phase Epitaxy, VPE）或液相磊晶（Liquid Phase Epitaxy, LPE）等方法。另外，未摻雜半導體層 20 以及第一型摻雜半導體材料層 30 的厚度 H_{20} 、 H_{30} 例如皆為 3 微米（ μm ），但本發明亦不以此為限。

接著，於第一型摻雜半導體材料層 30 上相繼地形成介電層 40 以及代轉印層 50。在本實施例中，介電層 40 的材料可以是無機材料，其中無機材料例如是氧化矽、氮化矽、氮氧化矽、矽鋁氧化物或上述至少二種材料的堆疊層。代轉印層 50 的材料可以是聚合物。此外，介電層 40 以及代轉印層 50 的厚度 H_{40} 、 H_{50} 例如分別為 $0.4\mu\text{m}$ 與 $0.2\mu\text{m}$ ，但本發明不以此為限。

請參照圖 2B，將一圖案化模具（未繪示）放置於代轉印層 50 上，且圖案化模具與代轉印層 50 直接接觸。再將圖案化模具、基板 10 以及其上之膜層（包括未摻雜半導

體層 20、第一型摻雜半導體材料層 30、介電層 40 以及代轉印層 50) 進行一升溫製程。接而，施以圖案化模具一高壓，以將圖案化模具上之圖案轉印於代轉印層 50，並形成多個柱狀圖案 P1。接著，將圖案化模具、基板 10 以及其上之膜層冷卻至室溫，並使圖案化模具與基板 10 分離。

在本實施例中，相鄰兩柱狀圖案 P1 之間間距 P_{50} 以及各柱狀圖案 P1 的直徑 D_{50} 皆約為 $0.35\mu\text{m}$ ，換言之，間距 P_{50} 與直徑 D_{50} 的比例為 1:1，但本發明不以此為限。在其他實施例中，間距 P_{50} 與直徑 D_{50} 的比例可視實際需求而定。

請參照圖 2C，以柱狀圖案 P1 為罩幕，圖案化介電層 40，以形成多個與柱狀圖案 P1 實質上具有相同輪廓的柱狀圖案 P2。在本實施例中，圖案化介電層 40 的方法例如是藉由氧電漿 (O_2 plasma) 之反應離子蝕刻 (Reactive Ion Etching, RIE) 步驟 S1 圖案化介電層 40。在其他實施例中，圖案化介電層 40 的方法亦可以是使用三氟甲烷電漿之反應離子蝕刻步驟。

請參照圖 2D，繼續以柱狀圖案 P1 為罩幕，圖案化第一型摻雜半導體材料層 30，以形成圖 1 中所述之多個柱狀體 30a 以及底座 B，其中底座 B 包括第一型摻雜半導體材料層 30 之柱狀體 30a 以外的區域 (即底部 30b)、基板 10 以及未摻雜半導體層 20。在本實施例中，此圖案化製程例如是以感應耦合電漿蝕刻 (Inductively Coupled Plasma etching, ICP etching) 步驟 S2，圖案化第一型摻雜半導體

材料層 30，而形成多個柱狀體 30a 以及連接此些柱狀體 30a 之底部 30b。

值得一提的是，在圖案化第一型摻雜半導體材料層 30 時，部份的第一型摻雜半導體材料層 30 會被移除，而多個柱狀體 30a 內因晶格不匹配 (lattice mismatch) 所產生之差排 (dislocation) 的缺陷密度會隨著第一型摻雜半導體材料層 30 之移除面積的增加而減少，而半導體元件之發光效率因而提升。

請參照圖 2E，移除位於柱狀體 30a 上的柱狀圖案 P1 以及柱狀圖案 P2 以初步完成基材 100 的製作。在本實施例中，基材 100 中之柱狀體 30a 的輪廓實值上與柱狀圖案 P1 以及柱狀圖案 P2 相同。換言之，柱狀體 30a 之直徑 D_{30a} 以及相鄰兩柱狀體 30a 之間間距 P_{30a} 與柱狀圖案 P1 之直徑 D_{50} 以及間距 P_{50} 實值上相同。具體而言，柱狀體 30a 之直徑 D_{30a} 以及相鄰兩柱狀體 30a 之間間距 P_{30a} 皆約為 $0.35\mu\text{m}$ ，而柱狀體 30a 之高度 H_{30a} 約為 $1\mu\text{m}$ 。在其他的實施例中，在初步形成基材 100 之後，可選擇性地藉由反應離子蝕刻步驟對各柱狀體 30a 之直徑 D_{30a} 、間距 P_{30a} 以及高度 H_{30a} 進行微調。如此一來，亦可改變後續形成於此些柱狀體 30a 上之第一型摻雜半導體結構的形貌或尺寸。

圖 3A 至圖 3G 為發明一實施例之半導體元件的製作流程之剖面示意圖。請參照圖 3A，提供一基材 310，此基材 300 具有底座 B 以及位於底座 B 上的多個柱狀體 30a。在本實施例中，基材 310 例如是應用前述實施例之基材

100。在其他實施例中，基材 310 之柱狀體 30a 亦可以是透過其他蝕刻、雷射加工或其他合適的方法製作而成。

請參照圖 3B，於各柱狀體 30a 的側壁 S_{30a} 上以及第一型摻雜半導體材料層 30 之柱狀體 30a 以外的區域(即底部 30b) 上形成保護層 320。在本實施例中，保護層 320 的材料例如是二氧化矽，但本發明不限於此。此外，保護層 320 的形成方法例如是包括以下步驟。首先，將保護層 320 的材料形成於基材 310 上，其中形成的方法可以是電漿化學氣相沈積 (Plasma Chemical Vapor Deposition, PECVD) 法或是旋塗式玻璃 (Spin on glass, SOG) 法。接著，可進行一升溫製程，使相鄰兩柱狀體 30a 之間產生孔隙 V1。再藉由一反應離子蝕刻步驟，移除位於各柱狀體 30a 之頂面 T_{30a} 上之保護層 320 的材料，並曝露出各柱狀體 30a 之頂面 T_{30a} ，使保護層 320 包覆於各柱狀體 30a 的側壁 S_{30a} 上且覆蓋於柱狀體 30a 間的底部 30b 上。

需說明的是，不同的製程方法會改變保護層 320 的形貌。在本實施例中，相鄰兩柱狀體 30a 之間存在孔隙 V1。然而，在其他實施例中，保護層 320 亦可能填滿相鄰兩柱狀體 30a 之間。

請參照圖 3C，於柱狀體 30a 的頂面 T_{30a} 上二次成長第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構 330。在本實施例中，此處所述之第一型摻雜半導體材料例如是與前述之第一型摻雜半導體材料層 30 的材料相同。換言之，第一型摻雜半導體材料例如是 N 型氮化鎵。此外，

前述形成多個第一型摻雜半導體結構 330 的方法例如是利用有機金屬化學氣相沈積法以選區磊晶 (selective area epitaxy) 的方式成長第一型摻雜半導體材料。

此外，在成長第一型摻雜半導體材料時，第一型摻雜半導體材料會由柱狀體 30a 之頂面 T_{30a} 往兩柱狀體 30a 之間延伸，最後接合在一起，並形成多個第一型摻雜半導體結構 330。詳言之，各第一型摻雜半導體結構 330 分別位於其中一個柱狀體 30a 上，且各第一型摻雜半導體結構 330 具有底面 B_{330} 以及連接底面 B_{330} 的多個側壁面 S_{330} ，其中第一型摻雜半導體結構 330 之底面 B_{330} 的部份區域直接與保護層 320 以及柱狀體 30a 之頂面 T_{30a} 接觸。

第一型摻雜半導體結構 330 之底面 B_{330} 的形狀例如是六邊形，此處所述六邊形並非限定正六邊形。詳言之，第一型摻雜半導體結構 330 之底面 B_{330} 的形狀會隨著製程參數的改變而有所不同，因此本發明並不限定六邊形需為正六邊形 (即不限定六邊形為六邊等長)。另外，第一型摻雜半導體結構 330 之底面積由底面 B_{330} 往遠離底面 B_{330} 的方向遞減，且各側壁面 S_{330} 相對底面 B_{330} 傾斜一第一角度 θ_1 。此第一角度 θ_1 例如是不大於 65 度。此處所述第一角度 θ_1 是指第一型摻雜半導體結構 330 的側壁面 S_{330} 與底面 B_{330} 的夾角，而所述第一角度 θ_1 “不大於” 65 度是指第一角度 θ_1 介於 0 度至 65 度之間。

隨著製程參數的不同 (包括製程時間、溫度、壓力等)、第一型摻雜半導體材料的改變 (影響晶格排列) 以及

相鄰兩柱狀體 30a 之間間距 P_{30a} 或柱狀體 30a 之直徑 D_{30a} 的改變，形成於柱狀體 30a 上之第一型摻雜半導體結構 330 的形貌（包括形狀以及第一角度 θ_1 ）或尺寸亦會有所不同。舉例而言，當改變製程的溫度時，第一型摻雜半導體結構 330 的側壁面 S_{330} 可形成 $\{10-1n\}$ 的面，其中 n 為整數。以 n 為 1 作為舉例說明，側壁面 S_{330} （即 $\{10-11\}$ 的面）與底面 B_{330} （例如是 c plane）的夾角例如約為 62 度，但本發明不用以限定底面 B_{330} 或側壁面 S_{330} 的平面須為 c plane 及 $\{10-1N\}$ 的面。在其他實施例中，底面 B_{330} 亦可以是 $-c$ plane，而側壁面 S_{330} 可以是相對於 $-c$ plane 夾不大於 65 度的平面。

此外，第一型摻雜半導體結構 330 的形狀可以是平台狀或金字塔狀。詳言之，請參照圖 3C 以及圖 3C'，當製程時間較少、溫度較高、壓力較低、相鄰兩柱狀體 30a 之間間距 P_{30a} 較大或柱狀體 30a 之直徑 D_{30a} 較大時，第一型摻雜半導體結構 330 的形狀例如會是如圖 3C' 中所示之平台狀。需說明的是，為使第一型摻雜半導體材料得以順利地由柱狀體 30a 之頂面 T_{30a} 往兩柱狀體 30a 之間延伸並接合在一起，相鄰兩柱狀體 30a 之間間距 P_{30a} 需不大於 $5\mu\text{m}$ 。另一方面，當製程時間增加、溫度降低、壓力升高、相鄰兩柱狀體 30a 之間間距 P_{30a} 縮小或柱狀體 30a 之直徑 D_{30a} 縮小時，第一型摻雜半導體結構 330 的形狀例如會是如圖 3C 中所示之金字塔狀。

值得一提的是，在成長第一型摻雜半導體材料時，由

於橫向再成長磊晶 (Epitaxial lateral overgrowth, ELOG) 之二次成長效應可減少第一型摻雜半導體材料所承受之應力，降低疊層缺陷 (stacking defaults) 或差排 (dislocation) 之情況的發生，因此使本實施例之半導體元件的發光效率可有效地被提升。

此外，在第一型摻雜半導體材料由柱狀體 30a 之頂面 T_{30a} 往兩柱狀體 30a 之間延伸且接合後，由圖 3B 中所述之升溫製程所產生之孔隙 V1 會形成一封閉的空間。由於此空間內的介質 (例如是空氣) 不同於其周圍的介質 (包括第一型摻雜半導體材料以及保護層 320 的材料)，因此，由發光層所出射之光在行經此封閉的空間時，被折射的機率會增加，進而提升半導體元件之光取出率，使本實施例之半導體元件之發光效率得以進一步地被提升。

請參照圖 3D，於第一型摻雜半導體結構 330 的側壁面 S_{330} 上形成多層發光層 340。本實施例以雙層發光層 340a、340b 作為舉例說明，但本發明不用以限定發光層 340 的數量。此外，發光層 340a、340b 共形於第一型摻雜半導體結構 330 的側壁面 S_{330} 上。具體而言，發光層 340a、340b 相對於第一型摻雜半導體結構 330 的底面 B_{330} 起伏。

值得一提的是，習知技術之發光層是形成於二維的第一型摻雜半導體層上 (指發光層與第一型摻雜半導體層的接觸面為一平面)。相較之下，本實施例之發光層 340 是形成於具有起伏之三維的第一型摻雜半導體結構 330 上。因此，本實施例之發光層 340 與第一型摻雜半導體結構 33

的接觸面積較大。換言之，相較於習知技術，本實施例之半導體結構可具有較大的有效發光區域。

此外，最上層之發光層 340b 的側壁面 S_{340b} 相對底面 B_{330} 傾斜，且此相對傾斜的程度實質上與前述之側壁面 S_{330} 相對底面 B_{330} 傾斜的程度相同。詳言之，發光層 340b 的側壁面 S_{340b} 與底面 B_{330} 夾的第二角度 θ_2 與第一角度 θ_1 實質上相同。因此，發光層 340b 的側壁面 S_{340b} 可承繼前述第一型摻雜半導體結構 330 的側壁面 S_{330} 而形成例如是 {10-1N} 的面。

值得一提的是，在 c plane 下，當施加電壓於半導體元件時，極化場的生成易造成量子井中的量子侷限史塔克效應 (Quantum Confined Stark Effect, QCSE)，此效應會降低半導體元件的發光效率。一般而言，為減緩量子侷限史塔克效應，習知技術會以具有半極化面之基板替代前述之 c plane 基板來成長半導體元件的膜層。然而，此種基板造價非常昂貴。相較之下，本實施例可藉由發光層 340b 的側壁面 S_{340b} 承繼第一型摻雜半導體結構 330 的側壁面 S_{330} 而形成 {10-1N} 之半極化面，藉此減緩量子侷限史塔克效應，使量子井內的內建電場變小、內部量子效率 (Internal Quantum Efficiency, IQE) 提高，並縮減量子井的輻射複合時間。換言之，本實施例可在一般的平面下 (指非半極化面，例如是 c plane) 製作出半極化面，並達成前述減緩量子侷限史塔克效應的功效。

另外，多層發光層 340 包括一金屬元素，且此金屬元

素於此些發光層 340 中有 3 種以上的含量。在本實施例中，金屬元素例如是銦。具體而言，發光層 340a、340b 例如為量子井 (quantum well) 層或多重量子井 (multiple quantum well, MQW) 層。換言之，發光層 340a、340b 可各別包括至少一量子屏障 (quantum barrier) 層以及至少一量子井 (quantum well) 層。發光層 340a、340b 之量子屏障層以及量子井層的化學式例如是 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，其中 x 代表元素之莫耳分律，且 x 介於 0 至 0.4 之間。在本實施例中，量子屏障層之 x 例如是介於 0 至 0.4 之間，而量子井層之 x 例如是介於 0 至 0.4 之間。

在同一發光層 340a (或發光層 340b) 內，量子屏障層之銦含量可與量子井層之銦含量不同，且量子屏障層之銦含量會隨著所對應之量子井層之銦含量而具有一較佳的範圍。換言之，同一發光層 340a (或發光層 340b) 內，即可能有兩種銦含量 (即量子屏障層之銦含量以及量子井層之銦含量)。此外，在不同的發光層 340a 及 340b 中，量子井層內的銦含量可以不同。因此，在本實施例之發光層 340 中，可有 3 種以上的銦含量。需說明的是，雖然圖 3D 中發光層 340a 及 340b 繪示為相同的厚度，但本發明並不限定各發光層 340a 及 340b 的厚度，發光層 340a 及 340b 的厚度需視實際需求而定。

藉由調變發光層 340 中銦之含量 (即改變 x)，本實施例之半導體元件可出射涵蓋可見光波段的光。舉例而言，當量子井層之 x 為 0.13 (化學式為 $\text{In}_{0.13}\text{Ga}_{0.87}\text{N}$)，而量子

屏障層之 x 為 0 (化學式為 GaN) 時，發光層 340 可出射藍光。又或者，當量子井層之 x 為 0.23 (化學式為 $\text{In}_{0.23}\text{Ga}_{0.77}\text{N}$)，而量子屏障層之 x 為 0.1 (化學式為 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$) 時，發光層 340 可出射綠光。

需說明的是，前段所述發光層 340 之量子井層的 x 以及量子屏障層之 x 僅為舉例說明，而非用以限定本發明。所屬技術領域中具有通常知識者可藉由改變各發光層 340 中之量子井層之銦含量的莫耳分率 (指 x) 與量子屏障層之銦含量的莫耳分率而獲得不同波段的光。進一步而言，各發光層 340 中之量子井層之銦含量的莫耳分率 (指 x) 與量子屏障層之銦含量的莫耳分率可能不同，且量子屏障層之銦含量的莫耳分率會隨量子井層之銦含量的莫耳分率之改變而有所變化。舉例而言，量子屏障層之銦含量的莫耳分率可能隨量子井層之銦含量的莫耳分率的增加而增加。

在本實施例中，藉由調變配置於第一型摻雜半導體結構 330 上之多層發光層 340 內之金屬元素銦的含量 (金屬鎘的含量會隨著銦的含量而變)，使多層發光層 340 所出射之光的波長能涵蓋可見光之波長範圍。如此一來，半導體元件即可出射不同波段的色光並混成白光。換言之，本實施例之半導體元件可在無須配置螢光層下，藉由調變配置於第一型摻雜半導體結構 330 上之多層發光層 340 內之所述金屬元素的含量，使多層發光層 340 所出射之光的波長能涵蓋可見光之波長範圍。因此，相較於先前技術需搭

配螢光粉混成白光，本實施例之半導體元件可降低螢光粉之吸收能量的問題以及螢光粉之長波長之光的轉換效率不佳的問題，進而製作出高功率以及衍色性良好的半導體元件。

請參照圖 3E，接著，於最上層之發光層 340b 上形成第二型摻雜半導體層 350，其中第二型摻雜半導體層 350 例如是共形於發光層 340b 的側壁面 S_{340b} 。此外，在本實施例中，第二型摻雜半導體層 350 以 P 型氮化鎵作為舉例說明，但本發明不用以限定第一型與第二型的型態，而僅是說明第一型與第二型之一為 P 型，且第一型與第二型之另一為 N 型。另外，形成第二型摻雜半導體層 350 的方法可以是有機金屬化學氣相沈積、分子束磊晶、濺鍍、蒸鍍、脈衝雷射沈積法、氣相磊晶或液相磊晶等方法。

請參照圖 3F，本實施例之半導體元件可進一步地於第二型摻雜半導體層 350 上形成一導電層 360。此處所述導電層 360 即前述之電流擴散層。在本實施例中，導電層 360 的材料例如是透明的材料，特別是透明的導電材料。此處所述透明的材料泛指一般具備高穿透率的材料，而並非用以限定穿透率為 100% 之材料。此外，透明的導電材料例如是金屬氧化物，如銦錫氧化物、銦鋅氧化物、鋁錫氧化物、鋁鋅氧化物、銦鍍鋅氧化物、或其它合適的氧化物、或者是上述至少二者之堆疊層。

請參照圖 3G，本實施例之半導體元件 200 亦可進一步地於第一型摻雜半導體材料層之柱狀體以外的區域（即

底部 30b) 以及導電層 360 上分別形成一第一電極 372 以及一第二電極 374，其中第一電極 372 以及第二電極 374 可以是單層或是多層導電材料堆疊而成，而導電材料例如是金、鈦、鋁、鉻、鉑、其他導電材料或這些材料的組合。在完成第一電極 372 以及第二電極 374 之後，本實施例之半導體元件 200 即初步完成。

綜上所述，本發明藉由調變配置於第一型摻雜半導體結構上之多層發光層內之所述金屬元素的含量，使多層發光層所出射之光的波長能涵蓋可見光之波長範圍。瘥無須配置螢光粉下，本實施例之半導體元件可降低螢光粉之吸收能量的問題以及螢光粉之長波長之光的轉換效率不佳的問題，進而製作出高功率以及衍色性良好的半導體元件。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

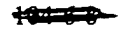
圖 1 為發明一實施例之半導體元件的製作流程圖。

圖 2A 至圖 2E 為步驟 S100 所述之基材之製作流程的剖面示意圖。

圖 3A 至圖 3G 為發明一實施例之半導體元件的製作流程之剖面示意圖。

【主要元件符號說明】

- 10：基板
- 20：未摻雜半導體層
- 30：第一型摻雜半導體材料層
- 30a：柱狀體
- 30b：底部
- 40：介電層
- 50：代轉印層
- 100、310：基材
- 200：半導體元件
- 320：保護層
- 330：第一型摻雜半導體結構
- 340、340a、340b：發光層
- 350：第二型摻雜半導體層
- 360：導電層
- 372：第一電極
- 374：第二電極
- B：底座
- P1、P2：柱狀圖案
- V1：孔隙
- S_{30a}：側壁
- S₃₃₀、S_{340b}：側壁面
- T_{30a}：頂面
- B₃₃₀：底面
- D_{30a}、D₅₀：直徑



P_{30a} 、 P_{50} ：間距

H_{30a} ：高度

H_{20} 、 H_{30} 、 H_{40} 、 H_{50} ：厚度

$\theta 1$ ：第一角度

$\theta 2$ ：第二角度

七、申請專利範圍：

1.一種半導體元件的製作方法，包括：

提供一基材，該基材具有一底座以及位於該底座上的多個柱狀體；

於各該柱狀體的側壁上以及該些柱狀體間的該底座上形成一保護層；

於該些柱狀體的頂面上成長一第一型摻雜半導體材料，以形成多個第一型摻雜半導體結構，其中各該第一型摻雜半導體結構具有一底面以及連接該底面的多個側壁面，且各該側壁面相對該底面傾斜；

於該些第一型摻雜半導體結構的該些側壁面上形成多層發光層，其中各該發光層包括一金屬元素，且該金屬元素於該些發光層中有3種以上的含量；以及

於最上層之發光層上形成一第二型摻雜半導體層，其中最上層之發光層的側壁面與該第一型摻雜半導體結構之該底面夾一角度，該角度不大於65度。

2.如申請專利範圍第1項所述之半導體元件的製作方法，其中該保護層的材質為二氧化矽。

3.如申請專利範圍第1項所述之半導體元件的製作方法，其中該些第一型摻雜半導體結構的形狀為平台狀或金字塔狀。

4.如申請專利範圍第1項所述之半導體元件的製作方法，其中該金屬元素為銦。

5.如申請專利範圍第1項所述之半導體元件的製作方

法，其中該發光層的化學式為 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，且 x 介於 0 至 0.4 之間。

6. 如申請專利範圍第 1 項所述之半導體元件的製作方法，其中該第一型與該第二型之一為 P 型，且該第一型與該第二型之另一為 N 型。

7. 如申請專利範圍第 1 項所述之半導體元件的製作方法，更包括：

於該第二型摻雜半導體層上形成一導電層。

8. 如申請專利範圍第 7 項所述之半導體元件的製作方法，導電層為透明的導電層。

9. 如申請專利範圍第 1 項所述之半導體元件的製作方法，其中該基材的製作方法包括：

於一基板上形成一未摻雜半導體層；

於該未摻雜半導體層上成長該第一型摻雜半導體材料，以形成一第一型摻雜半導體材料層；以及

圖案化該第一型摻雜半導體材料層，以形成該些柱狀體以及該底座，其中該底座包括該第一型摻雜半導體材料層之該些柱狀體以外的區域、該基板以及該未摻雜半導體層。

10. 一種半導體元件，包括：

一基板；

一未摻雜半導體層，配置於該基板上；

一第一型摻雜半導體材料層，配置於該未摻雜半導體層上，其中該第一型摻雜半導體材料層包括多個柱狀體；

一保護層，配置於該些柱狀體的側壁上以及該些柱狀體間的該第一型摻雜半導體材料層上；

多個第一型摻雜半導體結構，配置於該些柱狀體的頂面上，其中各該第一型摻雜半導體結構具有一底面以及連接該底面的多個側壁面，且各該側壁面相對該底面傾斜；

多層發光層，配置於該些第一型摻雜半導體結構的該些側壁面上，其中各該發光層包括一金屬元素，且該金屬元素於該些發光層中有 3 種以上的含量；以及

一第二型摻雜半導體層，配置於最上層之發光層上，其中最上層之發光層的側壁面與該第一型摻雜半導體結構之該底面夾一角度，該角度不大於 65 度。

11.如申請專利範圍第 10 項所述之半導體元件，其中該保護層的材質為二氧化矽。

。

12.如申請專利範圍第 10 項所述之半導體元件，其中該些第一型摻雜半導體結構的形狀為平台狀或金字塔狀。

13.如申請專利範圍第 10 項所述之半導體元件，其中該金屬元素為鈦。

14.如申請專利範圍第 10 項所述之半導體元件，其中該發光層的化學式為 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，且 x 介於 0 至 0.4 之間。

15.如申請專利範圍第 10 項所述之半導體元件，其中該第一型與該第二型之一為 P 型，且該第一型與該第二型之另一為 N 型。

16.如申請專利範圍第 10 項所述之半導體元件，更包

括：

一導電層，配置於該第二型摻雜半導體層上。

17.如申請專利範圍第 16 項所述之半導體元件，其中該導電層為透明的導電層。

八、圖式：

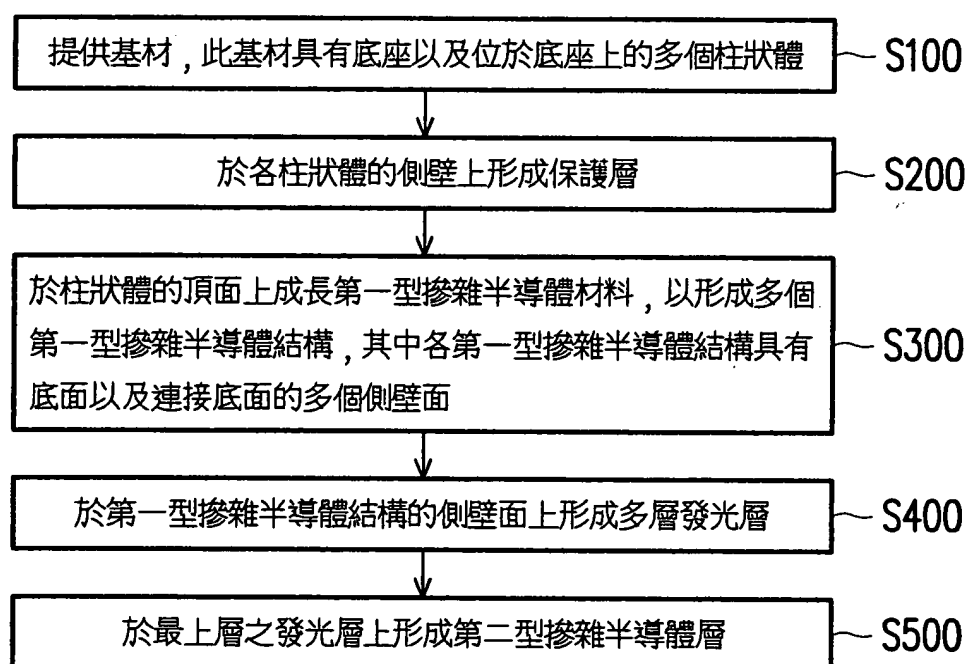


圖 1

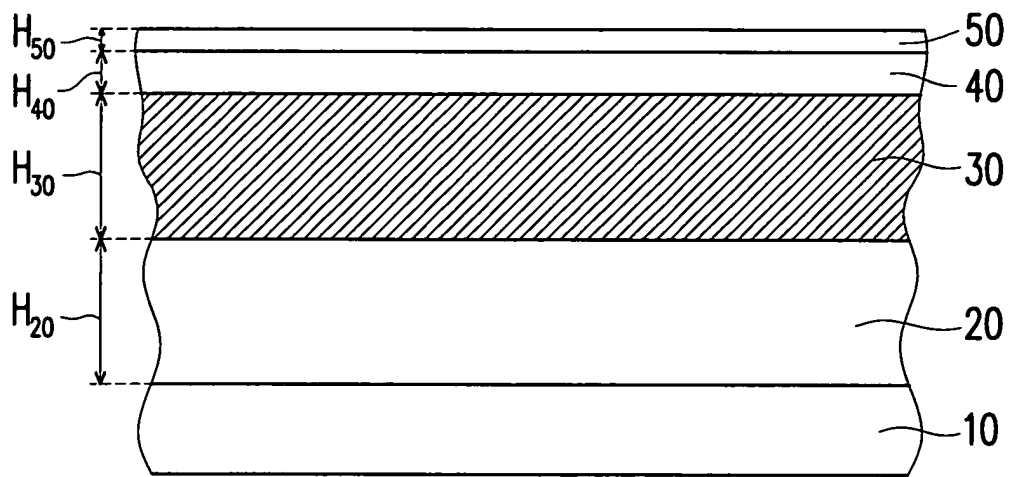


圖 2A

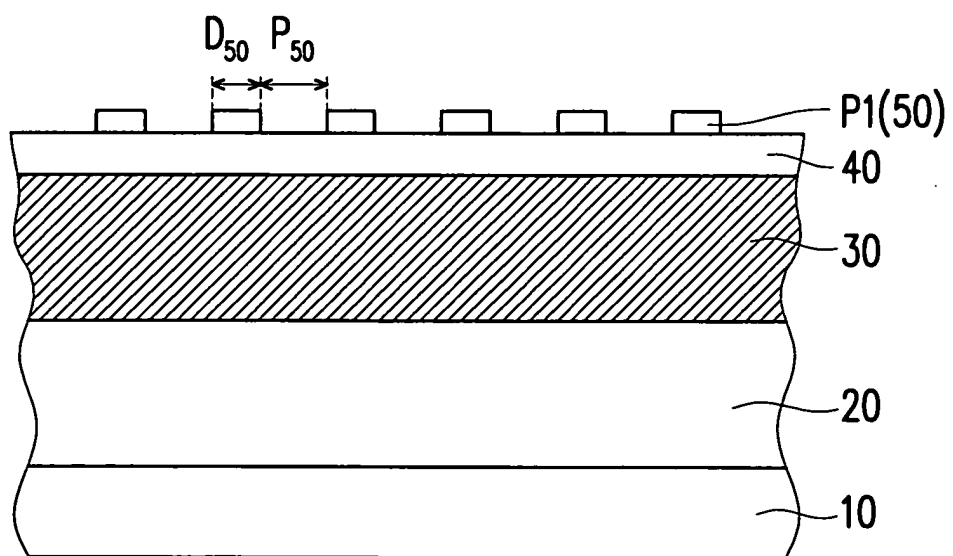


圖 2B

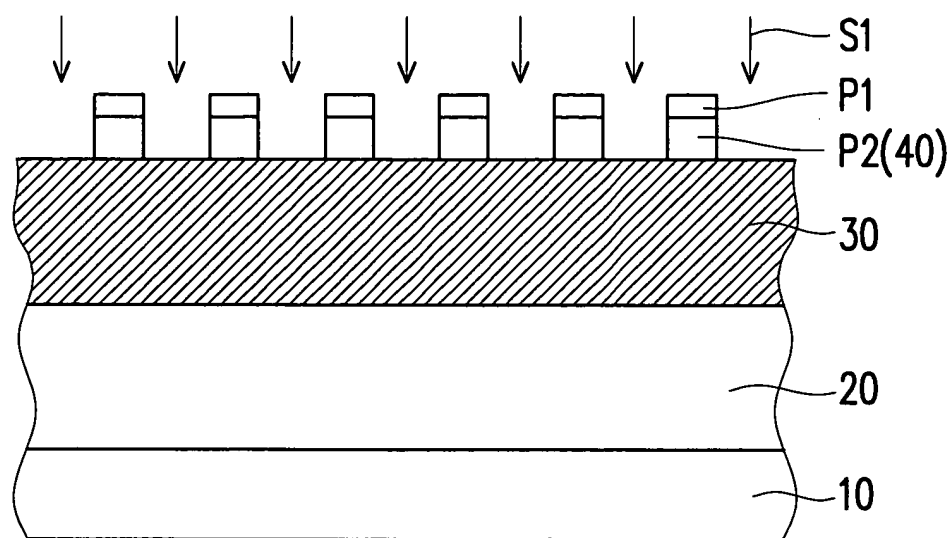


圖 2C

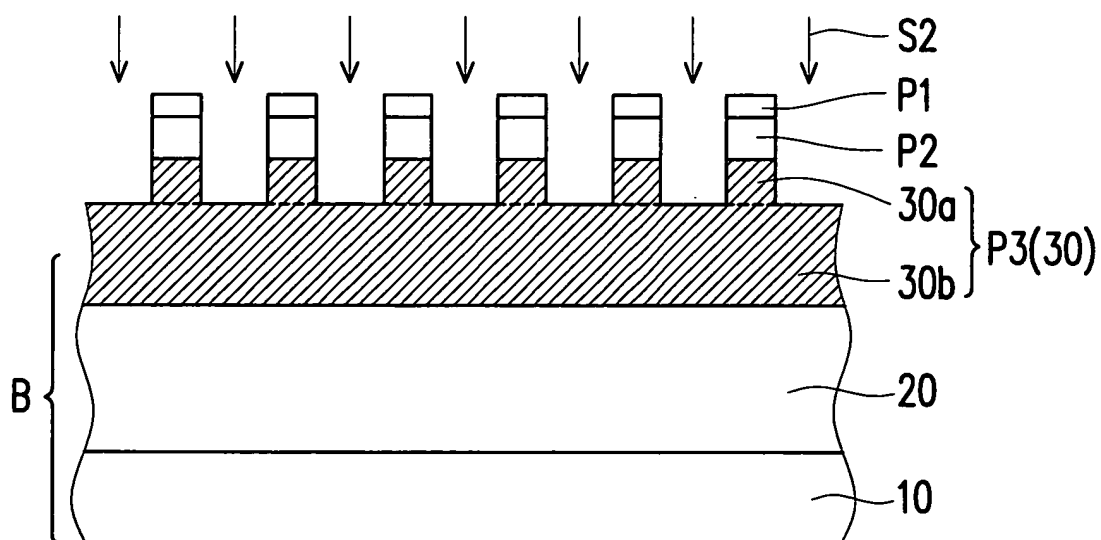


圖 2D

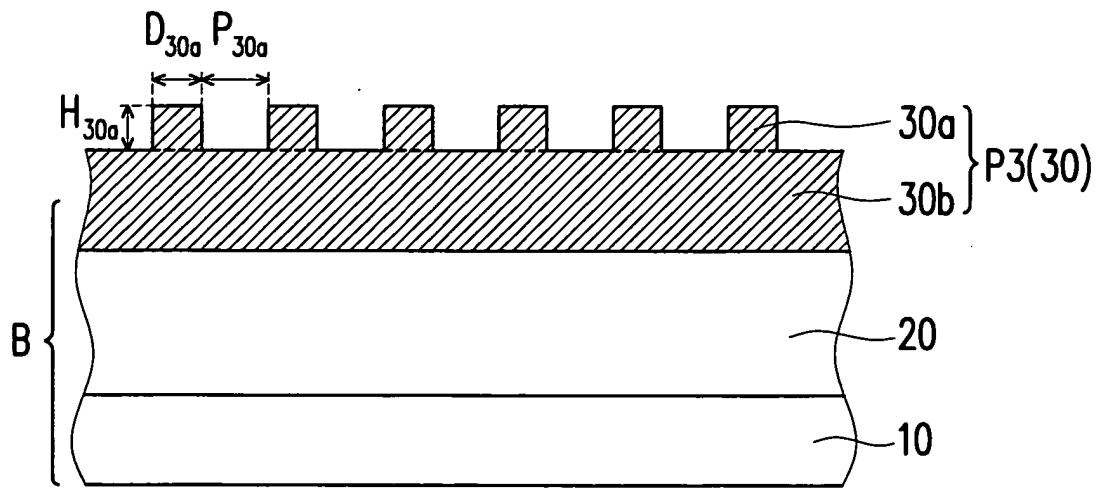


圖 2E

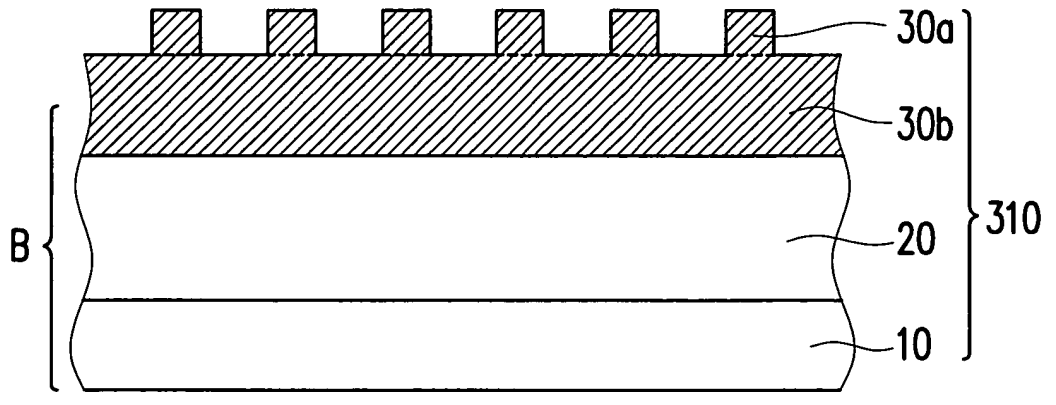


圖 3A

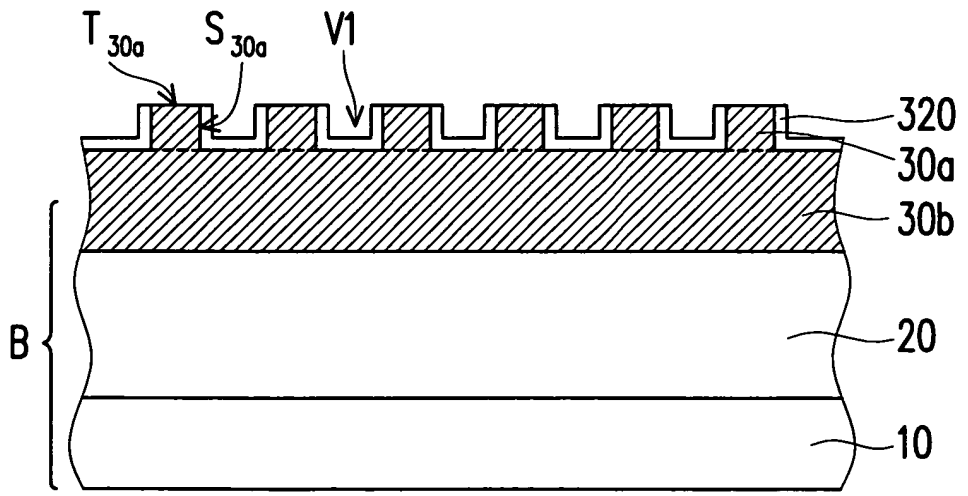


圖 3B

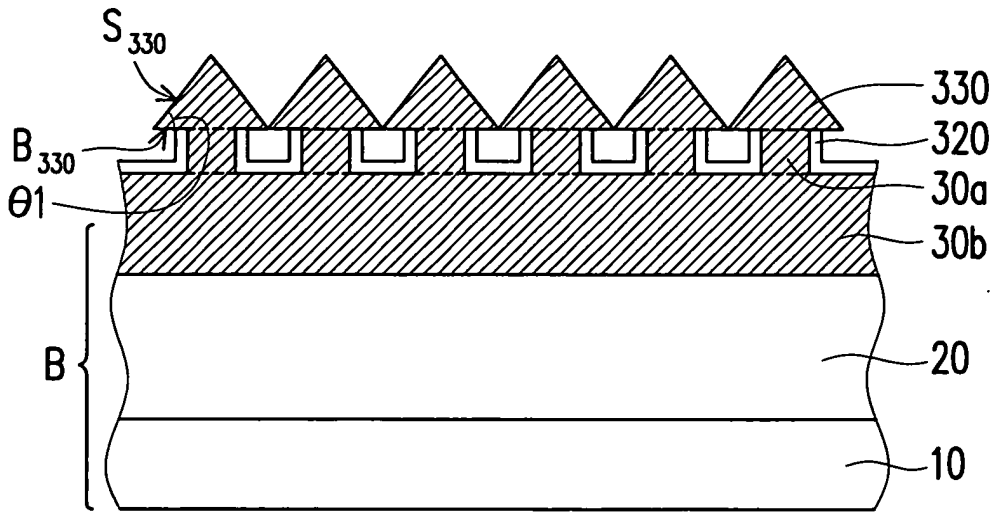


圖 3C

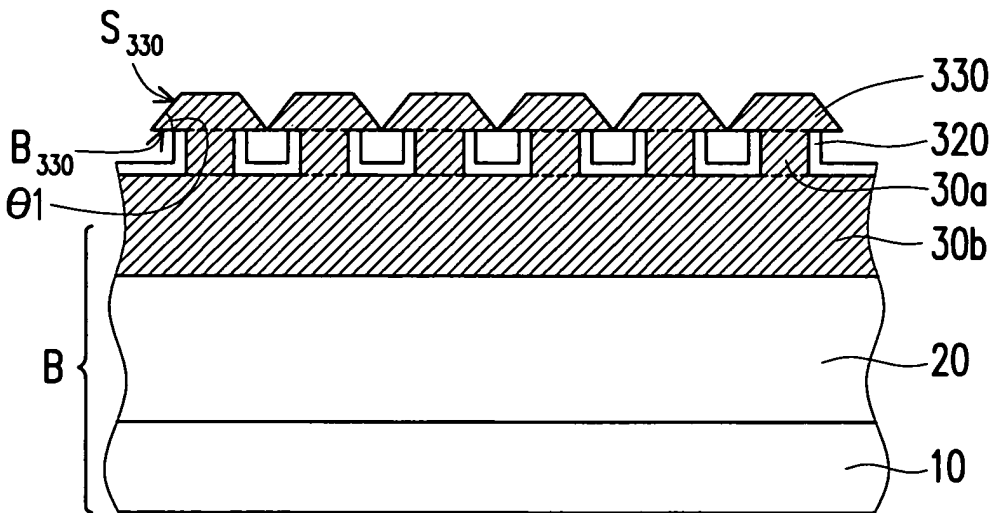


圖 3C'

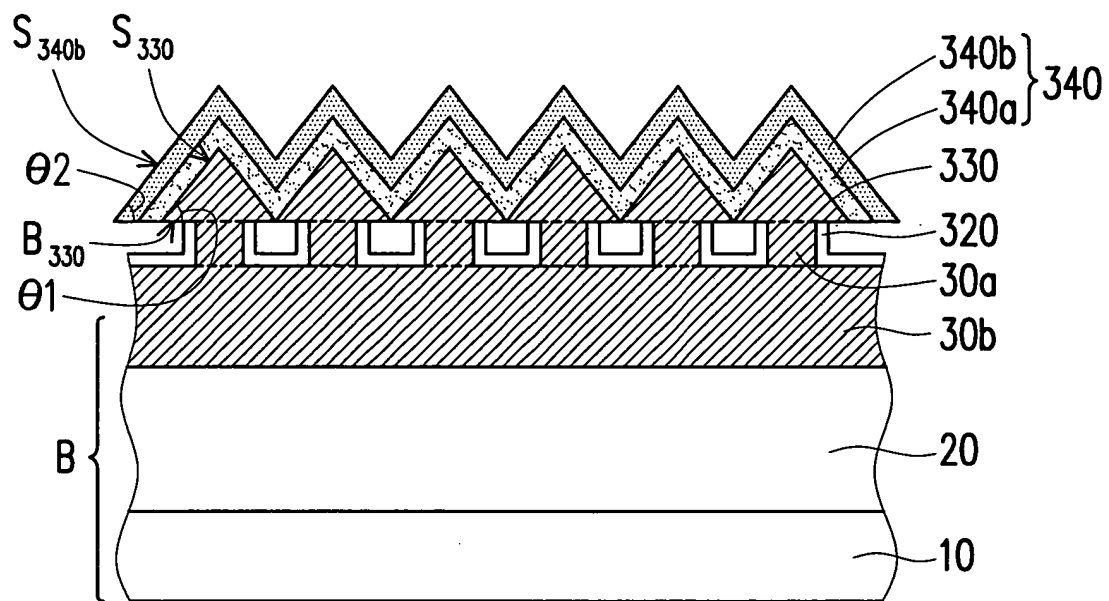


圖 3D

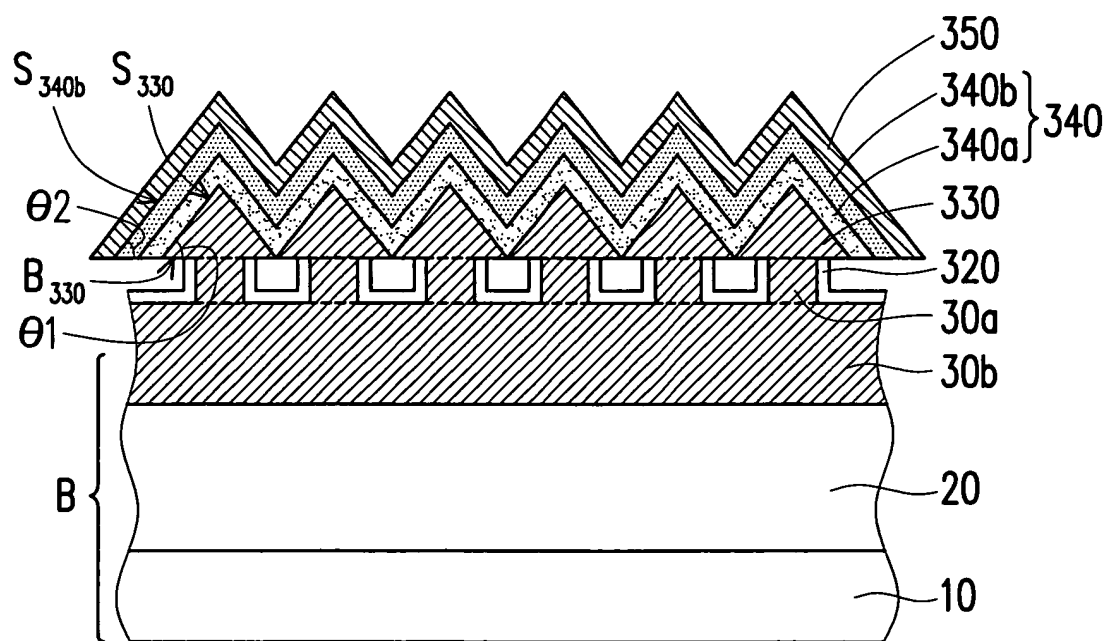


圖 3E

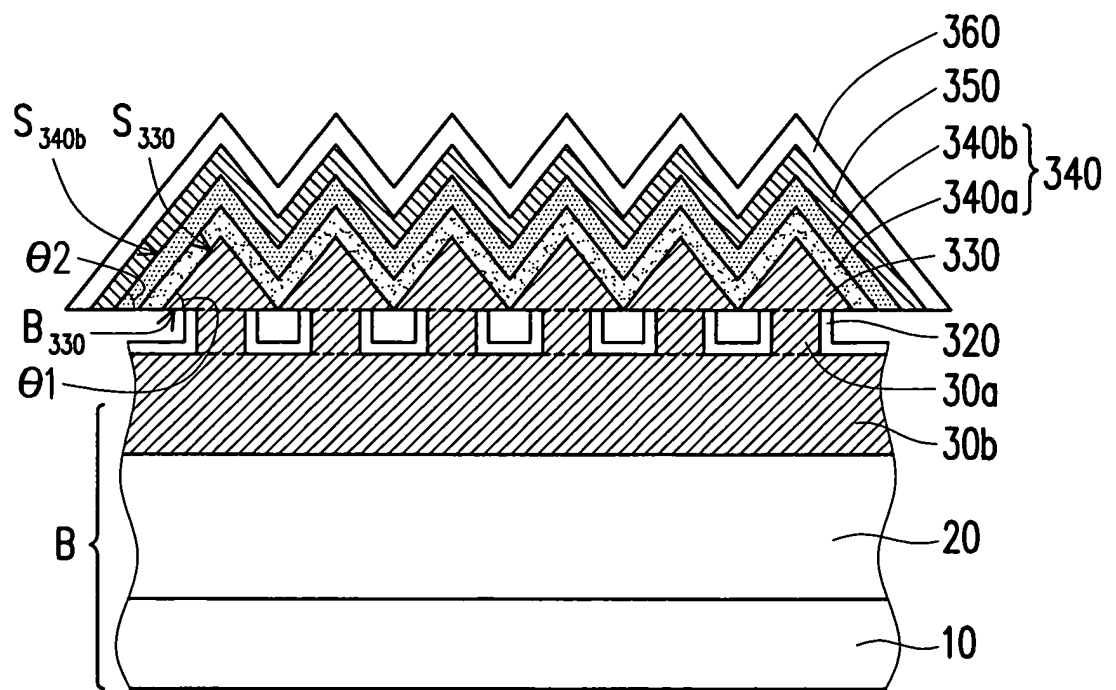
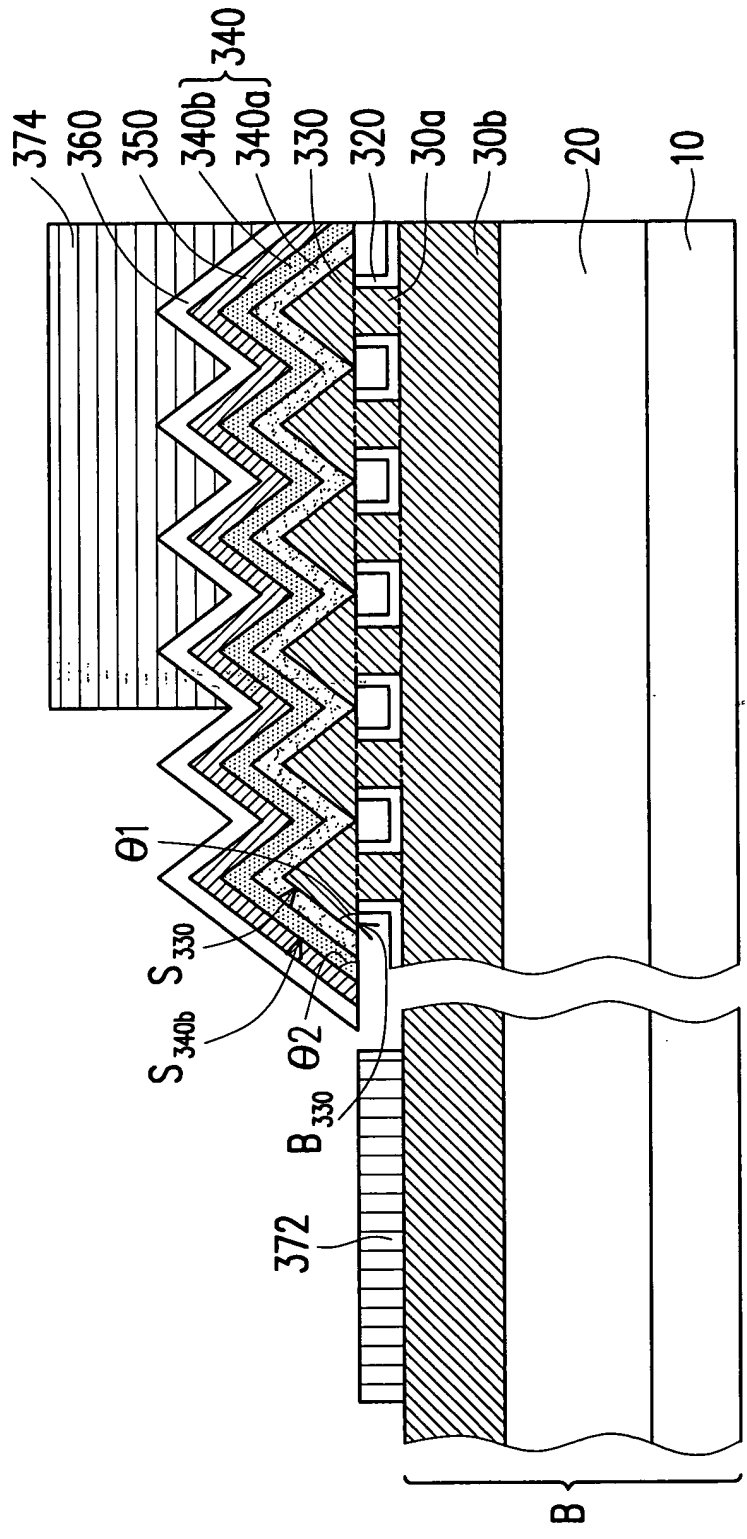


圖 3F



200

圖 3G