



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I503821 B

(45) 公告日：中華民國 104 (2015) 年 10 月 11 日

(21) 申請案號：101124623

(22) 申請日：中華民國 101 (2012) 年 07 月 09 日

(51) Int. Cl. : G11C11/41 (2006.01)

G11C7/12 (2006.01)

(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市科學園區力行三路 5 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW)；連南鈞 LIEN, NAN CHUN (TW)；廖偉男 LIAO, WEI NAN (TW)；張琦昕 CHANG, CHI HSIN (TW)；楊皓義 YANG, HAO I (TW)；黃威 HWANG, WEI (TW)；杜明賢 TU, MING HSIEN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW I273599

US 6084809

US 6222782B1

US 6574148B2

US 2008/0137440A1

US 2009/0316465A1

US 2012/0081948A1

審查人員：謝志偉

申請專利範圍項數：19 項 圖式數：6 共 47 頁

(54) 名稱

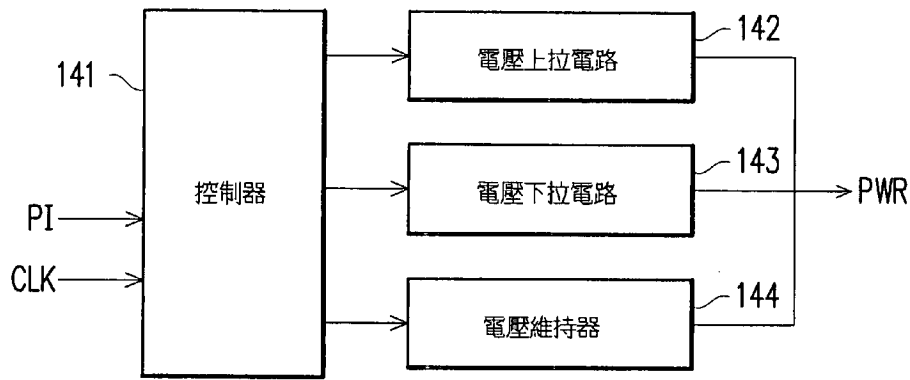
靜態隨機存取記憶裝置及其位元線電壓控制電路

STATIC RANDOM ACCESS MEMORY APPARATUS AND BIT-LINE VOLTAGE CONTROLLER THEREOF

(57) 摘要

一種靜態隨機存取記憶裝置及其位元線電壓控制電路，位元線電壓控制電路包括控制器、電壓上拉電路、電壓下拉電路以及電壓維持器。控制器接收記憶庫選擇信號以及時脈信號，依據記憶庫選擇信號以及時脈信號來決定上拉時間週期、下拉時間週期以及電壓維持時間週期。電壓上拉電路在上拉時間週期依據第一參考電壓上拉位元線電源。電壓下拉電路在下拉時間週期依據第二參考電壓下拉位元線電源。電壓維持器在電壓維持時間週期使位元線電源維持等於輸出電壓。其中，電壓維持時間週期在上拉時間週期以及下拉時間週期之後。

A static random access memory apparatus and a bit-line voltage controller thereof are disclosed. The bit-line voltage controller includes a controller, a pull-up circuit, a pull-down circuit and a voltage keeping circuit. The controller receives a bank selecting signal and a clock signal, and decides a pull-up time period, a pull-down time period and a voltage keeping time period according to the bank selecting signal and the clock signal. The pull-up circuit pulls up a bit-line power according to a first reference voltage within the pull-up time period. The pull-down circuit pulls down the bit-line power according to a second reference voltage within the pull-down time period. The voltage keeping circuit keeps the bit-line power to equal to an output voltage during the voltage keeping time period. The voltage keeping time period is behind the pull-up time period and the pull-down time period.



140 . . . 位元線電壓  
控制電路

141 . . . 控制器

142 . . . 電壓上拉電  
路

143 . . . 電壓下拉電  
路

144 . . . 電壓維持器

PI . . . 記憶庫選擇  
信號

CLK . . . 時脈信號

PWR . . . 位元線電  
源

140

圖 2

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101/24623

※申請日：101.7.09

※IPC 分類：G11C 11/41 (2006.01)

G11C 7/12 (2006.01)

## 一、發明名稱：

靜態隨機存取記憶裝置及其位元線電壓控制電路 /  
STATIC RANDOM ACCESS MEMORY APPARATUS  
AND BIT-LINE VOLTAGE CONTROLLER THEREOF

## 二、中文發明摘要：

一種靜態隨機存取記憶裝置及其位元線電壓控制電路，位元線電壓控制電路包括控制器、電壓上拉電路、電壓下拉電路以及電壓維持器。控制器接收記憶庫選擇信號以及時脈信號，依據記憶庫選擇信號以及時脈信號來決定上拉時間週期、下拉時間週期以及電壓維持時間週期。電壓上拉電路在上拉時間週期依據第一參考電壓上拉位元線電源。電壓下拉電路在下拉時間週期依據第二參考電壓下拉位元線電源。電壓維持器在電壓維持時間週期使位元線電源維持等於輸出電壓。其中，電壓維持時間週期在上拉時間週期以及下拉時間週期之後。

## 三、英文發明摘要：

A static random access memory apparatus and a bit-line voltage controller thereof are disclosed. The bit-line

voltage controller includes a controller, a pull-up circuit, a pull-down circuit and a voltage keeping circuit. The controller receives a bank selecting signal and a clock signal, and decides a pull-up time period, a pull-down time period and a voltage keeping time period according to the bank selecting signal and the clock signal. The pull-up circuit pulls up a bit-line power according to a first reference voltage within the pull-up time period. The pull-down circuit pulls down the bit-line power according to a second reference voltage within the pull-down time period. The voltage keeping circuit keeps the bit-line power to equal to an output voltage during the voltage keeping time period. The voltage keeping time period is behind the pull-up time period and the pull-down time period.

**四、指定代表圖：**

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

140：位元線電壓控制電路

141：控制器

142：電壓上拉電路

143：電壓下拉電路

144：電壓維持器

PI：記憶庫選擇信號

CLK：時脈信號

PWR：位元線電源

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種靜態隨機存取記憶裝置，且特別是有關於一種具位元線抑制驅動(bit-line under drive, BLUD)機制的靜態隨機存取記憶裝置。

### 【先前技術】

在習知的技術領域中，靜態隨機存取記憶體(Static Random Access Memory, SRAM)(例如是 6T 結構的記憶胞的靜態隨機存取記憶體)通常具有一種所謂的讀取干擾(read disturb)的問題。這個讀取干擾的問題會嚴重影響到靜態隨機存取記憶體的資料讀取的穩定性。

隨著半導體製程技術的進步，靜態隨機存取記憶體中的電子元件的尺寸越做越小，且其所接收的工作電壓也隨之降低。習知的靜態隨機存取記憶體的讀取干擾的問題也隨之成為一個重要的課題。習知技術領域中，有相關提出利用位元線抑制驅動或是字線抑制驅動的方式來提高靜態隨機存取記憶體讀取穩定性的技術。然而，當發生製程飄移時，仍可以保有靜態隨機存取記憶體具有足夠的讀取穩定性，還是本領域設計者所要努力的一個課題。

### 【發明內容】

本發明提供一種位元線電壓控制電路，可降低因製程變異而造成位元線電源的變異。

本發明提供一種靜態隨機存取記憶裝置，可降低因製程變異而造成位元線電源的變異，並有效提升資料感測的速度。

本發明提出一種位元線電壓控制電路，適用於靜態隨機存取記憶裝置。位元線電壓控制電路包括控制器、電壓上拉電路、電壓下拉電路以及電壓維持器。控制器接收記憶庫選擇信號以及時脈信號，依據記憶庫選擇信號以及時脈信號來決定上拉時間週期、下拉時間週期以及電壓維持時間週期。電壓上拉電路耦接控制器並在上拉時間週期依據第一參考電壓上拉位元線電源。電壓下拉電路耦接控制器，並在下拉時間週期依據第二參考電壓下拉位元線電源。電壓維持器耦接控制器，電壓維持器在電壓維持時間週期使位元線電源維持等於輸出電壓。其中，電壓維持時間週期在上拉時間週期以及下拉時間週期之後。

本發明另提出一種靜態隨機存取記憶裝置，包括記憶胞陣列、位元線多工器、感測電路以及位元線電壓控制電路。記憶胞陣列具有多數的位元線。位元線多工器耦接記憶胞陣列。位元線多工器接收位元線電源，並選擇位元線中的多個選中位元線對。感測電路耦接位元線多工器，針對各選中位元線對的資料進行感測以產生讀出資料。位元線電壓控制電路耦接該位元線多工器，用以提供位元線電源。位元線電壓控制電路包括控制器、電壓上拉電路、電壓下拉電路以及電壓維持器。控制器接收記憶庫選擇信號以及時脈信號，依據記憶庫選擇信號以及時脈信號來決定

上拉時間週期、下拉時間週期以及電壓維持時間週期。電壓上拉電路耦接控制器並在上拉時間週期依據第一參考電壓上拉位元線電源。電壓下拉電路耦接控制器，並在下拉時間週期依據第二參考電壓下拉位元線電源。電壓維持器耦接控制器，電壓維持器在電壓維持時間週期使位元線電源維持等於輸出電壓。其中，電壓維持時間週期在上拉時間週期以及下拉時間週期之後。

基於上述，本發明所提出的位元線電壓控制電路透過在上拉時間週期以及下拉時間週期中分別拉高以及拉低位元線電源，接著在電壓維持時間週期維持住位元線電源的電壓準位。如此一來，因為製程變異所產生的電子元件特性的漂移，所影響到的位元線電源的電壓的程度將可以有效的被降低。靜態隨機存取記憶裝置的穩定性可以有效的被提升。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

請參照圖 1，圖 1 繪示本發明實施例的靜態隨機存取記憶裝置 100 的示意圖。靜態隨機存取記憶裝置 100 包括記憶胞陣列 110、位元線多工器 120、感測電路 130、位元線電壓控制電路 140 以及字元線控制器 150。記憶胞陣列 110 中包括多數個記憶胞，並具有多數條位元線 BL 以及字元線 WL。記憶胞陣列 110 並透過位元線 BL 耦接至位元



線多工器 120，且透過字元線 WL 連接字元線控制器 150。其中，字元線控制器 150 用來在字元線 WL 上提供字元線信號。

位元線多工器 120 另耦接至位元線電壓控制電路 140 以接收位元線電源 PWR。位元線多工器 120 並選擇位元線 BL 中的多個選中位元線對 SBL。其中，每一組位元線對具有兩條位元線，此兩條位元線可用來分別傳送相位互補的兩個位元線信號。

感測電路 130 透過選中位元線對 SBL 耦接位元線多工器 120。感測電路 130 針對各選中位元線對 SBL 上的資料進行感測，並藉以產生讀出資料 RDOUT。

位元線電壓控制電路 140 用以產生位元線電源 PWR，並將位元線電源 PWR 傳送至位元線多工器 120 以作為位元線多工器 120 對選中位元線 SBL 進行預充電的電源。在本實施例中，位元線電壓控制電路 140 所產生的位元線電源 PWR 受到製程參數的變動的影響，是可以有效的被抑制的。

關於位元線電壓控制電路 140 的實施細節，請參照圖 2，圖 2 繪示本發明實施例的位元線電壓控制電路 140 的實施方式示意圖。位元線電壓控制電路 140 包括控制器 141、電壓上拉電路 142、電壓下拉電路 143 以及電壓維持器 144。控制器 141 接收記憶庫選擇信號 PI 以及時脈信號 CLK。控制器 141 依據記憶庫選擇信號 PI 以及時脈信號 CLK 來決定上拉時間週期、下拉時間週期以及電壓維持時

間週期三個時間週期。其中，上拉時間週期可以發生在下拉時間週期之前，或上拉時間週期也可以發生在下拉時間週期之後。值得注意的，電壓維持時間週期必定發生在上拉時間週期及下拉時間週期之後。

電壓上拉電路 142 耦接控制器 141，電壓上拉電路 142 用以在上拉時間週期間依據第一參考電壓來拉高位元線電源 PWR。電壓下拉電路 143 同樣耦接控制器 141，電壓下拉電路 143 用以在下拉時間週期間依據第二參考電壓來拉低位元線電源 PWR。其中，第一參考電壓大於第二參考電壓。電壓維持器 144 耦接控制器 141，電壓維持器 144 在電壓維持時間週期使位元線電源 PWR 維持等於一個輸出電壓的電壓值。

具體來說，當位元線電壓控制電路 140 所接收的記憶庫選擇信號 PI 被致能時(代表位元線電壓控制電路 140 所對應的記憶庫(bank)要被進行讀取)，記憶庫選擇信號 PI 被致能的時間區間中被區分為上拉時間週期、下拉時間週期以及電壓維持時間週期。簡單來說，以記憶庫選擇信號 PI 被致能的時間區間等於時脈信號 CLK 的一個週期為範例，其中，上拉時間週期、下拉時間週期以及電壓維持時間週期可被分配在時脈信號 CLK 的前半週期中。

位元線電壓控制電路 140 可先在上拉時間週期透過電壓上拉電路 142 依據第一參考電壓來上拉位元線電源 PWR，接著，在下拉時間週期透過電壓下拉電路 143 依據第二參考電壓來下拉位元線電源 PWR。其中，第一參考電

壓可以是位元線電壓控制電路 140 所接收的操作電壓，而第二參考電壓可以是位元線電壓控制電路 140 所接收的接地電壓。接下來，位元線電壓控制電路 140 在電壓維持時間週期透過電壓維持器 144 來使位元線電源 PWR 維持等於輸出電壓。

值得注意的，上述的位元線電壓控制電路 140 上拉以及下拉位元線電源 PWR 的動作可以相互交換，不限於一定要先對位元線電源 PWR 進行電壓上拉的動作。

請參照圖 3A，圖 3A 繪示本發明實施例的位元線電壓控制電路 140 的第一實施方式的電路圖。其中的電壓上拉電路 142 由上拉電晶體 M0 所建構，電壓下拉電路 143 則由下拉電晶體 M1 以及 M2 所建構，電壓維持器 144 則由電晶體 M3 以及 M4 所建構。上拉電晶體 M0 的第一端接收第一參考電壓(例如是操作電壓 VDD)，上拉電晶體 M0 的控制端接收控制信號 CTR1，上拉電晶體 M0 的第二端耦接至位元線電源 PWR。下拉電晶體 M1 的控制端接收控制信號 CTR21，下拉電晶體 M1 的第一端耦接至位元線電源 PWR，下拉電晶體 M1 的第二端與下拉電晶體 M2 的第一端相耦接，且下拉電晶體 M2 的第二端耦接至第二參考電壓(例如是接地電壓 GND)，下拉電晶體 M2 的控制端則接收控制信號 CTR22。另外，在電壓維持器 144 中，電晶體 M3 以及 M4 的控制端共同接收控制信號 CTR3，且電晶體 M3 的第一端耦接至操作電壓 VDD，電晶體 M3 的第二端與電晶體 M4 的第一端相耦接，電晶體 M4 的第二端耦

接至接地電壓 GND。

控制信號 CTR1、CTR21、CTR22 及 CTR3 是由控制器 141 分別回應上拉時間週期、下拉時間週期以及電壓維持時間週期所產生。

在本實施方式中，控制器 141 包括反向器 INV1 ~ INV3、及閘 AND1、反或閘 NOR1 以及延遲器 1411~1413。反向器 INV1 接收時脈信號 CLK，其輸出端耦接至及閘 AND1 的第一輸入端。及閘 AND1 的第二輸入端接收記憶庫選擇信號 PI，其輸出端產生控制信號的一位元(控制信號 CTR22)。反向器 INV2 同樣接收時脈信號 CLK，其輸出端則耦接至延遲器 1411 的輸入端，延遲器 1411 的輸出端則產生控制信號 CTR1。反或閘 NOR1 的第一輸入端耦接及閘 AND1 的輸出端，反或閘 NOR1 的第二輸入端接收時脈信號 CLK。反或閘 NOR1 的輸出端耦接至延遲器 1412 的輸入端，延遲器 1412 的輸出端則產生控制信號的另一個位元(控制信號 CTR21)。反向器 INV3 以及延遲器 1413 依序串接於及閘 AND1 的輸出端以及電壓維持器 144 間。延遲器 1413 的輸出端產生控制信號 CTR3。

關於本實施方式的位元線電壓控制電路 140 的動作細節，請同時參照圖 3A 以及 3B，圖 3B 繪示記憶庫選擇信號 PI 以及時脈信號 CLK 的波形圖。其中，在時脈信號 CLK 由邏輯高電壓準位轉態到邏輯低電壓準位的瞬間(上拉時間週期 T1 間)，上拉電晶體 M0 被導通，並使位元線電源 PWR 被拉高至操作電壓 VDD，其中，上拉時間週期 T1 的

時間長短可以由延遲器 1411 以及反向器 INV2 所提供的延遲所決定。另外，及閘 AND1、反向器 INV1 以及反或閘 NOR1 形成一個單擊電路(one shot circuit)，並依據時脈信號 CLK 由邏輯高電壓準位轉態到邏輯低電壓準位的轉態動作產生一個正電壓的脈衝波。延遲器 1412 則將這個正電壓的脈衝波加以延遲以產生控制信號 CTR21 以導通電晶體 M1。控制信號 CTR21 的脈衝寬度可以等於下拉時間週期 T2 的時間寬度)。並且，在下拉時間週期 T2 中，下拉電晶體 M1 以及 M2 同時被導通(上拉電晶體 M1 已被斷開)，並被使位元線電源 PWR 依據接地電壓 GND 而被下拉(例如被下拉至等於 30%的操作電壓 VDD)。

延遲器 1413 則使反向器 INV3 的輸出被延遲，並在下拉電晶體 M1 以及 M2 被斷開時，在電壓維持時間週期 T3 中，提供控制信號 CTR3 使電晶體 M3 及 M4 被開啟以維持住位元線電源 PWR 的電壓準位。

在本實施方式中，由於位元線電源 PWR 被下拉的幅度是由下拉電晶體 M1 及 M2 同時導通的時間所決定的。當製程參數飄移到 N 型電晶體具有較強的電流汲取能力時，依據邏輯高準位電壓的控制信號 CTR21、CTR22 所導通的下拉電晶體 M1 及 M2 被導通的時間相對變短。相對的，當製程參數飄移到 N 型電晶體具有較弱的電流汲取能力時，依據邏輯高準位電壓的控制信號 CTR21、CTR22 所導通的下拉電晶體 M1 及 M2 被導通的時間相對變長。因此，位元線電源 PWR 被下拉的幅度可以被穩定的控制在

一個範圍中，不因製程的飄移而產生過大的變化。

附帶一提的，本實施方式中的電晶體 M0、M3 以及 M4 為 P 型電晶體，而電晶體 M1 以及 M2 皆為 N 型電晶體。

請參照圖 3C，圖 3C 繪示本發明實施例的位元線電壓控制電路 140 的第二實施方式的電路圖。與前一實施方式不相同的，本實施方式中的電壓上拉電路 142 包括兩個電晶體 M0\_1 以及 M0\_2。其中，電晶體 M0\_1 的控制端直接接收時脈信號 CLK 以做為控制信號 CTR11，電晶體 M0\_2 的控制端則接收延遲器 1411 的輸出端上的信號以做為控制信號 CTR12。本實施方式的動作細節與前一實施方式相類似，在此恕不多贅述。

請參照圖 3D，圖 3D 繪示本發明實施例的位元線電壓控制電路 140 的第三實施方式的電路圖。與位元線電壓控制電路 140 的第一實施方式不同的，本實施方式的電壓維持器 144 所包括的電晶體 M3 及 M4 為 N 型電晶體。對應於此，延遲器 1413 的輸入端直接耦接至及閘 AND1 的輸出端，延遲器 1413 的輸出端則直接提供控制信號 CTR3 至電晶體 M3 及 M4 的控制端。

請參照圖 3E，圖 3E 繪示本發明實施例的位元線電壓控制電路 140 的第四實施方式的電路圖。與位元線電壓控制電路 140 的第一實施方式不同的，本實施方式的電壓維持器 144 所包括的電晶體 M3 為 P 型電晶體，電晶體 M4 則為 N 型電晶體。對應於此，延遲器 1413 的輸入端直接

耦接至及閘 AND1 的輸出端，延遲器 1413 的輸出端則直接提供控制信號 CTR32 至電晶體 M4 的控制端。另外，反向器 INV3 則串接在延遲器 1413 的輸出端以及電晶體 M3 的控制端間，延遲器 1413 的輸出端產生控制信號 CTR31。

請參照圖 3F，圖 3F 繪示本發明實施例的位元線電壓控制電路 140 的第五實施方式的電路圖。在本實施方式中，電壓上拉電路 142 由電晶體 M0 所構成，電壓下拉電路 143 則由單一電晶體 M1 所構成，電壓維持器 144 則由 P 型電晶體 M3 以及 M4 所構成。對應於此，本實施方式的控制器 141 中包括反向器 INV1 以及 INV2、反或閘 NOR1、及閘 AND1 以及延遲器 1411~1413。反向器 INV1 的輸入端接收時脈信號 CLK，其輸出端耦接至延遲器 1411 的輸入端，延遲器 1411 的輸出端則產生控制信號 CTR1。及閘 AND1 的兩個輸入端分別接收時脈信號 CLK 以及記憶庫選擇信號 PI。反向器 INV2 的輸入端耦接至及閘 AND1 的輸出端，反向器 INV2 的輸出端則耦接延遲器 1412 的輸入端。反或閘 NOR1 的兩輸入端分別耦接至延遲器 1412 與及閘 AND1 的輸出端，反或閘 NOR1 的輸出端產生控制信號 CTR2，其中，反或閘 NOR1、延遲器 1412 以及反向器 INV2 形成單擊電路，並用以產生為正脈衝信號的控制信號 CTR2。

請參照圖 3G，圖 3G 繪示本發明實施例的位元線電壓控制電路 140 的第六實施方式的電路圖。在本實施方式中，電壓上拉電路 142 由電晶體 M0\_1 及 M0\_2 所構成，

電壓下拉電路 143 則由單一電晶體 M1 所構成，電壓維持器 144 則由 P 型電晶體 M3 以及 M4 所構成。控制器 141 則包括及閘 AND1、反向器 INV1 以及延遲器 1411~1413。及閘 AND1 的兩輸入端分別接收時脈信號 CLK 以及記憶庫選擇信號 PI，及閘 AND1 的輸出端則產生控制信號 CTR11，並耦接至反向器 INV1 以及延遲器 1413 的輸入端。反向器 INV1 的輸出端耦接至延遲器 1411，延遲器 1411 的輸出端產生控制信號 CTR12。延遲器 1413 的輸出端則產生控制信號 CTR3。

與前述的位元線電壓控制電路 140 的第一至第五實施方式不相同的，本實施例的位元線電壓控制電路 140 是先透過電壓下拉電路 143 對位元線電源 PWR 進行拉低的動作，再透過電壓上拉電路 142 將位元線電源 PWR 拉高至合適的輸出電壓的電壓準位。也就是說，本實施例的上拉時間週期發生在下拉時間週期之後。

以下請參照圖 4，圖 4 繪示本發明實施例的延遲器 400 的一實施方式的電路圖。延遲器 400 包括多數個反向器 410~4N0。反向器 410~4N0 相互串連，並且，第一級的反向器 410 的輸入端接收信號 IN，而最後一級的反向器 4N0 的輸出端產生信號 OUT。反向器 410~4N0 的數量可以是偶數。

以下請參照圖 5A，圖 5A 繪示本發明實施例的位元線多工器 120 以及感測電路 130 的一實施方式。在本實施方式中，位元線多工器 120 包括電晶體 MN1、MP1 組成的電



晶體對、電晶體 MN2、MP2 組成的電晶體對以及電晶體 MP3、MP4 以及 MP5。電晶體 MN1、MP1 以及電晶體 MN2、MP2 所建構的電晶體對接收位元線電壓 PWR 並依據預充電信號 PCHN 及 PCHP 對選中位元線對(選中位元線 LBL 以及 LBLB)進行預充電動作。電晶體 MP4 以及 MP5 則以交叉耦合的方式相互耦接，以使選中位元線 LBL 以及 LBLB 上的電壓可以快速的達到全擺幅(full swing)的狀態。

請特別注意的，感測電路 130 包括多個感測器 510，單一個感測器 510 耦接一個位元線對的其中之一條位元線(例如位元線 LBL)。感測器 510 包括電晶體 MN3 所建構的資料傳輸開關、電晶體 MN4 所建構的選擇開關、電晶體 MP6 所建構的預充電開關以及緩衝器 INVA。電晶體 MN3 的第一端接收第二參考電壓(接地電壓 GND)，其第二端耦接第一端點 CT1。電晶體 MN3 的控制端耦接選中位元線 LBL，電晶體 MN3 並依據選中位元線 LBL 上的資料以導通或斷開。

電晶體 MN4 的第一端及第二端分別耦接在第一端點 CT1 以及讀取位元線 RBL 間。電晶體 MN4 的控制端接收讀取選擇信號 YMUX，電晶體 MN4 依據讀取選擇信號 YMUX 以導通或斷開。電晶體 MP6 的第一端接收第一參考電壓(操作電壓 VDD)，其第二端耦接讀取位元線 RBL，並且，電晶體 MP6 的控制端接收預充電信號 PCHSA，電晶體 MP6 依據預充電信號 PCHSA 而導通或斷開。

當進行資料讀取動作時，電晶體 MP6 依據預充電信

號 PCHSA 對讀取位元線 RBL 進行預充電動作。接著，電晶體 MN3 並依據選中位元線 LBL 上的資料以導通或斷開，並藉以決定是否將導通接地電壓 GND 是否直接連接至第一端點 CT1，並且，在電晶體 MN4 依據讀取選擇信號 YMUX 以導通時，若電晶體 MN3 是被導通的，讀取位元線 RBL 上的電壓會被下拉，並使緩衝器 INVA 產生為“1”的讀出資料 RDOUT。相對的，若電晶體 MN3 是被斷開的，讀取位元線 RBL 上的電壓維持等於被預充電後的狀態，並使緩衝器 INVA 產生為“0”的讀出資料 RDOUT。其中，緩衝器 INVA 是一個反向器。另外，電晶體 MN3 及 MN4 為 N 型電晶體，電晶體 MP6 為 P 型電晶體。

另外，請參照圖 5B，圖 5B 繪示本發明實施例的感測器 510 的另一實施方式的示意圖。感測器 510 包括電晶體 MN4 所建構的資料傳輸開關、電晶體 MN3 所建構的選擇開關、電晶體 MP6 所建構的預充電開關以及緩衝器 INVA。本實施方式與圖 5A 的實施方式不相同的在於資料傳輸開關與選擇開關的連接關係。建構資料傳輸開關的電晶體 MN4 的第一端耦接電晶體 MN3 的第一端，其第二端耦接讀取位元線 RBL，電晶體 MN4 的控制端耦接選中位元線 LBL，電晶體 MN4 並依據選中位元線 LBL 上的資料以導通或斷開。

建構選擇開關的電晶體 MN3 的第一端及第二端分別耦接在第一端點 CT1 以及接地電壓 GND 間。電晶體 MN3 的控制端接收讀取選擇信號 YMUX，電晶體 MN3 依據讀

取選擇信號 YMUX 以導通或斷開。

以下請參照圖 6A~圖 6F，圖 6A~圖 6F 繪示本發明實施例的感測器 510 另外多個實施方式。其中，圖 6A 中，資料傳輸開關由 P 型電晶體 MP6 建構，選擇開關由 N 型電晶體 MN3 所建構的，預充電開關則是由 N 型電晶體 MN4 所建構。另外，預充電開關耦接在第二參考電壓(接地電壓 GND)以及讀取位元線 RBL 間，也就是說，本實施方式中，讀取位元線 RBL 會被預充到等於接地電壓 GND。並且，建構資料傳輸開關的電晶體與建構預充電開關的電晶體的型態必須是互補的。

在圖 6B，資料傳輸開關則由 N 型電晶體 MN3 建構，選擇開關由 P 型電晶體 MP6 所建構的，預充電開關則是由 P 型電晶體 MP7 所建構。電晶體 MP6 的第一及第二端分別耦接至電晶體 MN3 的第一端與操作電壓 VDD，電晶體 MN3 的第二端則耦接至讀取位元線 RBL。本實施方式與圖 6A 實施方式所接收的讀取選擇信號 YMUX 是反向的。

在圖 6C 中，資料傳輸開關則由 N 型電晶體 MN3 建構，選擇開關由 P 型電晶體 MP6 所建構的，預充電開關則是由 P 型電晶體 MP7 所建構。本實施方式與圖 6A 實施方式所接收的讀取選擇信號 YMUX 是反向的。而在圖 6D 中，資料傳輸開關則由 P 型電晶體 MP6 建構，選擇開關由 N 型電晶體 MN3 所建構的，預充電開關則是由 P 型電晶體 MP7 所建構。

在圖 6E 中，資料傳輸開關則由 P 型電晶體 MP6 建構，

選擇開關由 P 型電晶體 MN8 所建構，預充電開關則是由 N 型電晶體 MN4 所建構。而在圖 6F 中，資料傳輸開關則由 P 型電晶體 MP8 建構，選擇開關由 P 型電晶體 MN6 所建構，預充電開關則是由 N 型電晶體 MN4 所建構。

綜上所述，本發明透過位元線電壓控制電路中的電壓上拉電路、電壓下拉電路以及電壓維持器來使位元線電源的電壓先被拉高、後被拉低並維持在合適的輸出電壓的電壓準位，或是先被拉低、後被拉高並維持在合適的輸出電壓的電壓準位。如此一來，位元線電源的電壓可以不受製程參數的飄移而產生過大的變化，有效穩定靜態隨機存取記憶裝置的資料讀取效能。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 繪示本發明實施例的靜態隨機存取記憶裝置 100 的示意圖。

圖 2 繪示本發明實施例的位元線電壓控制電路 140 的實施方式示意圖。

圖 3A 繪示本發明實施例的位元線電壓控制電路 140 的第一實施方式的電路圖。

圖 3B 繪示記憶庫選擇信號 PI 以及時脈信號 CLK 的

波形圖。

圖 3C 繪示本發明實施例的位元線電壓控制電路 140 的第二實施方式的電路圖。

圖 3D 繪示本發明實施例的位元線電壓控制電路 140 的第三實施方式的電路圖。

圖 3E 繪示本發明實施例的位元線電壓控制電路 140 的第四實施方式的電路圖。

圖 3F 繪示本發明實施例的位元線電壓控制電路 140 的第五實施方式的電路圖。

圖 3G 繪示本發明實施例的位元線電壓控制電路 140 的第六實施方式的電路圖。

圖 4 繪示本發明實施例的延遲器 400 的一實施方式的電路圖。

圖 5A 繪示本發明實施例的位元線多工器 120 以及感測電路 130 的一實施方式。

圖 5B、圖 6A~圖 6F 繪示本發明實施例的感測器 510 的多個實施方式。

#### 【主要元件符號說明】

100：靜態隨機存取記憶裝置

110：記憶胞陣列

120：位元線多工器

130：感測電路

140：位元線電壓控制電路

- 150：字元線控制器
- 140：位元線電壓控制電路
- 141：控制器
- 142：電壓上拉電路
- 143：電壓下拉電路
- 144：電壓維持器
- BL：位元線
- WL：字元線
- PWR：位元線電源
- SBL：選中位元線對
- RDOOUT：讀出資料
- PI：記憶庫選擇信號
- CLK：時脈信號
- M0、M0\_1、M0\_2、M1、M2、M3、M4、MN1~MN4、  
MP1~MP8：電晶體
- VDD：操作電壓
- GND：接地電壓
- CTR1~CTR3、CTR11、CTR12、CTR21、CTR22、  
CTR31、CTR32：控制信號
- INV1~INV3、410~4N0：反向器
- INVA：緩衝器
- 1411~1413：延遲器
- NOR1：反或閘
- AND1：及閘

IN、OUT：信號

LBL、LBLB：選中位元線

RBL：讀取位元線

PCHSA：預充電信號

YMUX：讀取選擇信號

CT1：第一端點

## 七、申請專利範圍：

1. 一種位元線電壓控制電路，適用於一靜態隨機存取記憶裝置，包括：

一控制器，接收一記憶庫選擇信號以及一時脈信號，依據該記憶庫選擇信號以及該時脈信號來決定一上拉時間週期、一下拉時間週期以及一電壓維持時間週期；

一電壓上拉電路，耦接該控制器，該電壓上拉電路在該上拉時間週期依據一第一參考電壓上拉一位元線電源；

一電壓下拉電路，耦接該控制器，該電壓下拉電路在該下拉時間週期依據一第二參考電壓下拉該位元線電源；  
以及

一電壓維持器，耦接該控制器，該電壓維持器在該電壓維持時間週期使該位元線電源維持等於一輸出電壓，

其中，該電壓維持時間週期在該上拉時間週期以及該下拉時間週期之後。

2. 如申請專利範圍第 1 項所述之位元線電壓控制電路，其中該輸出電壓介於該第一參考電壓以及該第二參考電壓間，且該第一參考電壓大於該第二參考電壓。

3. 如申請專利範圍第 1 項所述之位元線電壓控制電路，其中該上拉時間週期發生在該下拉時間週期之前，或該上拉時間週期發生在該下拉時間週期之後。

4. 如申請專利範圍第 1 項所述之位元線電壓控制電路，其中該電壓上拉電路包括：

至少一上拉電晶體，該上拉電晶體具有第一端、第二



端以及控制端，該上拉電晶體的第一端接收該第一參考電壓，該上拉電晶體的控制端接收一第一控制信號，該上拉電晶體的第二端耦接至該位元線電源，

其中，該控制信號應該上拉時間週期以產生該第一控制信號。

5. 如申請專利範圍第 4 項所述之位元線電壓控制電路，其中該電壓下拉電路包括：

至少一下拉電晶體，該下拉電晶體具有第一端、第二端以及控制端，該下拉電晶體的第二端接收該第二參考電壓，該下拉電晶體的控制端接收一第二控制信號，該下拉電晶體的第一端耦接至該位元線電源，

其中，該控制信號應該下拉時間週期以產生該第二控制信號。

6. 如申請專利範圍第 5 項所述之位元線電壓控制電路，其中該電壓維持器包括：

一第一電晶體，具有第一端、第二端以及控制端，該第一電晶體的第一端接收該第一參考電壓，該第一電晶體的控制端耦接一第三控制信號，該第一電晶體的第二端耦接至該位元線電源；以及

一第二電晶體，具有第一端、第二端以及控制端，該第二電晶體的第二端接收該第二參考電壓，該第二電晶體的控制端耦接該第三控制信號，該第二電晶體的第一端耦接至該位元線電源，

其中，該控制信號應該電壓維持時間週期以產生該第

三控制信號。

7.如申請專利範圍第 6 項所述之位元線電壓控制電路，其中該控制器包括：

一第一反向器，接收該時脈信號；

一及閘，其第一輸入端耦接該第一反向器的輸出端，其第二輸入端接收該記憶庫選擇信號，其輸出端產生該第二控制信號的一位元；

一第二反向器，接收該時脈信號；

一反或閘，其第一輸入端耦接該及閘的輸出端，其第二輸入端接收該時脈信號；

一第一延遲器，其輸入端耦接該第二反向器的輸出端，其輸出端產生該第一控制信號；

一第二延遲器，其輸入端耦接該反或閘的輸出端，其輸出端產生該第二控制信號的另一位元；以及

一第三延遲器，其輸入端耦接該及閘的輸出端，其輸出端產生該第三控制信號。

8.如申請專利範圍第 7 項所述之位元線電壓控制電路，其中該控制器更包括：

一第三反向器，耦接在該第三延遲器耦接該及閘的路徑間，其中該第三反向器的輸入端耦接至該及閘的輸出端，該第三反向器的輸出端耦接至該第三延遲器的輸入端。

9.如申請專利範圍第 7 項所述之位元線電壓控制電路，其中該控制器更包括：

一第三反向器，其輸入端耦接至該第三延遲器的輸出

端，

其中，該第三延遲器的輸出端產生該第三控制信號的一位元，該第三反向器的輸出端產生該第三控制信號的另一位元。

10. 如申請專利範圍第 6 項所述之位元線電壓控制電路，其中該控制器包括：

一及閘，其一輸入端接收該記憶庫選擇信號，其另一輸入端接收該時脈信號；

一第一反向器，接收該時脈信號；

一第二反向器，其輸入端耦接至該及閘的輸出端；

一第一延遲器，其輸入端耦接至該第一反向器的輸出端，其輸出端產生該第一控制信號；

一第二延遲器，其輸入端耦接至該第二反向器的輸出端；

一第一反或閘，其第一輸入端耦接該第二延遲器的輸出端，其第二輸入端耦接該第二反向器的輸入端，其輸出端產生該第二控制信號；以及

一第三延遲器，其輸入端耦接該及閘的輸出端，其輸出端產生該第三控制信號。

11. 如申請專利範圍第 6 項所述之位元線電壓控制電路，其中該控制器包括：

一及閘，其一輸入端接收該記憶庫選擇信號，其另一輸入端接收該時脈信號，其輸出端產生該第一控制信號的一位元；

一反向器，其輸入端耦接該及閘的輸出端；

一第一延遲器，其輸入端耦接該反向器的輸出端，其輸出端產生該第一控制信號的另一位元；

一第二延遲器，其輸入端接收該時脈信號，其輸出端產生該第二控制信號；以及

一第三延遲器，其輸入端耦接該及閘的輸出端，其輸出端產生該第三控制信號。

12. 一種靜態隨機存取記憶裝置，包括：

一記憶胞陣列，具有多數的位元線；

一位元線多工器，耦接記憶胞陣列，該位元線多工器接收一位元線電源，並選擇該些位元線中的多個選中位元線對；

一感測電路，耦接該位元線多工器，針對各該選中位元線對上的資料進行感測以對應產生一讀出資料；以及

一位元線電壓控制電路，耦接該位元線多工器，用以提供該位元線電源，該位元線電壓控制電路包括：

一控制器，接收一記憶庫選擇信號以及一時脈信號，依據該記憶庫選擇信號以及該時脈信號來決定一上拉時間週期、一下拉時間週期以及一電壓維持時間週期；

一電壓上拉電路，耦接該控制器，該電壓上拉電路在該上拉時間週期依據一第一參考電壓上拉一位元線電源；

一電壓下拉電路，耦接該控制器，該電壓下拉電路在該下拉時間週期依據一第二參考電壓上拉該位元線電

源；以及

一電壓維持器，耦接該控制器，該電壓維持器在該電壓維持時間週期使該位元線電源維持等於一輸出電壓，

其中，該電壓維持時間週期在該上拉時間週期以及下拉時間週期之後。

13. 如申請專利範圍第 12 項所述之靜態隨機存取記憶裝置，其中該感測電路包括多數個感測器，該些感測器分別耦接該些該些選中位元線對的其中之一，各該感測器包括：

一資料傳輸開關，其一端接收該第一參考電壓或該第二參考電壓，其另一端耦接至一第一端點，該資料傳輸開關依據各該選中位元線對的其中之一上的資料以導通或斷開；

一選擇開關，耦接在該第一端點以及一讀取位元線間，該選擇開關依據一讀取選擇信號以導通或斷開；

一預充電開關，其一端耦接該讀取位元線，其另一端耦接至該第一參考電壓或該第二參考電壓，該預充電開關依據一預充電信號而導通或斷開；以及

一緩衝器，其輸入端耦接該讀取位元線，其輸出端產生該讀出資料。

14. 如申請專利範圍第 12 項所述之靜態隨機存取記憶裝置，其中該感測電路包括多數個感測器，該些感測器分別耦接該些該些選中位元線對的其中之一，各該感測器

包括：

一資料傳輸開關，該資料傳輸開關依據各該選中位元線對的其中之一上的資料以導通或斷開，該資料傳輸開關的一端耦接至一讀取位元線；

一選擇開關，其一端耦接至該資料傳輸開關的另一端，其另一端耦接至該第一參考電壓或第二參考電壓，該選擇開關依據一讀取選擇信號以導通或斷開；

一預充電開關，其一端耦接該第一參考電壓或第二參考電壓，其第二端耦接至該讀取位元線，該預充電開關依據一預充電信號而導通或斷開；以及

一緩衝器，其輸入端耦接該讀取位元線，其輸出端產生該讀出資料。

15. 如申請專利範圍第 12 項所述之靜態隨機存取記憶裝置，其中該輸出電壓介於該第一參考電壓以及該第二參考電壓間，且該第一參考電壓大於該第二參考電壓。

16. 如申請專利範圍第 12 項所述之靜態隨機存取記憶裝置，其中該上拉時間週期發生在該下拉時間週期之前，或該上拉時間週期發生在該下拉時間週期之後。

17. 如申請專利範圍第 12 項所述之靜態隨機存取記憶裝置，其中該電壓上拉電路包括：

至少一上拉電晶體，該上拉電晶體具有第一端、第二端以及控制端，該上拉電晶體的第一端接收該第一參考電壓，該上拉電晶體的控制端接收一第一控制信號，該上拉電晶體的第二端耦接至該位元線電源，

其中，該控制信號應該上拉時間週期以產生該第一控制信號。

18. 如申請專利範圍第 17 項所述之靜態隨機存取記憶裝置，其中該電壓下拉電路包括：

至少一下拉電晶體，該下拉電晶體具有第一端、第二端以及控制端，該下拉電晶體的第二端接收該第二參考電壓，該下拉電晶體的控制端接收一第二控制信號，該上拉電晶體的第一端耦接至該位元線電源，

其中，該控制信號應該下拉時間週期以產生該第二控制信號。

19. 如申請專利範圍第 18 項所述之靜態隨機存取記憶裝置，其中該電壓維持器包括：

一第一電晶體，具有第一端、第二端以及控制端，該第一電晶體的第一端接收該第一參考電壓，該第一電晶體的控制端耦接一第三控制信號，該第一電晶體的第二端耦接至該位元線電源；以及

一第二電晶體，具有第一端、第二端以及控制端，該第二電晶體的第二端接收該第二參考電壓，該第二電晶體的控制端耦接該第三控制信號，該第二電晶體的第一端耦接至該位元線電源，

其中，該控制信號應該電壓維持時間週期以產生該第三控制信號。

八、圖式：

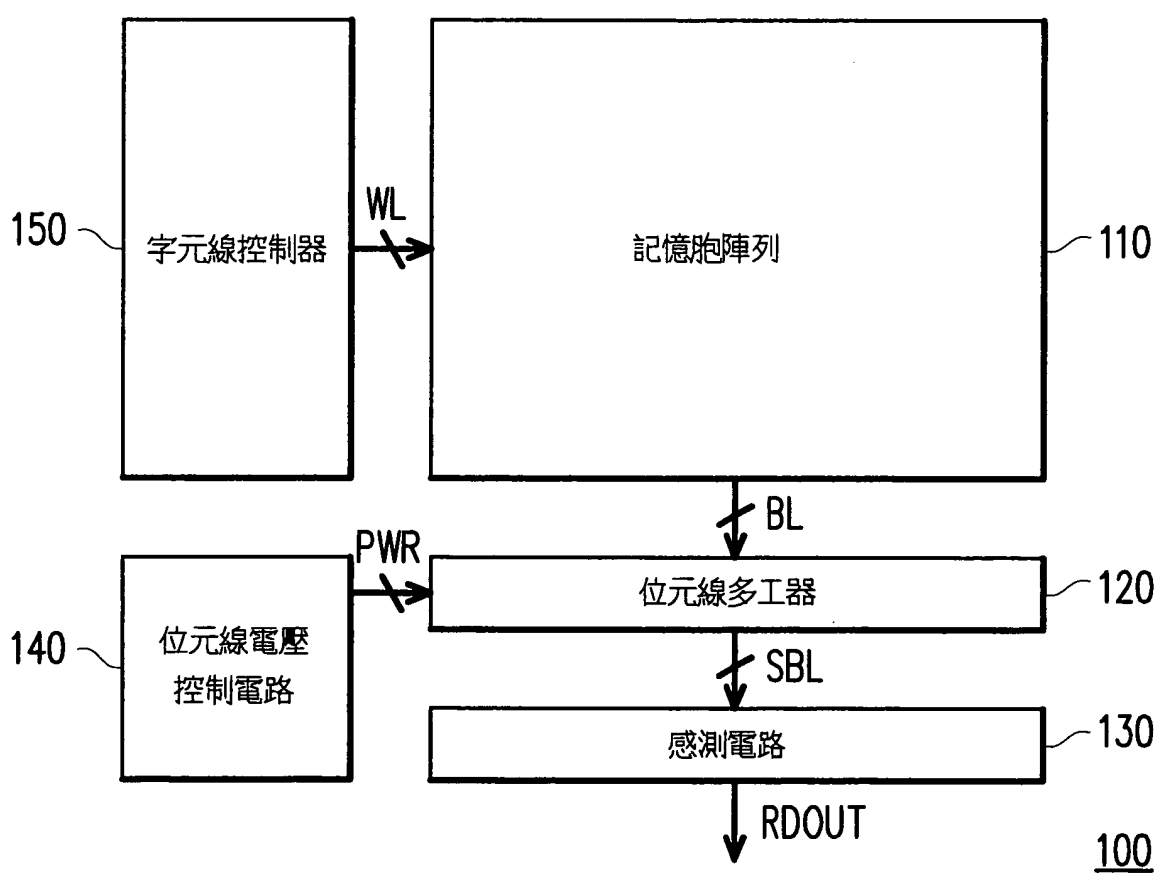
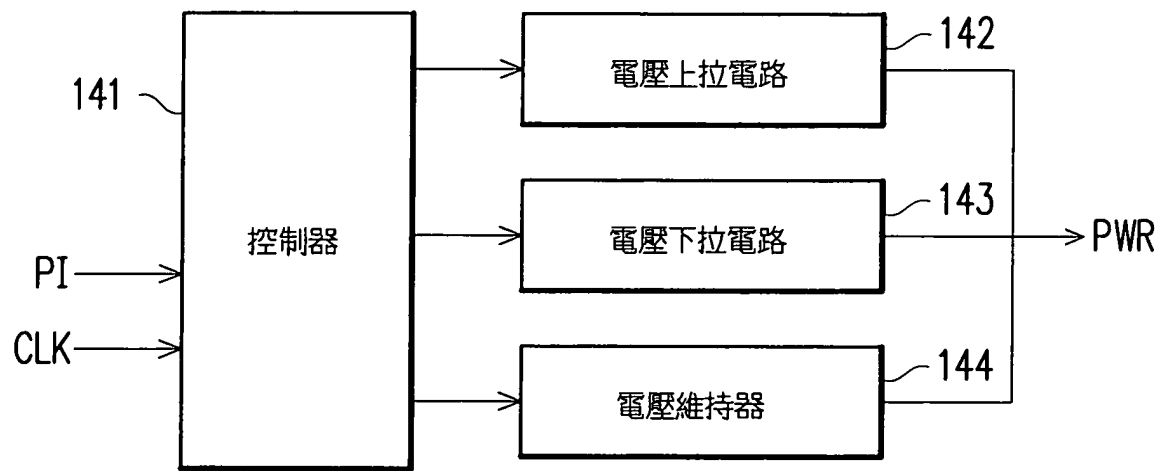


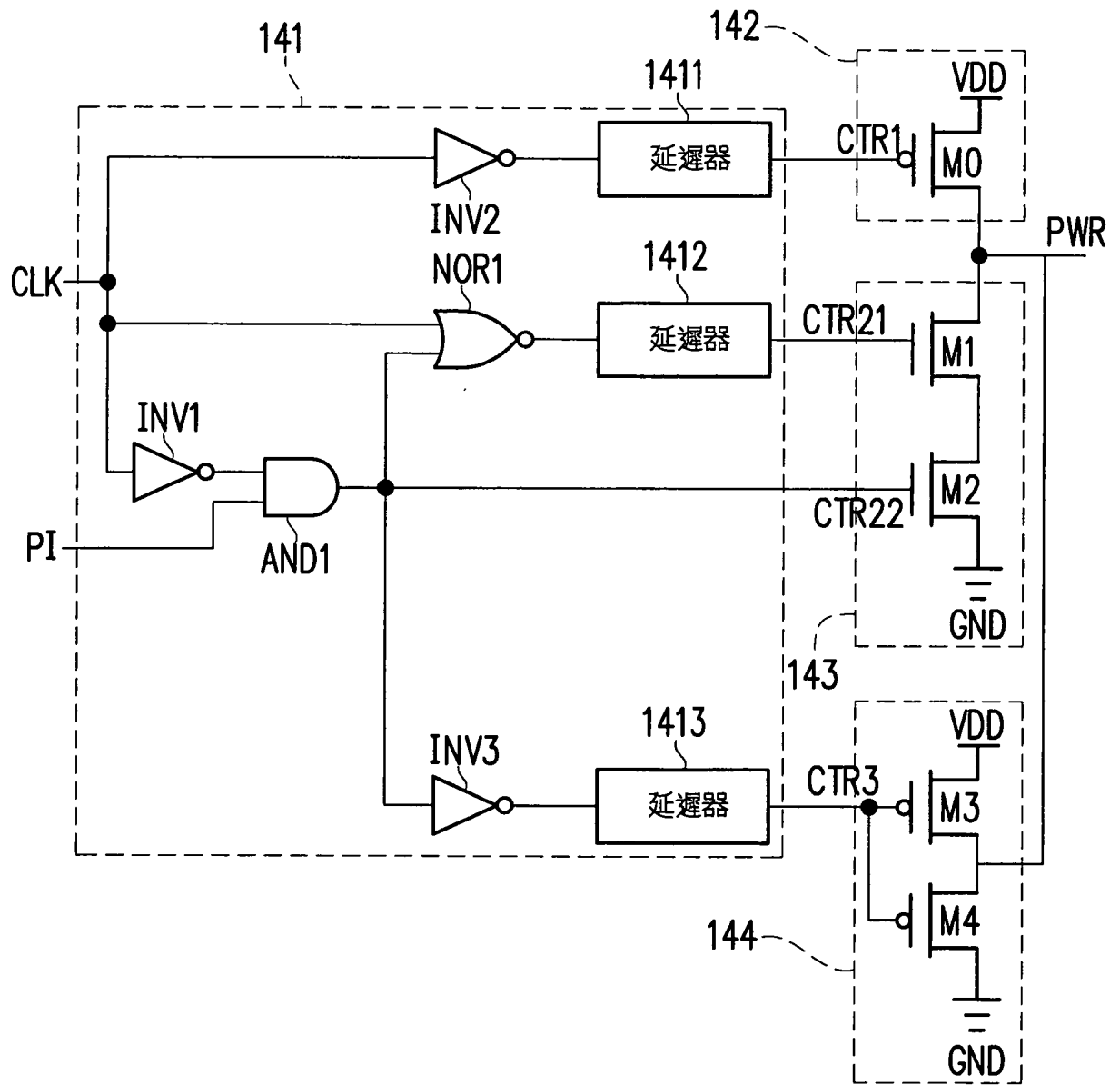
圖 1





140

圖 2



140

圖 3A

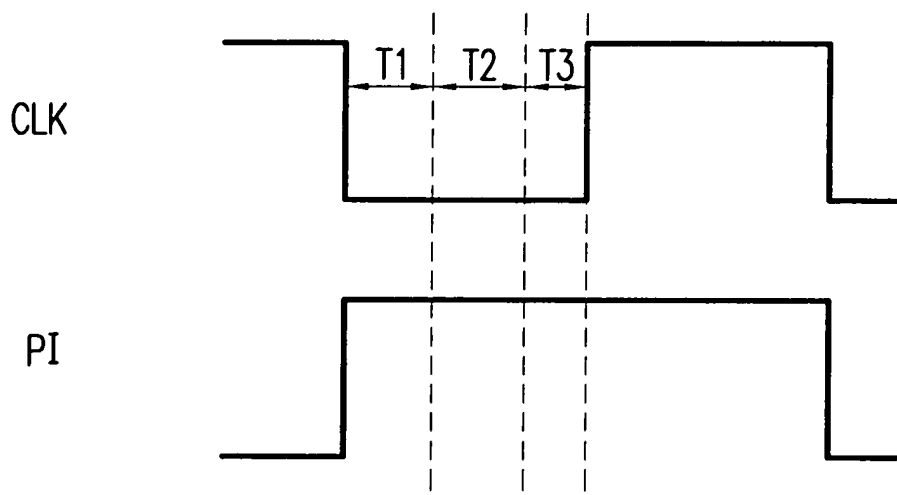
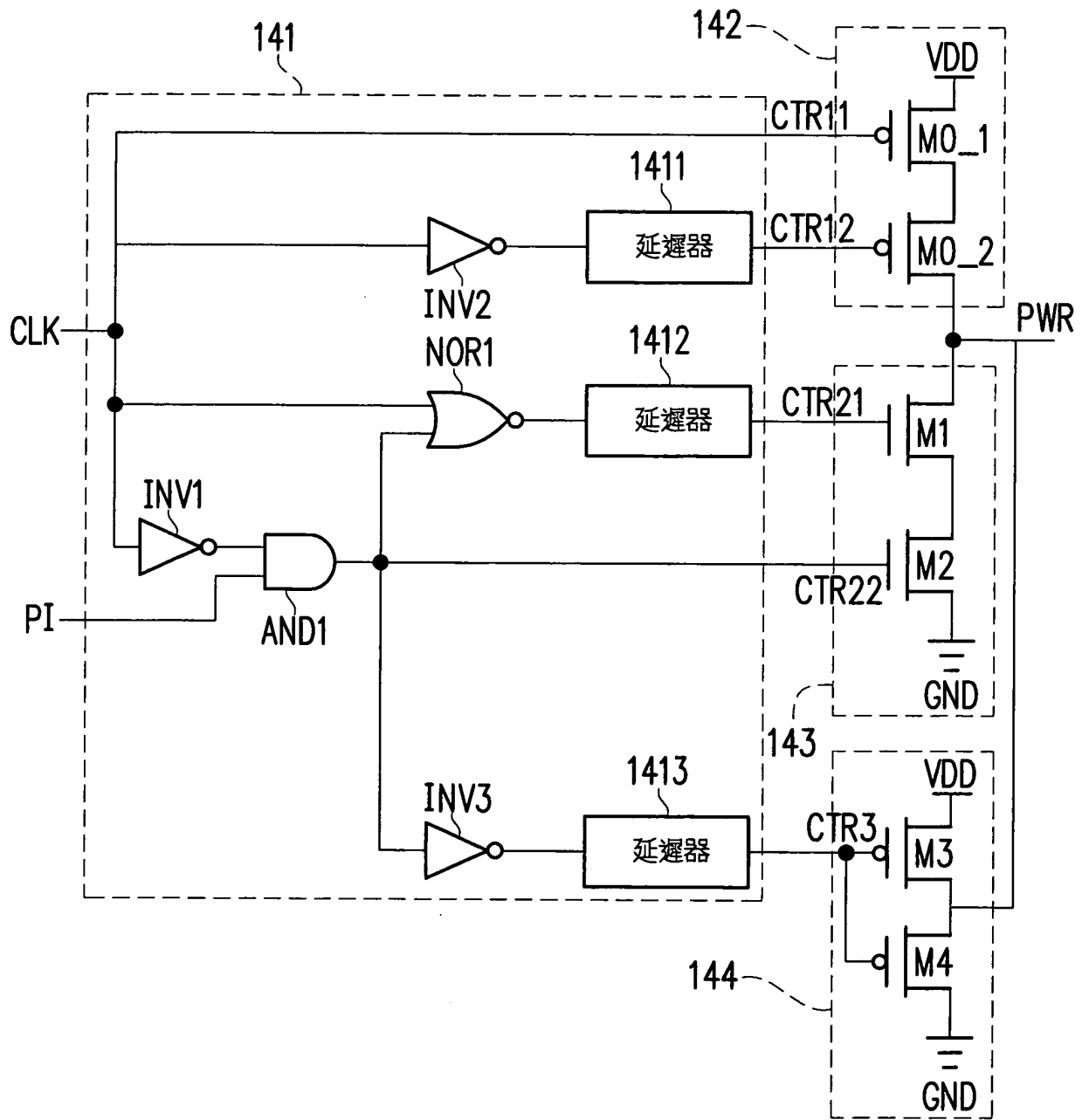


圖 3B



140

圖 3C

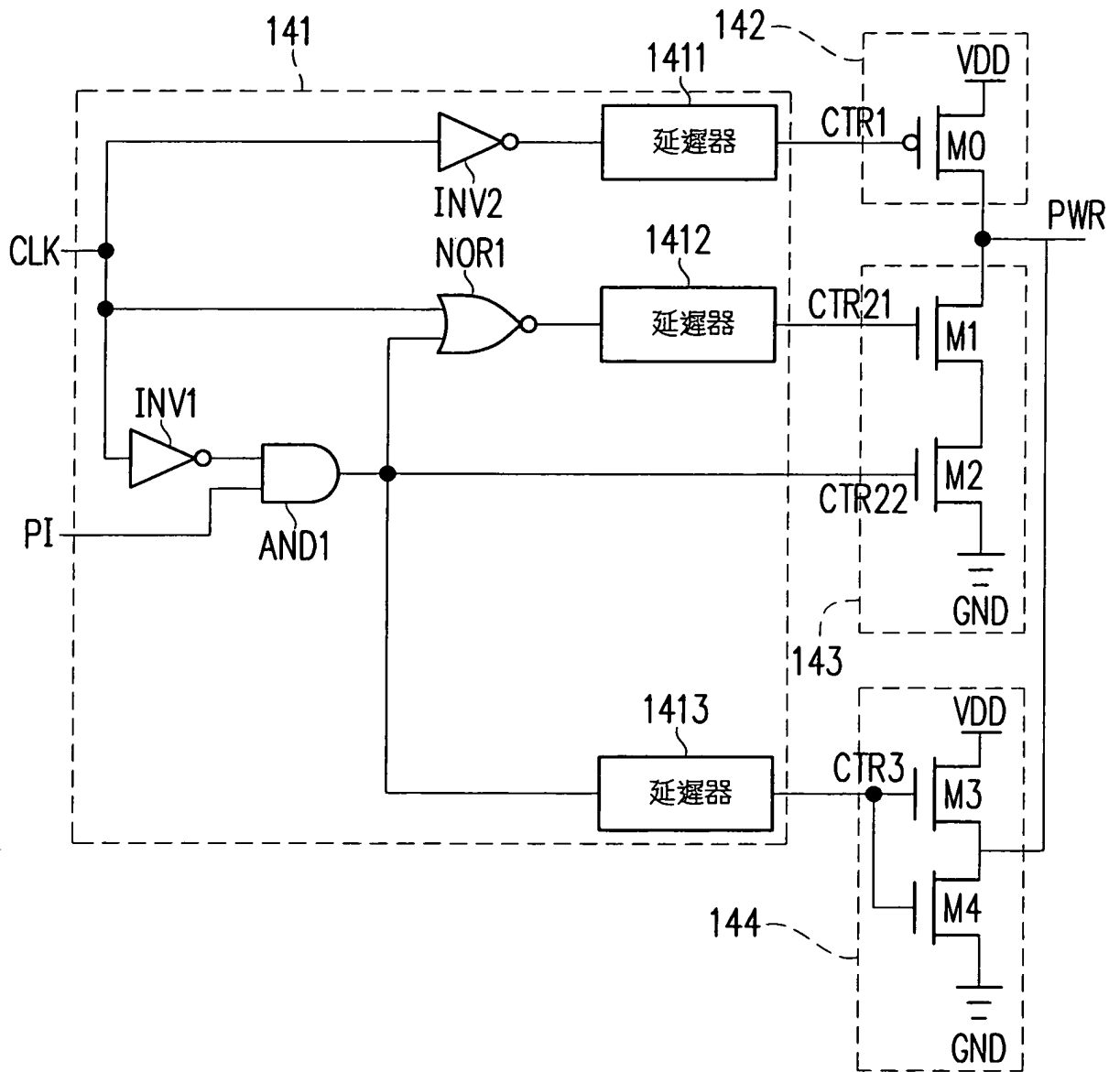


圖 3D

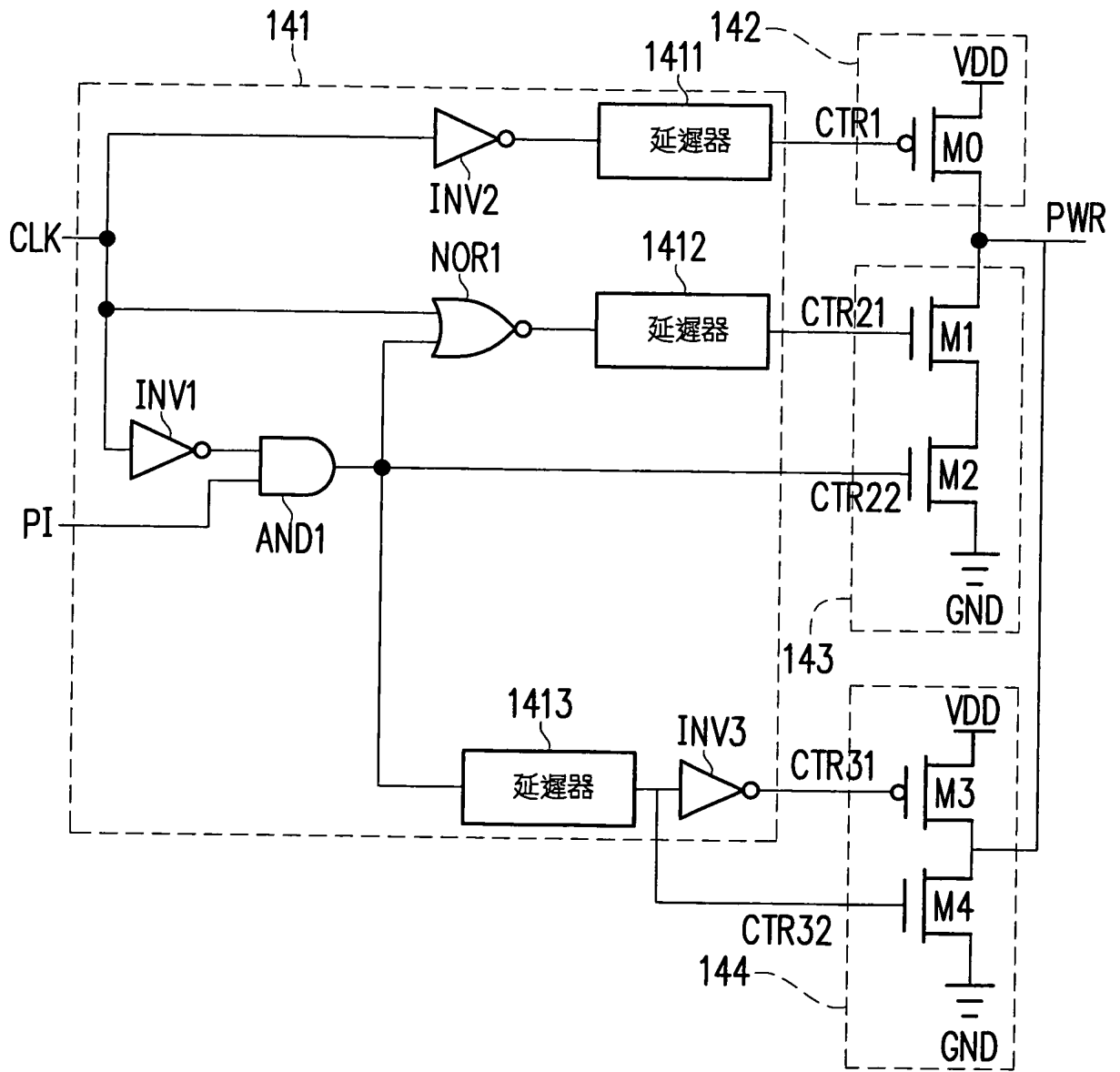


圖 3E

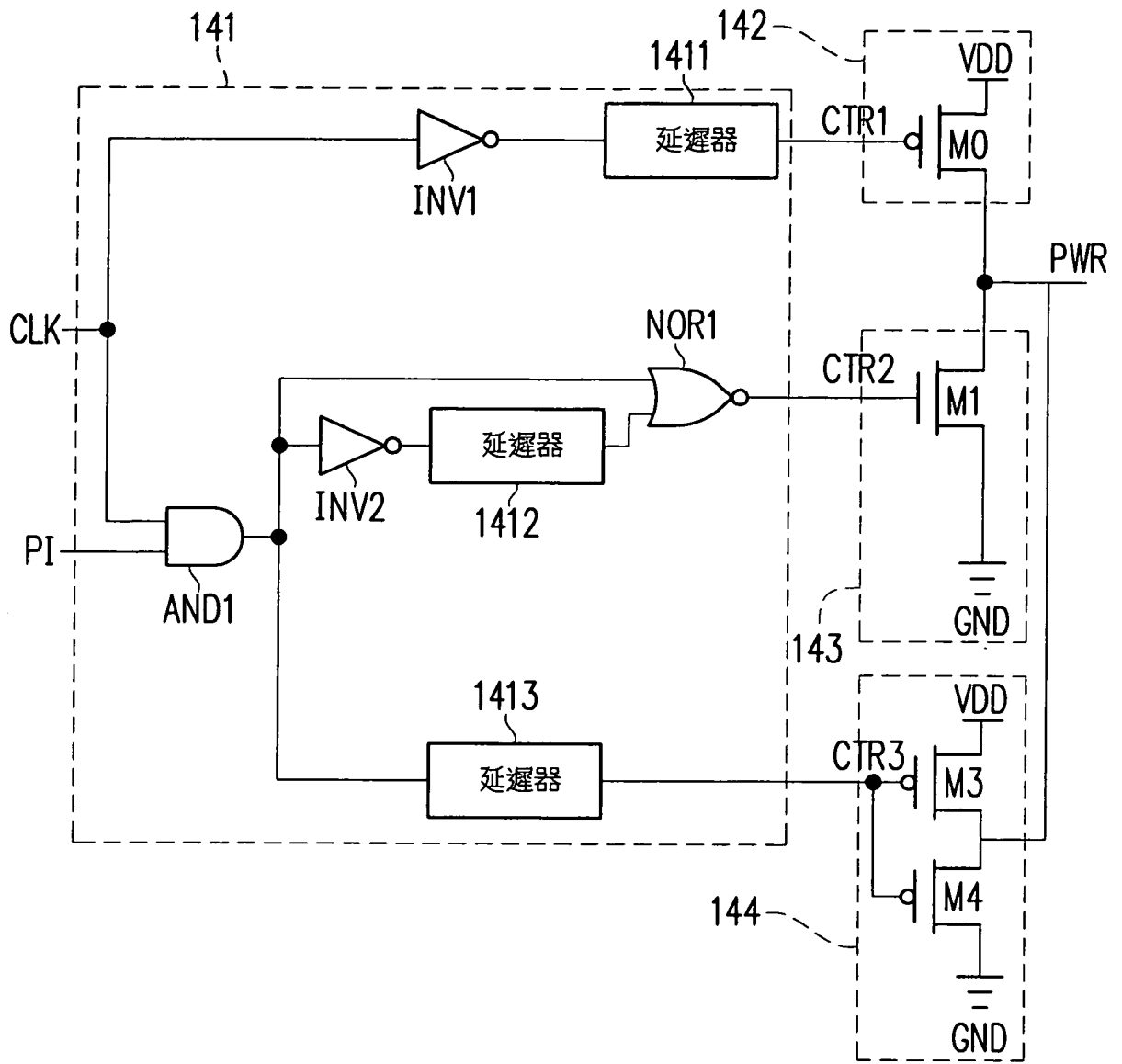
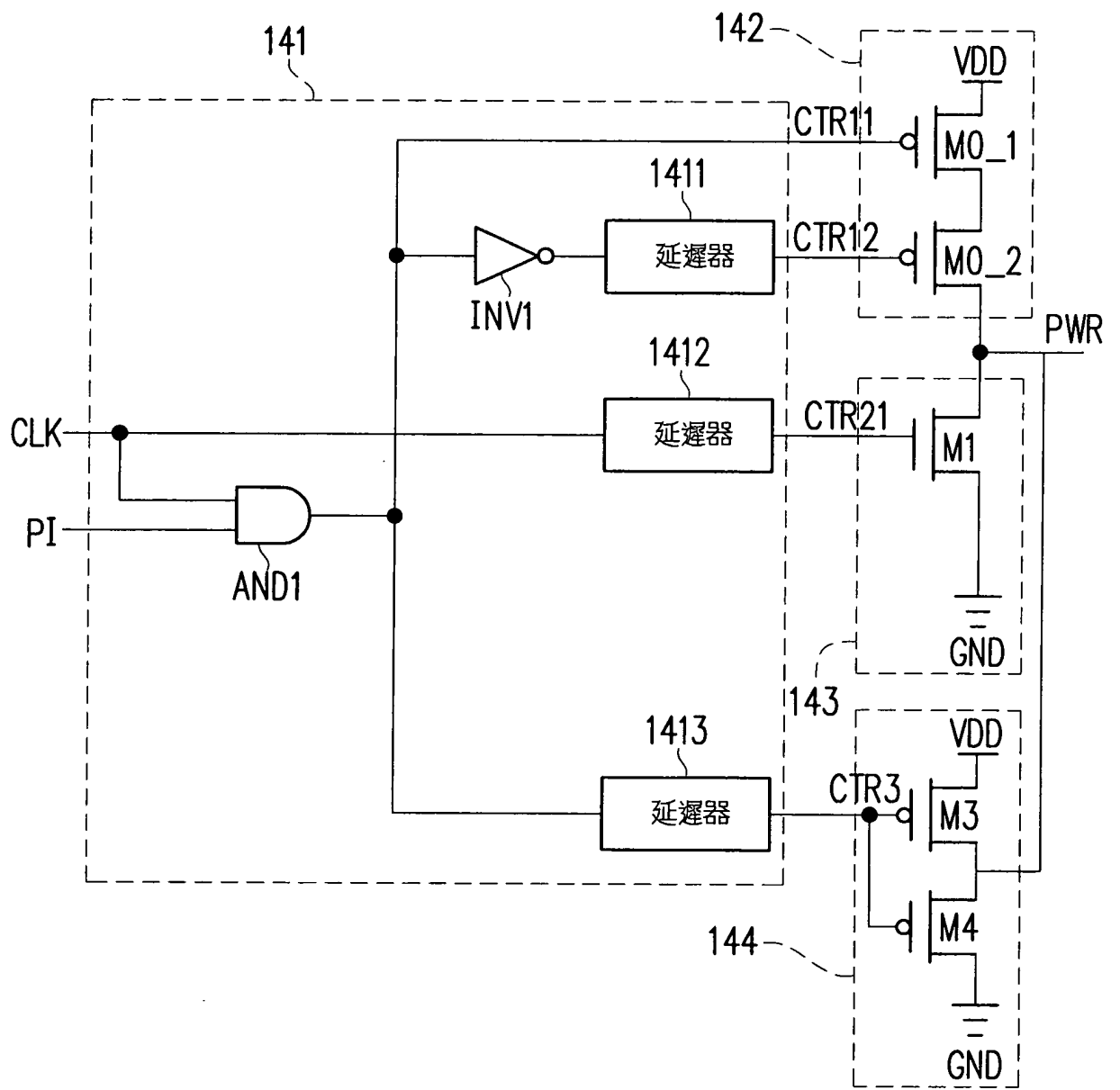


圖 3F



140

圖 3G



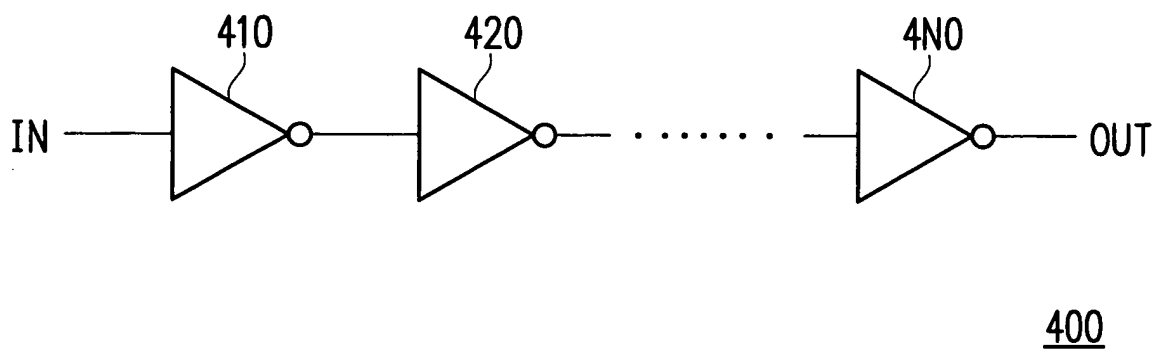
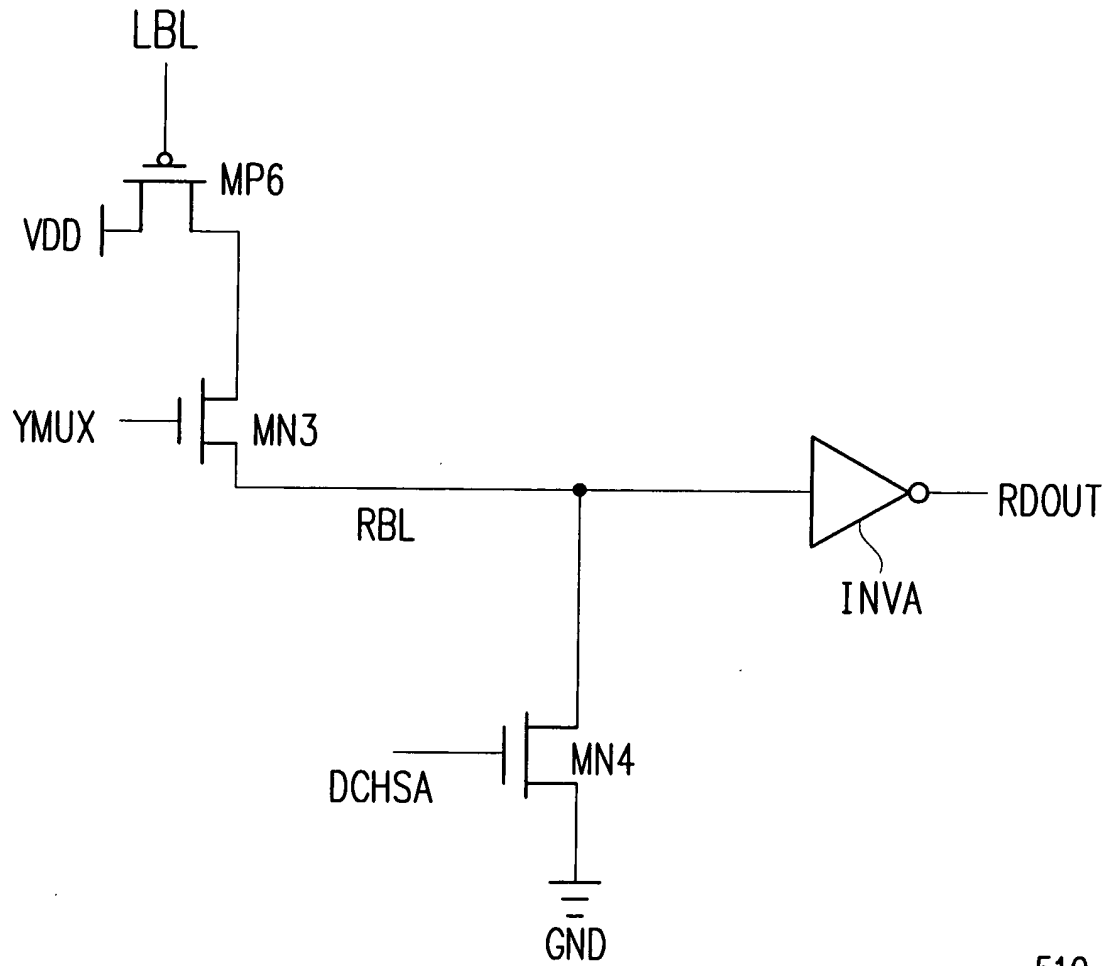


圖 4







510

圖 6A

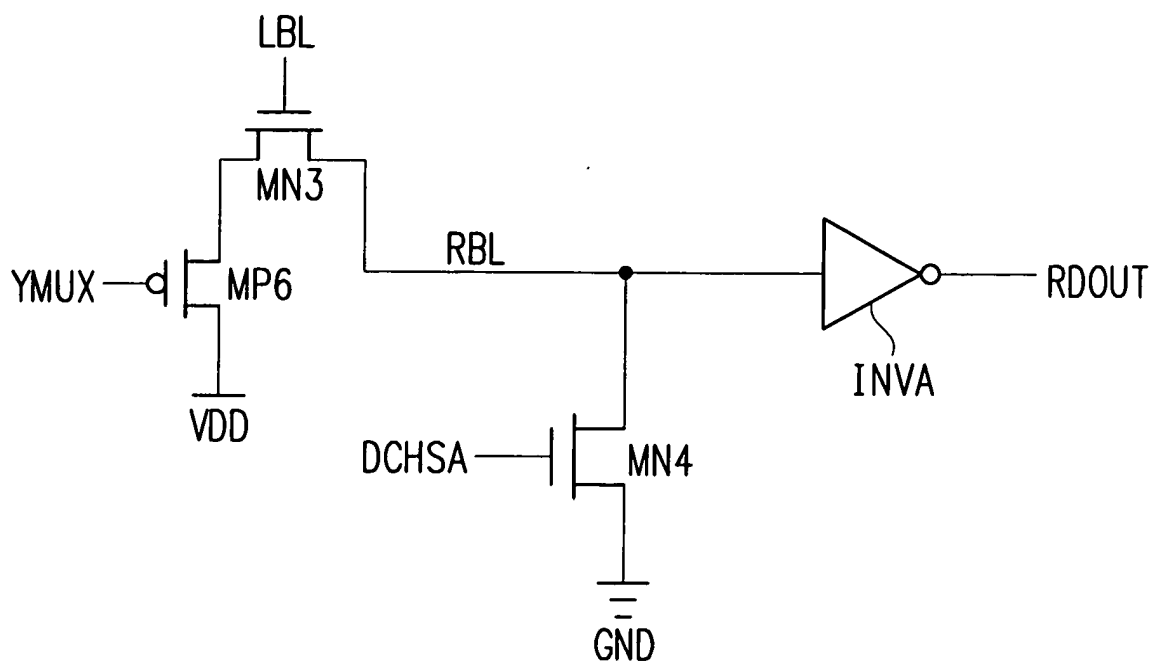
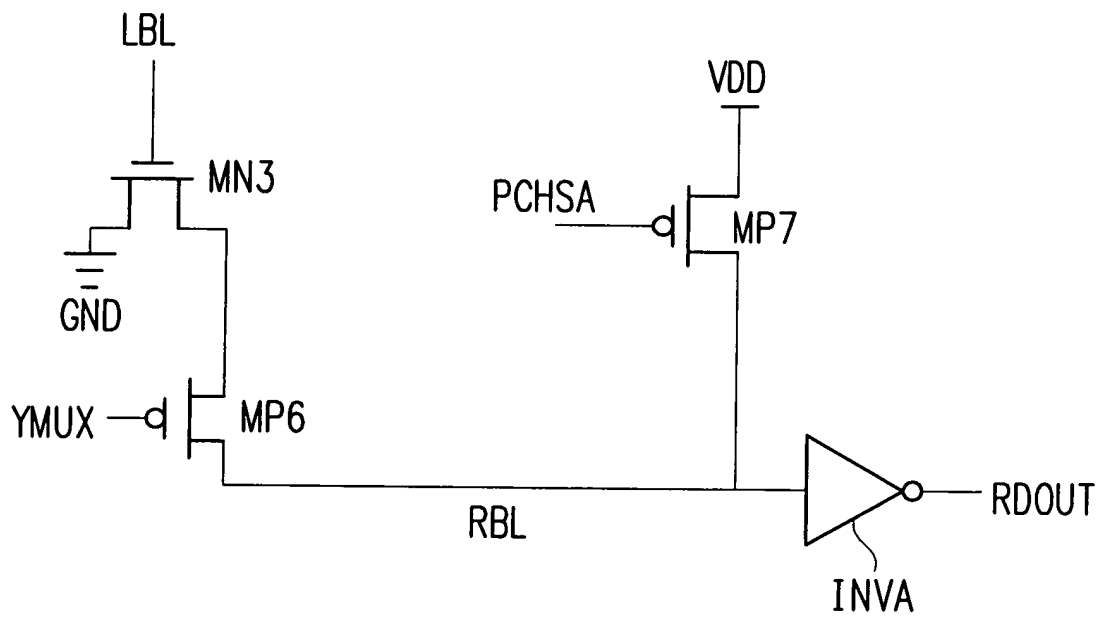
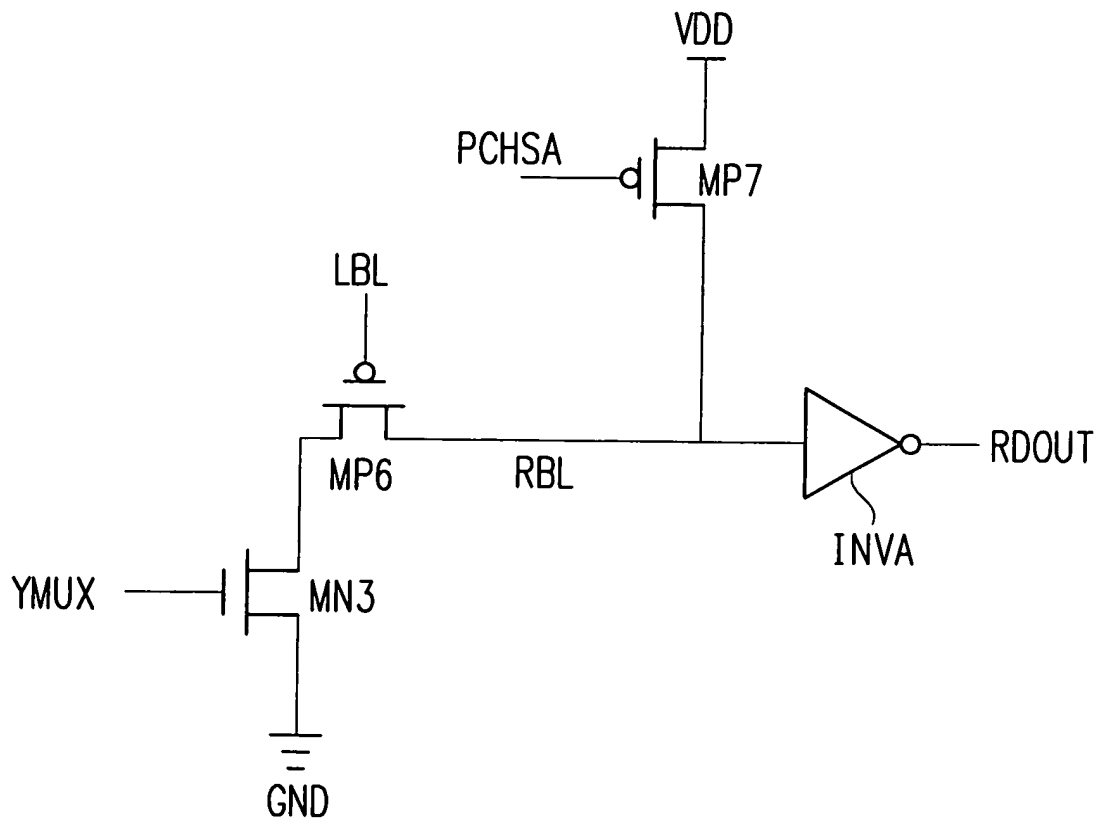


圖 6B



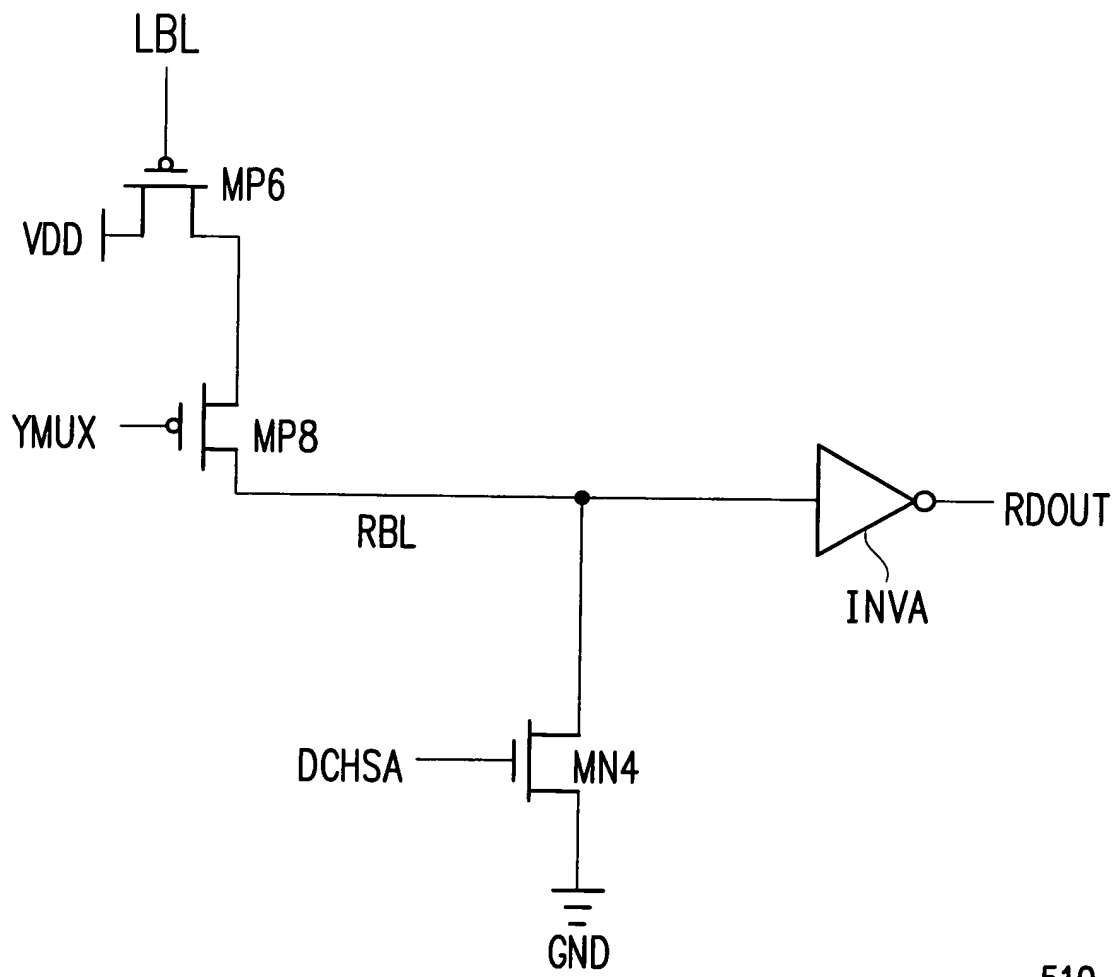
510

圖 6C



510

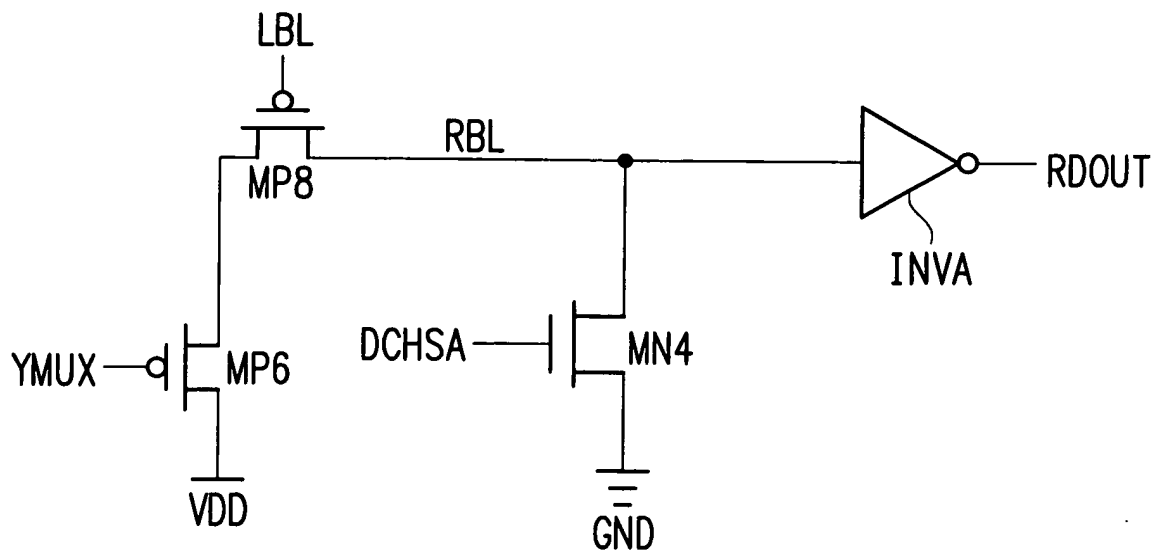
圖 6D



510

圖 6E





510

圖 6F