



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I509267 B

(45) 公告日：中華民國 104 (2015) 年 11 月 21 日

(21) 申請案號：103136266

(22) 申請日：中華民國 103 (2014) 年 10 月 21 日

(51) Int. Cl. : **G01R31/28 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：洪浩喬 HONG, HAO CHIAO (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 200617414A

TW 200636268A

US 4339710

US 2008/0029762A1

審查人員：机亮燁

申請專利範圍項數：15 項 圖式數：11 共 44 頁

(54) 名稱

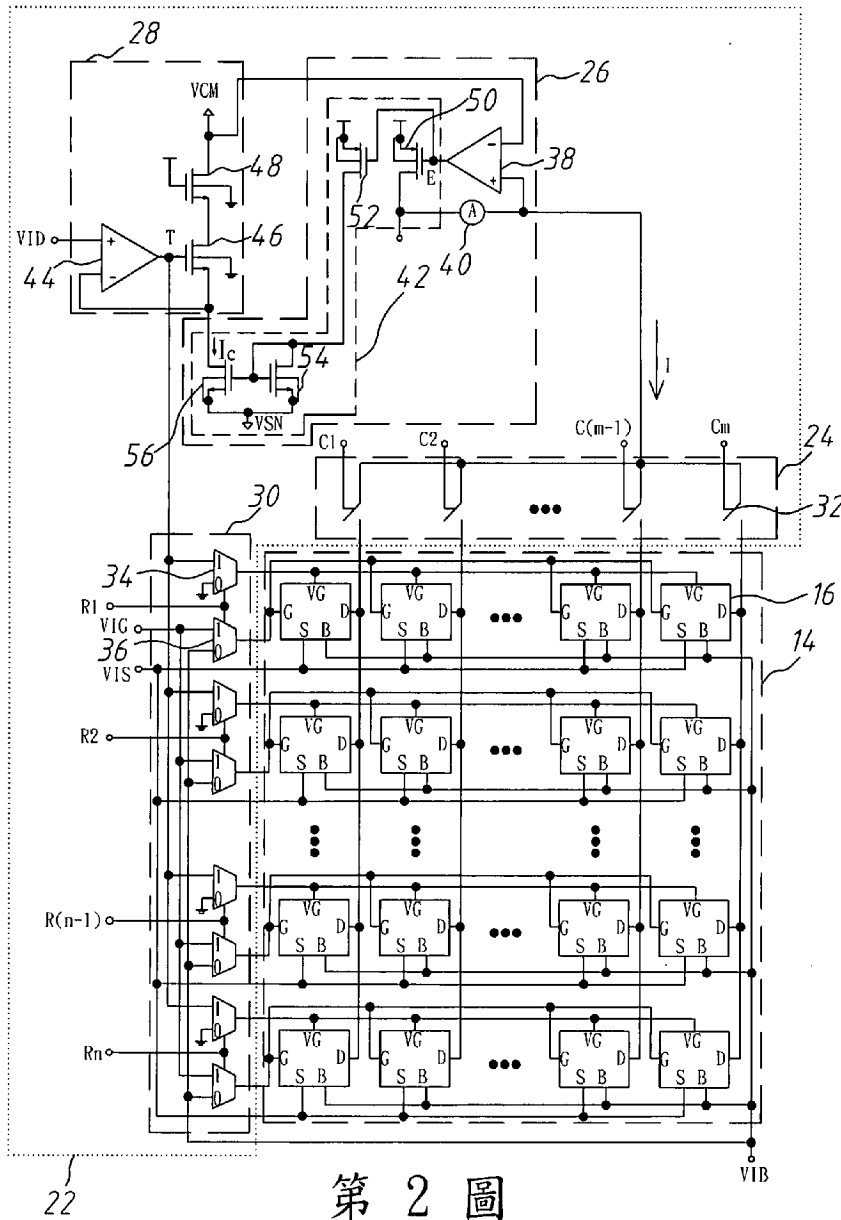
超大型電晶體陣列式電氣參數測試裝置

ELECTRIC PARAMETER TEST DEVICE THAT TESTS THE ELECTRIC PARAMETERS OF A VERY-LARGE-SCALE TRANSISTOR ARRAY

(57) 摘要

本發明係揭露一種超大型電晶體陣列式電氣參數測試裝置，其包含複數測試晶胞，每一測試晶胞更包含一待測場效電晶體與一控制場效電晶體，該控制場效電晶體之源極連接該待測場效電晶體之汲極或源極。每一測試晶胞依序被選擇作為待測晶胞。在待測晶胞進行量測時，在此待測晶胞中之該控制場效電晶體工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極之電壓差所決定，藉由控制此待測晶胞的控制場效電晶體之閘極電壓以設定此待測晶胞的該待測場效電晶體之汲極或源極電壓，以準確量測此待測晶胞之待測場效電晶體之電氣參數。

An electric parameter test device that tests the electric parameters of a very-large-scale transistor array. The test device comprises a plurality of test cells connected with each other. Each test cell comprises a controlling MOSFET (CM) and a MOSFET under test (MUT). The source of the CM connects to the drain or source of the MUT. The test device sequentially selects one of the test cells as the test cell under test (TCUT). The CM of the TCUT operates in the saturation mode or the subthreshold region so that its drain current mainly determined by the voltage difference of its gate and source, and the test device sets the drain or the source voltage of the MUT of the TCUT by adjusting the gate voltage of the CM of the TCUT to accurately obtain the electric parameters of the MUT of the TCUT.



第 2 圖

- 14 . . . 測試晶胞陣列
- 16 . . . 測試晶胞
- 22 . . . 控制驅動電路
- 24 . . . 行解碼器
- 26 . . . 電流導引量測電路
- 28 . . . 閘極電壓產生器
- 30 . . . 列解碼器
- 32 . . . 第一電子開關
- 34 . . . 第一多工器
- 36 . . . 第二多工器
- 38 . . . 第一運算放大器
- 40 . . . 電流量測器
- 42 . . . 電流導引電路
- 44 . . . 第二運算放大器
- 46 . . . 閘極控制型場效電晶體
- 48 . . . 第二電子開關
- 50 . . . 金氧半場效電晶體
- 52 . . . 金氧半場效電晶體
- 54 . . . 金氧半場效電晶體
- 56 . . . 金氧半場效電晶體

發明摘要

※ 申請案號 103176266

※ 申請日： 103.10.21

※ IPC分類：

【發明名稱】(中文/英文)

G01R 31/82006.01

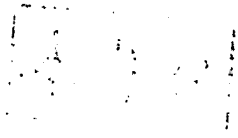
超大型電晶體陣列式電氣參數測試裝置 / electric parameter test device that tests the electric parameters of a very-large-scale transistor array

【中文】

本發明係揭露一種超大型電晶體陣列式電氣參數測試裝置，其包含複數測試晶胞，每一測試晶胞更包含一待測場效電晶體與一控制場效電晶體，該控制場效電晶體之源極連接該待測場效電晶體之汲極或源極。每一測試晶胞依序被選擇作為待測晶胞。在待測晶胞進行量測時，在此待測晶胞中之該控制場效電晶體工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極之電壓差所決定，藉由控制此待測晶胞的控制場效電晶體之閘極電壓以設定此待測晶胞的該待測場效電晶體之汲極或源極電壓，以準確量測此待測晶胞之待測場效電晶體之電氣參數。

【英文】

An electric parameter test device that tests the electric parameters of a very-large-scale transistor array. The test device comprises a plurality of test cells connected with each other. Each test cell comprises a controlling MOSFET (CM) and a MOSFET under test (MUT). The source of the CM connects to the drain or source of the MUT. The test device sequentially selects one of the test



cells as the test cell under test (TCUT). The CM of the TCUT operates in the saturation mode or the subthreshold region so that its drain current mainly determined by the voltage difference of its gate and source, and the test device sets the drain or the source voltage of the MUT of the TCUT by adjusting the gate voltage of the CM of the TCUT to accurately obtain the electric parameters of the MUT of the TCUT.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

- 14 測試晶胞陣列
- 16 測試晶胞
- 22 控制驅動電路
- 24 行解碼器
- 26 電流導引量測電路
- 28 閘極電壓產生器
- 30 列解碼器
- 32 第一電子開關
- 34 第一多工器
- 36 第二多工器
- 38 第一運算放大器
- 40 電流量測器
- 42 電流導引電路
- 44 第二運算放大器
- 46 閘極控制型場效電晶體
- 48 第二電子開關
- 50 金氧半場效電晶體
- 52 金氧半場效電晶體

54 金氧半場效電晶體

56 金氧半場效電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

超大型電晶體陣列式電氣參數測試裝置 / electric parameter test device that tests the electric parameters of a very-large-scale transistor array

【技術領域】

【0001】 本發明係關於一種測試裝置，且特別關於一種超大型電晶體陣列式電氣參數測試裝置。

【先前技術】

【0002】 在使用先進製程製作之同一晶片上的各個電晶體特性有顯著的變異，在同一晶圓上的電晶體特性的變異更加嚴重。因此先進製程需要量測大量電晶體的特徵資料來決定晶圓是否可以出貨，以完成更精準的晶圓允收測試 (WAT)。

【0003】 傳統的製程控制監測 (PCM) 測試電路如第1圖所示。此種測試電路需要利用探針卡 (probe card) 10 對位在晶圓上的切割道 (scribe line) 內的待測場效電晶體 12 進行量測，但因為探針卡 10 每次量測只能量測少許待測場效電晶體 12，而且移動緩慢，所以需要非常長的時間來蒐集大量電晶體的特徵資料。此外，因為探針卡 10 與晶片為機械性接觸，無可避免地造成損耗，必須定期更換，此將提高測試成本。除了 PCM 技術外，電氣參數測試電路亦可由一電晶體陣列所組成。此種測試電路可以在該電晶體陣列選擇其中一場效電晶體作為待測元件 (device under test, DUT)。然而，這樣的測試電路仍有下列問題：(1) 控制開關和導線 (wire) 的寄生電阻會造

成顯著的電壓降。因此，待測元件之真正的閘極電壓、汲極電壓、源極電壓、基極電壓會與測試機台的設定值不同。(2)有些先前技術的待測元件具有無法控制的本體效應，因為待測元件的基極與源極並未具有相同電壓，使量測結果產生誤差。(3)未被選擇的待測元件及輔助電路的漏電流會造成量測上的誤差。(4)較長的測試時間。有些先前技術需要對同一待測電晶體長時間進行許多測試，以校正待測元件的設定電壓。(5)較高的成本。有些先前技術需要在晶圓上加入更多測試接合墊 (pad) 或使用更多的測試機台，且有些技術則需要對應修改測試機台的功能，此將提高測試成本。

【0004】 因此，本發明係在針對上述的困擾，提出一種超大型電晶體陣列式電氣參數測試裝置，以解決習知技術所產生的問題。

【發明內容】

【0005】 本發明的主要目的，在於提供一種超大型電晶體陣列式電氣參數測試裝置，其係接收一汲極設定電壓，藉由感測被選取之待測場效電晶體之輸出電流，以回授方式產生被選取之控制場效電晶體之閘極電壓，使被選取之待測場效電晶體之汲極或源極電壓等於該汲極設定電壓，解決習知技術所產生之電壓降 (IR drop) 問題，同時降低漏電流，並解決習知技術無法控制待測場效電晶體之本體效應的問題。

【0006】 為達上述目的，本發明提供一種超大型電晶體陣列式電氣參數測試裝置，其係包含一測試晶胞陣列，此陣列包含複數測試晶胞，每一測試晶胞更包含疊接 (Cascode) 之一待測場效電晶體與一控制場效電晶體，待測場效電晶體接收一第一設定電壓與一基極設定電壓。所有測試晶胞之控制場效電晶體之閘極與所有測試晶胞之控制場效電晶體之汲極連接一控

制驅動電路，其係接收一第二設定電壓與一閘極設定電壓。此外，該控制驅動電路更接收複數第一數位訊號與複數第二數位訊號，以據此依序選擇每一測試晶胞作為待測晶胞。控制驅動電路傳送閘極設定電壓至該待測晶胞之該待測場效電晶體之閘極，則待測晶胞之待測場效電晶體接收該閘極設定電壓、該第一設定電壓、與該基極設定電壓以產生一輸出電流；控制驅動電路透過待測晶胞之控制場效電晶體之汲極接收並量測此輸出電流，並根據此輸出電流與第二設定電壓控制待測晶胞之控制場效電晶體之閘極電壓，進而形成一閉回路以準確設定該待測晶胞之該控制場效電晶體的源極電壓，藉此取得該待測晶胞之該待測場效電晶體之電氣參數。

【0007】 茲為使 貴審查委員對本發明的結構特徵及所達成的功效更有進一步的瞭解與認識，謹佐以較佳的實施例圖及配合詳細的說明，說明如後：

【圖式簡單說明】

【0008】

第1圖為先前技術之製程控制監測（PCM）測試電路之電路示意圖。

第2圖為本發明之第一實施例之電路示意圖。

第3圖為本發明之對應第一實施例之測試晶胞之電路示意圖。

第4圖為本發明之第一實施例運作一個測試晶胞之電路示意圖。

第5圖為本發明之第二實施例之電路示意圖。

第6圖為本發明之第三實施例之電路示意圖。

第7圖為本發明之第四實施例之電路示意圖。

第8圖為本發明之第五實施例之電路示意圖。

第9圖為本發明之第六實施例之電路示意圖。

第10圖為本發明之對應第四實施例、第五實施例與第六實施例之測試晶胞之電路示意圖。

第11圖為本發明之第四、五與六實施例運作一個測試晶胞之電路示意圖。

【實施方式】

【0009】 本發明提出一種晶圓製造於出貨前所必須進行之晶圓允收測試 (WAT) 裝置，其可於短時間內完成準確量測大量電晶體之電氣參數。請參閱第2圖與第3圖，以下介紹本發明之第一實施例。本發明包含一測試晶胞陣列14，其係包含複數測試晶胞16，這些複數測試晶胞16之排列方式係以具有複數列與複數行之方陣排列為例。每一測試晶胞16更包含疊接 (Cascode) 之一待測場效電晶體18與一控制場效電晶體20，此二者的介電層厚度與臨界電壓皆不受限。所有待測場效電晶體18以其源極S與基極B分別接收一源極設定電壓VIS與一基極設定電壓VIB，使源極設定電壓VIS作為一第一設定電壓，且待測場效電晶體18之汲極連接同一測試晶胞16中控制場效電晶體20之源極。位於同一行之該等測試晶胞之控制場效電晶體20的汲極D接至一共汲極節點。所有測試晶胞16之控制場效電晶體20之閘極VG與汲極D由一控制驅動電路22所控制，控制驅動電路22係接收一汲極設定電壓VID與一閘極設定電壓VIG，使汲極設定電壓VID作為一第二設定電壓，且控制驅動電路22亦接收複數第一數位訊號C1...Cm與複數第二數位訊號R1...Rn，其中n與m皆為大於1之自然數。控制驅動電路22根據第一數位訊號C1...Cm與第二數位訊號R1...Rn依序選擇每一測試晶胞16作為待測晶

胞。控制驅動電路22傳送閘極設定電壓VIG至待測晶胞之待測場效電晶體18之閘極，待測晶胞之待測場效電晶體18依據閘極設定電壓VIG、源極設定電壓VIS與基極設定電壓VIB產生一輸出電流I，控制驅動電路22透過待測晶胞之控制場效電晶體20之汲極D接收並量測該輸出電流I，並根據該輸出電流I與該汲極設定電壓VID產生一控制電壓T作為待測晶胞之控制場效電晶體20之閘極電壓，進而形成一閉回路以準確設定待測晶胞之待測場效電晶體18之汲極電壓，藉此準確量測待測晶胞之待測場效電晶體18之電氣參數。

● **【0010】** 控制驅動電路22更包含一行解碼器24、一電流導引量測電路26、一閘極電壓產生器28與一系列解碼器30。行解碼器24連接測試晶胞16之控制場效電晶體20之汲極D，並接收第一數位訊號C1...Cm，以據此在測試晶胞陣列14中，選擇待測晶胞所在之那一行之共汲極節點作為輸出，使待測晶胞的控制場效電晶體20透過行解碼器24輸出輸出電流I。電流導引量測電路26連接行解碼器24，以接收該輸出電流I進行量測，同時產生一正比於該輸出電流I之複製輸出電流Ic，並將其輸出至閘極電壓產生器28。閘極電壓產生器28接收汲極設定電壓VID與電流導引量測電路26輸出之該複製輸出電流Ic，並據以對應產生該控制電壓T。列解碼器30接收控制電壓T、第二數位訊號R1...Rn與閘極設定電壓VIG，並根據第二數位訊號R1...Rn在測試晶胞陣列14中，選擇待測晶胞所在之列，使該列之所有之測試晶胞16的控制場效電晶體20接受該控制電壓T作為其之閘極電壓，以使待測晶胞的控制場效電晶體20工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。且列解碼器30根據第二數位訊號R1...Rn傳送閘極設定電壓VIG至包含待測晶胞的一列之所有測試晶胞16的待測場效電晶體

18，以配合行解碼器24產生輸出電流I。

【0011】 行解碼器24更包含複數第一電子開關32，每一第一電子開關32連接至位於同一行之複數測試晶胞16之控制場效電晶體20之汲極D（共汲極節點）以及電流導引量測電路26之輸入端，並分別接收第一數位訊號C1...Cm，以控制每一開關導通狀態，使待測晶胞之控制場效電晶體20透過其對應且導通之第一電子開關32輸出輸出電流I。具體而言，假設選擇位於第一行測試晶胞16中的其中之一作為待測晶胞，此時第一數位訊號C1為高準位訊號，且其餘第一數位訊號C2...Cm為低準位訊號，第一電子開關32選擇在測試晶胞16中，位於第一行測試晶胞16之待測晶胞的控制場效電晶體20透過導通之第一電子開關32輸出輸出電流I至電流導引量測電路26，其餘行之測試晶胞16的控制場效電晶體20則無法透過截止之第一電子開關32輸出任何電流至電流導引量測電路26。

【0012】 列解碼器30更包含複數第一多工器34與複數第二多工器36。所有第一多工器34連接至閘極電壓產生器28，並接收閘極電壓產生器28所輸出之控制電壓T與一作為直流參考電位之接地電位。每一第一多工器34的輸出端連接至位於同一列之複數測試晶胞16之控制場效電晶體20之閘極VG，所有第二多工器36接收閘極設定電壓VIG與一直流參考電位，在此實施例中以基極設定電壓VIB作為該直流參考電位。每一第二多工器36的輸出端連接至位於同一列之複數測試晶胞16之待測場效電晶體18之閘極G。每一第一多工器34分別接收第二數位訊號R1...Rn，以藉此在測試晶胞16中，選擇待測晶胞所在位置的這一系列的所有測試晶胞16的控制場效電晶體20之閘極VG等於控制電壓T，使待測晶胞的控制場效電晶體20以控制電壓T作為

自身之閘極電壓以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。同時，每一第二多工器36亦分別接收第二數位訊號 $R1...Rn$ ，並據以傳送閘極設定電壓 VIG 至包含待測晶胞的一列之測試晶胞16的待測場效電晶體18的閘極，以配合行解碼器24產生輸出電流 I 。具體而言，假設選擇位於第一列測試晶胞16中的其中之一作為待測晶胞，此時，第二數位訊號 $R1$ 為高準位訊號，且其餘第二數位訊號 $R2...Rn$ 為低準位訊號，第一多工器34控制在測試晶胞16中，位於第一列之測試晶胞16的待測晶胞之控制場效電晶體20接收控制電壓 T 以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，其餘列之測試晶胞16的控制場效電晶體20則接收接地電位以工作於截止區。同時，第二多工器36控制在測試晶胞16中，第一列之測試晶胞16的待測場效電晶體18接收閘極設定電壓 VIG ，以產生輸出電流 I ，其餘列之測試晶胞16的待測場效電晶體18接收該直流參考電位例如此實施例中之基極設定電壓 VIB 以工作於截止區。

● **【0013】** 電流導引量測電路26更包含一第一運算放大器38、一電流量測器40與一電流導引電路42。第一運算放大器38之作為第一輸入端之負輸入端連接一第一直流參考電壓 VCM ，第一運算放大器38之作為第二輸入端之正輸入端連接行解碼器24之第一電子開關32之輸出端，以透過行解碼器24之第一電子開關32接收待測晶胞之控制場效電晶體20之汲極電流，形成一負回授閉迴路並於第一運算放大器38之輸出端產生一驅動電壓 E 。電流量測器40串接於第一運算放大器38之正輸入端與行解碼器24之第一電子開關32之間，以接收輸出電流 I ，並量測之。電流導引電路42連接一第二直流參

考電壓 V_{SN} 、第一運算放大器38之輸出端與電流量測器40，以接收驅動電壓 E 與輸出電流 I ，據以產生一正比於輸出電流 I 之複製輸出電流 I_c 。

【0014】 閘極電壓產生器28更包含一第二運算放大器44、一閘極控制型場效電晶體46與一第二電子開關48，在此實施例中，以閘極控制型場效電晶體46與控制場效電晶體20具有相同尺寸規格為例。第二運算放大器44之作爲第二輸入端之正輸入端接收汲極設定電壓 V_{ID} ，第二運算放大器44之作爲第一輸入端之負輸入端連接電流導引量測電路26之電流導引電路42以接收複製輸出電流 I_c ，第二運算放大器44根據汲極設定電壓 V_{ID} 與複製輸出電流 I_c 於輸出端產生控制電壓 T 作爲閘極控制型場效電晶體46之閘極電壓，閘極控制型場效電晶體46之源極則連接第二運算放大器44之負輸入端形成一負回授閉迴路使閘極控制型場效電晶體46工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，同時使閘極控制型場效電晶體46之源極電壓等於汲極設定電壓 V_{ID} 。由於此實施例中複製輸出電流 I_c 等於輸出電流 I ，閘極控制型場效電晶體46與控制場效電晶體20具有相同尺寸規格，且待測晶胞之控制場效電晶體20與閘極控制型場效電晶體46皆工作於飽和區或次臨界電壓區，使其電流主要由其閘極與源極電壓差所決定，所以閘極控制型場效電晶體46之源極電壓亦等於待測晶胞之控制場效電晶體20之源極電壓，且同時等於待測晶胞之待測場效電晶體18之汲極電壓，此乃因爲複製輸出電流 I_c 等於輸出電流 I 所以待測晶胞之控制場效電晶體20與閘極控制型場效電晶體46在閘極與源極之間的壓降是相同的。另外，第二電子開關48連接於第一直流參考電壓 V_{CM} 與閘極控制型場效電晶體46之汲極之間，並保持導通狀態，使待測晶胞之控制場效電晶體

20與閘極控制型場效電晶體46兩者汲極皆透過同一尺寸規格之電子開關48、32連接至第一直流參考電壓VCM，以使兩者之汲極電壓亦相同。

【0015】 其中電流導引電路42由金氧半場效電晶體50、金氧半場效電晶體52、金氧半場效電晶體54、金氧半場效電晶體56所組成，金氧半場效電晶體54、金氧半場效電晶體56形成一電流鏡，且可以用任何可以構成電流鏡之元件來實現。此外，電路實現可以將金氧半場效電晶體54、金氧半場效電晶體56設置在深N型井（deep N-Well）區中，使第二直流參考電壓VSN設定比接地電位更低。其中，上述金氧半場效電晶體54、金氧半場效電晶體56、閘極控制型場效電晶體46、第二電子開關48、第一電子開關32、待測場效電晶體18與控制場效電晶體20皆以N通道金氧半場效電晶體為例，金氧半場效電晶體50、金氧半場效電晶體52則皆以P通道金氧半場效電晶體為例。由於汲極設定電壓VID、源極設定電壓VIS、基極設定電壓VIB與閘極設定電壓VIG皆為已知，輸出電流I又被電流量測器40量測出來，汲極設定電壓VID等於閘極控制型場效電晶體46之源極電壓，且又分別等於待測晶胞之控制場效電晶體20之源極電壓亦即待測場效電晶體18之汲極電壓。源極設定電壓VIS、基極設定電壓VIB與閘極設定電壓VIG又分別等於待測晶胞之待測場效電晶體18之源極電壓、基極電壓與閘極電壓，因為第一電子開關32於汲極與源極間所佔據的電壓降（IR drop）等於第二電子開關48於汲極與源極間的電壓降，所以能降低閘極控制型場效電晶體46之通道調變效應，且自動調節控制電壓T，以補償閘極控制型場效電晶體46與待測晶胞之控制場效電晶體20在製程、電壓與溫度變化上的影響，使待測晶胞之控制場效電晶體20與閘極控制型場效電晶體46之各電極的電壓可以很

精準地互相對應。換言之，待測晶胞之待測場效電晶體18之汲極電壓、源極電壓、閘極電壓、基極電壓與輸出電流皆可準確設定與量測，故可以藉此取得待測晶胞之待測場效電晶體18之電氣參數。

【0016】 以下介紹第一實施例的運作過程。首先，所有測試晶胞16之待測場效電晶體18接收源極設定電壓VIS與基極設定電壓VIB，同時，所有第二多工器36接收閘極設定電壓VIG，且第二運算放大器44接收汲極設定電壓VID，以產生控制電壓T，並藉此導通閘極控制型場效電晶體46，使其工作於飽和區或次臨界電壓區，從而使其汲極電流主要由其閘極與源極電壓差所決定。

【0017】 在某一時間點，假設第二數位訊號R1為高準位訊號，且其餘第二數位訊號R2...Rn為低準位訊號時，第一多工器34選擇在測試晶胞16中，位於第一列中所有之測試晶胞16的控制場效電晶體20接收控制電壓T作為其閘極電壓，其餘列之測試晶胞16的控制場效電晶體20的閘極則接收接地電位以工作於截止區。同時，第二多工器36選擇在測試晶胞16中，位於第一列中所有之測試晶胞16的待測場效電晶體18接收閘極設定電壓VIG作為其閘極電壓，其餘列之測試晶胞16的待測場效電晶體18的閘極則接收基極設定電壓VIB電位以工作於截止區。此外，讓第一數位訊號C1為高準位訊號，且其餘第一數位訊號C2...Cm為低準位訊號時，第一電子開關32選擇在測試晶胞16中，第一行中所有之測試晶胞16的控制場效電晶體20透過導通之第一電子開關32輸出電流，其餘行之測試晶胞16的控制場效電晶體20則無法透過截止之第一電子開關32輸出電流。換言之，在上述條件下，只有第一行之第一列的測試晶胞16係作為待測晶胞，待測晶胞中的控制場效電

晶體20接收控制電壓 T 以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，待測晶胞中的待測場效電晶體18根據閘極設定電壓 V_{IG} 、基極設定電壓 V_{IB} 與源極設定電壓 V_{IS} 產生輸出電流 I ，輸出電流 I 透過其對應的控制場效電晶體20與第一電子開關32輸出至電流導引量測電路26而被量測。

【0018】 爲了簡化第2圖，將未被選擇的測試晶胞16、列解碼器30與行解碼器24中截止的第一電子開關32省略，簡化後的電路圖如第4圖所示。

第一行之第一列的測試晶胞16之待測場效電晶體18透過控制場效電晶體20與第一電子開關32輸出輸出電流 I 後，電流量測器40串聯電流導引電路42中的金氧半場效電晶體50與第一運算放大器38形成一閉迴路接收待測晶胞之控制場效電晶體20之汲極電流，以產生驅動電壓 E 。接著，電流導引電路42中的金氧半場效電晶體52接收驅動電壓 E ，以產生複製輸出電流 I_c ，電流導引電路42將複製輸出電流 I_c 導引至閘極控制型場效電晶體46之源極。之後，閘極控制型場效電晶體46接收控制電壓 T 與複製輸出電流 I_c 且工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，且因爲其汲極電流與尺寸規格皆與待測晶胞之控制場效電晶體20相同，故兩者有相同之閘極與源極電壓差。由於電流量測器40可以同時接收輸出電流 I ，因此可以量測其數值。然後，第二電子開關48透過閘極控制型場效電晶體46接收複製輸出電流 I_c 。由於閘極控制型場效電晶體46之源極與第二運算放大器44之負輸入端形成負回授連接，故閘極控制型場效電晶體46之源極電壓等於汲極設定電壓 V_{ID} 。同時，待測晶胞之控制場效電晶體20接收控制電壓 T ，以此作爲自身的閘極電壓，進而形成一閉回路以準確設定待測晶胞之

待測場效電晶體18之汲極電壓，使其等於閘極控制型場效電晶體46之源極電壓，藉此精密量測得待測晶胞之待測場效電晶體18之電氣參數。

【0019】 本發明之測試裝置中未被選擇的待測場效電晶體與控制場效電晶體的漏電流會影響量測的精準度。當金氧半場效電晶體操作在截止區時，會有次臨界（subthreshold）漏電流，此外，還有閘極漏電流與PN界面漏電流。爲了減少漏電流的影響，所有的控制場效電晶體20與周邊電路，可以用輸入輸出元件（I/O device）來實現。I/O device具有較厚的閘極氧化層與較長的通道長度，使得它們的次臨界漏電流與閘極漏電流得以忽略。因此，量測中的輸出電流I之主要漏電流組成成份僅有未被選擇的測試晶胞中控制場效電晶體的PN界面漏電流。因爲被選取的控制場效電晶體20工作於飽和區或次臨界電壓區，所以它的通道寬度可以設計得比較短以降低界面漏電流。

【0020】 根據上述可知，本發明有下列優點：(1)較少的IR drop。傳統的測試晶胞採用金氧半場效電晶體作爲開關。因此，有明顯的IR drop橫跨在導通（工作於三極管區）的開關上，使待測場效電晶體的汲極電壓與設定電壓不一致。然而，本發明之控制場效電晶體20可以視爲一共閘極放大器，經由所提出之回授方式準確設定待測場效電晶體的汲極電壓，沒有IR drop的問題。此外，本發明之控制場效電晶體20亦可以視爲一單一增益電流緩衝器提供很大的輸出阻抗，搭配第一運算放大器所形成之閉迴路所提供之超低輸入阻抗，大幅降低在相當傳統測試機台之電流量測器40與被選取的測試晶胞16之間寄生電阻的影響。(2)較少的漏電流。使用金氧半場效電晶體作爲開關必須有很大的長寬比（aspect ratio），才能降低在汲極與源極

之間的IR drop。當開關關閉時，較大的長寬比會導致顯著的漏電流產生。在本發明中，因為被選取的控制場效電晶體20工作於飽和區或次臨界電壓區，所以容許控制場效電晶體20的長寬比可以設計成比較小。此較小的長寬比可以降低由控制場效電晶體20所產生的漏電流。(3)可控制的本體效應。本發明之待測場效電晶體18之源極電壓與基極電壓可以根據測試需求獨立設定為任意值，此與傳統的製程控制監測（PCM）測試電路相同，可避免本體效應的產生。

● **【0021】** 爲了準確設定被選取之待測場效電晶體18之汲極電壓，本發明接收汲極設定電壓VID並感測被選取之待測場效電晶體之輸出電流I，以回授方式產生被選取之控制場效電晶體20之閘極電壓，使被選取之待測場效電晶體之汲極電壓等於汲極設定電壓VID。此技術提供下列優點：(1)較短的測試時間。本發明之技術可以避免在IR drop的校準上所需之多餘測試過程。(2)較簡單之測試安裝。本發明所需要的測試機台與傳統之晶圓允收測試（WAT）所需要的測試機台相同，不需要複雜的測試機台。

● **【0022】** 以下介紹本發明之第二實施例，此與第一實施例差別在於列解碼器30與行解碼器24之組成元件與功能。請同時參閱第3圖與第5圖，在第二實施例中，行解碼器24連接測試晶胞16之控制場效電晶體20之汲極D與測試晶胞16之待測場效電晶體18之閘極G。行解碼器24接收第一數位訊號C1...Cm與閘極設定電壓VIG，以根據第一數位訊號C1...Cm傳送閘極設定電壓VIG至包含待測晶胞中的一行之所有測試晶胞16的待測場效電晶體18，以產生輸出電流I。且行解碼器24根據第一數位訊號C1...Cm在測試晶胞陣列14中，選擇待測晶胞所在之那一行之共汲極節點作為輸出，使待測

晶胞的控制場效電晶體20透過行解碼器24輸出輸出電流I。列解碼器30接收控制電壓T與第二數位訊號R1...Rn，以根據第二數位訊號R1...Rn在測試晶胞陣列14中，選擇待測晶胞所在之列，使該列之所有之測試晶胞16的控制場效電晶體20，接受該控制電壓T作為其之閘極電壓，以使待測晶胞的控制場效電晶體20工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。

【0023】 行解碼器24更包含複數第三多工器58與複數第一電子開關32。所有第三多工器58接收閘極設定電壓VIG與一直流參考電位，在此實施例中以基極設定電壓VIB作為該直流參考電位。每一第三多工器58的輸出端連接至位於同一行之複數測試晶胞16之待測場效電晶體18之閘極G。每一第一電子開關32連接電流導引量測電路26之第一運算放大器38之作為第二輸入端之正輸入端與電流量測器40。每一第一電子開關32連接至位於同一行之複數測試晶胞16之控制場效電晶體20之汲極D（共汲極節點）。每一第三多工器58分別接收第一數位訊號C1...Cm，並藉此傳送閘極設定電壓VIG至包含待測晶胞中的一行之測試晶胞16的待測場效電晶體18的閘極，以產生輸出電流I。同時，每一第一電子開關32分別接收第一數位訊號C1...Cm，以控制每一開關導通狀態，使待測晶胞之控制場效電晶體20透過其對應且導通之第一電子開關32輸出輸出電流I。具體而言，假設選擇位於第一行之測試晶胞16中的其中之一作為待測晶胞，此時，第一數位訊號C1為高準位訊號，且其餘第一數位訊號C2...Cm為低準位訊號時，第三多工器58控制在測試晶胞16中，第一行之測試晶胞16的待測場效電晶體18接收閘極設定電壓VIG，以產生輸出電流，其餘行之測試晶胞16的待測場效電晶體18則接收

基極設定電壓 V_{IB} 以工作於截止區。此外，第一電子開關32選擇在測試晶胞陣列14中，位於第一行測試晶胞16之待測晶胞的控制場效電晶體20透過導通之第一電子開關32輸出輸出電流 I 至電流導引量測電路26，其餘行之測試晶胞16的控制場效電晶體20則無法透過截止之第一電子開關32輸出任何電流至電流導引量測電路26。

【0024】 列解碼器30更包含複數第一多工器34，其連接至閘極電壓產生器28之第二運算放大器44之輸出端與閘極控制型場效電晶體46之閘極，並接收閘極電壓產生器28所輸出之控制電壓 T 與一作為直流參考電位之接地電位。每一第一多工器34的輸出端連接至位於同一列之複數測試晶胞16之控制場效電晶體20之閘極 V_G 。每一第一多工器34分別接收第二數位訊號 $R_1 \dots R_n$ ，以藉此在測試晶胞16中，選擇待測晶胞所在位置的這一系列的所有測試晶胞16的控制場效電晶體20之閘極 V_G 等於控制電壓 T ，使待測晶胞的控制場效電晶體20以控制電壓 T 作為自身之閘極電壓以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。具體而言，假設選擇位於第一列之測試晶胞16中的其中之一作為待測晶胞，此時，第二數位訊號 R_1 為高準位訊號，且其餘第二數位訊號 $R_2 \dots R_n$ 為低準位訊號時，第一多工器34控制在測試晶胞16中，位於第一列之測試晶胞16的待測晶胞之控制場效電晶體20接收控制電壓 T 以工作或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定區，其餘列之測試晶胞16的控制場效電晶體20則接收接地電位以工作於截止區。

【0025】 以下介紹第二實施例的運作過程。首先，所有測試晶胞16之待測場效電晶體18接收源極設定電壓 V_{IS} 與基極設定電壓 V_{IB} ，同時，所

有第三多工器58接收閘極設定電壓VIG，且第二運算放大器44接收汲極設定電壓VID，以產生控制電壓T，並藉此導通閘極控制型場效電晶體46，使其工作於飽和區或次臨界電壓區，從而使其汲極電流主要由其閘極與源極電壓差所決定。

【0026】 在某一時間點，假設第二數位訊號R1為高準位訊號，且其餘第二數位訊號R2...Rn為低準位訊號時，第一多工器34選擇在測試晶胞16中，位於第一列中所有之測試晶胞16的控制場效電晶體20接收控制電壓T作為其閘極電壓，其餘列之測試晶胞16的控制場效電晶體20的閘極則接收接地電位以工作於截止區。此外，讓第一數位訊號C1為高準位訊號，且其餘第一數位訊號C2...Cm為低準位訊號時，第三多工器58選擇在測試晶胞16中，位於第一行中所有之測試晶胞16的待測場效電晶體18接收閘極設定電壓VIG作為其閘極電壓，其餘行之測試晶胞16的待測場效電晶體18接收基極設定電壓VIB以工作於截止區。同時，第一電子開關32選擇在測試晶胞16中，第一行中所有之測試晶胞16的控制場效電晶體20透過導通之第一電子開關32輸出電流，其餘行之測試晶胞16的控制場效電晶體20則無法透過截止之第一電子開關32輸出電流。換言之，在上述條件下，只有第一行之第一列的測試晶胞16係作為待測晶胞，待測晶胞中的控制場效電晶體20接收控制電壓T以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，待測晶胞中的待測場效電晶體18根據閘極設定電壓VIG、基極設定電壓VIB與源極設定電壓VIS產生輸出電流I，輸出電流I可以透過其對應的控制場效電晶體20與第一電子開關32輸出至電流導引量測電路26而被量測。第一行之第一列的測試晶胞16之待測場效電晶體18透過控

制場效電晶體20與第一電子開關32輸出輸出電流I後，剩下的運作過程與第一實施例相同，故於此不再贅述。

【0027】 以下介紹本發明之第三實施例，此與第一實施例差別在於列解碼器30之組成元件與功能。請同時參閱第3圖與第6圖，在第三實施例中，控制驅動電路22更包含一訊號接收端60，其係連接測試晶胞16的所有待測場效電晶體18之閘極G，訊號接收端60傳送閘極設定電壓VIG至所有待測場效電晶體18之閘極G，以產生輸出電流I。此外，列解碼器30接收控制電壓T與第二數位訊號R1...Rn，以根據第二數位訊號R1...Rn選擇在測試晶胞陣列14中，選擇待測晶胞所在之列，使該列之所有之測試晶胞16的控制場效電晶體20接受該控制電壓T作為其之閘極電壓，以使待測晶胞的控制場效電晶體20工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。

【0028】 列解碼器30更包含複數第一多工器34，其連接閘極電壓產生器28之第二運算放大器44之輸出端與閘極控制型場效電晶體46之閘極，並接收閘極電壓產生器28所輸出之控制電壓T與一作為直流參考電位之接地電位。每一第一多工器34的輸出端連接至位於同一列之複數測試晶胞16之控制場效電晶體20之閘極VG。每一第一多工器34分別接收第二數位訊號R1...Rn，以藉此選擇在測試晶胞16中，選擇待測晶胞所在位置的這一系列的所有測試晶胞16的控制場效電晶體20之閘極VG等於控制電壓T，使待測晶胞的控制場效電晶體20以控制電壓T作為自身之閘極電壓以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。具體而言，假設選擇位於第一列之測試晶胞16中的其中之一作為待測晶胞，同

時第二數位訊號R1為高準位訊號，且其餘第二數位訊號R2...Rn為低準位訊號時，第一多工器34控制在測試晶胞16中，位於第一列之測試晶胞16的待測晶胞之控制場效電晶體20接收控制電壓T以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，其餘列之測試晶胞16的控制場效電晶體20則接收接地電位以工作於截止區。

【0029】 以下介紹第三實施例的運作過程。首先，所有測試晶胞16之待測場效電晶體18透過訊號接收端60接收閘極設定電壓VIG，同時接收源極設定電壓VIS與基極設定電壓VIB。同時，第二運算放大器44接收汲極設定電壓VID，以產生控制電壓T，並藉此導通閘極控制型場效電晶體46，使其工作於飽和區或次臨界電壓區，從而使其汲極電流主要由其閘極與源極電壓差所決定。

【0030】 在某一時間點，假設第二數位訊號R1為高準位訊號，且其餘第二數位訊號R2...Rn為低準位訊號時，第一多工器34選擇在測試晶胞16中，位於第一列中所有之測試晶胞16的控制場效電晶體20接收控制電壓T作為其閘極電壓，其餘列之測試晶胞16的控制場效電晶體20接收接地電位以工作於截止區。同時，讓第一數位訊號C1為高準位訊號，且其餘第一數位訊號C2...Cm為低準位訊號時，第一電子開關32選擇在測試晶胞16中，第一行中所有之測試晶胞16的控制場效電晶體20透過導通之第一電子開關32輸出電流，其餘行之測試晶胞16的控制場效電晶體20則無法透過截止之第一電子開關32輸出電流。換言之，在上述條件下，只有第一行之第一列的測試晶胞16係作為待測晶胞，待測晶胞中的控制場效電晶體20接收控制電壓T以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓

差所決定，待測晶胞中的待測場效電晶體18根據閘極設定電壓VIG、基極設定電壓VIB與源極設定電壓VIS產生輸出電流I，輸出電流I透過其對應的控制場效電晶體20與第一電子開關32輸出至電流導引量測電路26而被量測。第一行之第一列的測試晶胞16之待測場效電晶體18透過控制場效電晶體20與第一電子開關32輸出輸出電流I後，剩下的運作過程與第一實施例相同，故於此不再贅述。

【0031】 最後，上述三個實施例中，待測場效電晶體18以N通道金氧半場效電晶體為例。此外，亦有另一種實現方式，即待測場效電晶體18以P通道金氧半場效電晶體為例。如此便可分別對應第一實施例、第二實施例與第三實施例，以分別建立第四實施例、第五實施例與第六實施例。第四實施例、第五實施例與第六實施例之電路示意圖分別如第7圖、第8圖與第9圖所示，其中每一測試晶胞16之待測場效電晶體18之汲極以標號S表示，且待測場效電晶體18之源極連接同一測試晶胞16中控制場效電晶體20之源極，以疊接（Cascode）之，如第10圖所示。在第四實施例、第五實施例與第六實施例中，作為第一設定電壓之汲極設定電壓VIS為每一測試晶胞16之待測場效電晶體18之汲極S之設定電壓輸入，且作為第二設定電壓之源極設定電壓VID為待測場效電晶體18之源極之設定電壓輸入。第一實施例、第二實施例與第三實施例之運作過程分別與第四實施例、第五實施例與第六實施例相同，為了簡化第7、8與9圖，當選擇一個測試晶胞16後，將未被選擇的測試晶胞16、列解碼器30與行解碼器24省略，而僅留下導通的第一電子開關32，簡化後的電路圖如第11圖所示。

【0032】 綜上所述，本發明利用感測待測場效電晶體之輸出電流與負

回授控制控制場效電晶體之閘極電壓，藉以調整控制場效電晶體之源極電壓，依待測晶胞的種類使待測場效電晶體之汲極或源極電壓等於汲極設定電壓或源極設定電壓，以降低IR drop、電晶體漏電流與本體效應。

【符號說明】

【0033】

- 10 探針卡
- 12 待測場效電晶體
- 14 測試晶胞陣列
- 16 測試晶胞
- 18 待測場效電晶體
- 20 控制場效電晶體
- 22 控制驅動電路
- 24 行解碼器
- 26 電流導引量測電路
- 28 閘極電壓產生器
- 30 列解碼器
- 32 第一電子開關
- 34 第一多工器
- 36 第二多工器
- 38 第一運算放大器
- 40 電流量測器
- 42 電流導引電路

- 44 第二運算放大器
- 46 閘極控制型場效電晶體
- 48 第二電子開關
- 50 金氧半場效電晶體
- 52 金氧半場效電晶體
- 54 金氧半場效電晶體
- 56 金氧半場效電晶體
- 58 第三多工器
- 60 訊號接收端

申請專利範圍

1. 一種超大型電晶體陣列式電氣參數測試裝置，包含：
 - 一測試晶胞陣列，其係包含複數測試晶胞，每一該測試晶胞更包含：
 - 一待測場效電晶體，其係接收一第一設定電壓、一閘極電壓與一基極設定電壓；以及
 - 一控制場效電晶體，其以其源極疊接（Cascode）該待測場效電晶體；以及
 - 一控制驅動電路，連接該些測試晶胞之該控制場效電晶體之閘極與該些測試晶胞之該控制場效電晶體之汲極，並接收一第二設定電壓與一閘極設定電壓，該控制驅動電路接收複數第一數位訊號與複數第二數位訊號，以據此依序選擇每一該測試晶胞作為待測晶胞，該控制驅動電路傳送該閘極設定電壓至該待測晶胞之該待測場效電晶體作為該待測場效電晶體之該閘極電壓，該待測晶胞之該待測場效電晶體依據該閘極設定電壓、該第一設定電壓與該基極設定電壓以產生一輸出電流，該控制驅動電路透過該待測晶胞之該控制場效電晶體之該汲極接收並量測該輸出電流，並根據該輸出電流與該第二設定電壓產生一控制電壓作為該待測晶胞之該控制場效電晶體之閘極電壓，進而形成一閉回路以準確設定該待測晶胞之該控制場效電晶體之源極電壓，藉此準確量測該待測晶胞之該待測場效電晶體之電氣參數。
2. 如請求項1所述之超大型電晶體陣列式電氣參數測試裝置，其中該控制驅動電路更包含：
 - 一行解碼器，其係連接該些測試晶胞之該控制場效電晶體之該汲極，位

於同一行之該等測試晶胞之控制場效電晶體的該汲極接至一共汲極節點，該行解碼器接收該些第一數位訊號，以據此在該測試晶胞陣列中，選擇該待測晶胞所在之一行的該共汲極節點作為輸出，使該待測晶胞的該控制場效電晶體透過該行解碼器輸出該輸出電流；

—電流導引量測電路，其係連接該行解碼器，以接收該輸出電流進行量測，同時產生一正比於該輸出電流之複製輸出電流；

—閘極電壓產生器，其係連接該電流導引量測電路，以接收該複製輸出電流，並接收該第二設定電壓，該閘極電壓產生器根據該複製輸出電流與該第二設定電壓，產生該控制電壓；以及

—列解碼器，其係連接該閘極電壓產生器、該些測試晶胞之該些控制場效電晶體之該閘極與該些測試晶胞之該待測場效電晶體之閘極，以接收該控制電壓，並接收該些第二數位訊號與該閘極設定電壓，以根據該些第二數位訊號在該測試晶胞陣列中，選擇該待測晶胞所在之列，使此對應之所有該測試晶胞的該控制場效電晶體，接受該控制電壓作為自身之閘極電壓，以使該待測晶胞之該控制場效電晶體工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，且該列解碼器根據該些第二數位訊號傳送該閘極設定電壓至包含該待測晶胞的一列之所有該測試晶胞的該待測場效電晶體，以產生該輸出電流。

3. 如請求項2所述之超大型電晶體陣列式電氣參數測試裝置，其中該行解碼器更包含複數第一電子開關，其係連接該電流導引量測電路，每一該第一電子開關連接至位於同一行之該測試晶胞之該控制場效電晶體之該汲

極，並分別接收該些第一數位訊號，以控制每一開關導通狀態，使該待測晶胞之該控制場效電晶體透過其對應且導通之該第一電子開關輸出該輸出電流。

4. 如請求項2所述之超大型電晶體陣列式電氣參數測試裝置，其中該列解碼器更包含：

複數第一多工器，其係連接該閘極電壓產生器，並接收該控制電壓與一直流參考電位，每一該第一多工器連接至位於同一列之該測試晶胞之該控制場效電晶體之該閘極，並分別接收該些第二數位訊號，以藉此在該些測試晶胞中，選擇該待測晶胞所在之一列的所有該測試晶胞的該控制場效電晶體之該閘極電壓等於該控制電壓；以及

複數第二多工器，其係接收該閘極設定電壓與一直流參考電位，每一該第二多工器連接至位於同一列之該測試晶胞之該待測場效電晶體之閘極，且分別接收該些第二數位訊號，並藉此傳送該閘極設定電壓至包含該待測晶胞的一列之該測試晶胞的該待測場效電晶體，以產生該輸出電流。

5. 如請求項1所述之超大型電晶體陣列式電氣參數測試裝置，其中該控制驅動電路更包含：

一行解碼器，其係連接該些測試晶胞之該控制場效電晶體之該汲極與該些測試晶胞之該待測場效電晶體之閘極，位於同一行之該等測試晶胞之控制場效電晶體的該汲極接至一共汲極節點，該行解碼器接收該些第一數位訊號與該閘極設定電壓，以根據該些第一數位訊號傳送該閘極設定電壓至包含該待測晶胞中的一行之所有該測試晶胞的該待測場

效電晶體的閘極，以產生該輸出電流，且該行解碼器根據該些第一數位訊號在該測試晶胞陣列中，選擇該待測晶胞所在之一行的該共汲極節點作為輸出，使該待測晶胞的該控制場效電晶體透過該行解碼器輸出該輸出電流；

一電流導引量測電路，其係連接該行解碼器，以接收該輸出電流進行量測，同時產生一正比於該輸出電流之複製輸出電流；

一閘極電壓產生器，其係連接該電流導引量測電路，以接收該複製輸出電流，並接收該第二設定電壓，該閘極電壓產生器根據該複製輸出電流與該第二設定電壓，產生該控制電壓；以及

一系列解碼器，其係連接該閘極電壓產生器與該些測試晶胞之該些控制場效電晶體之該閘極，以接收該控制電壓，並接收該些第二數位訊號，以根據該些第二數位訊號在該測試晶胞陣列中，選擇該待測晶胞所在之列，使此對應之所有該控制場效電晶體，接受該控制電壓作為自身之閘極電壓，以使該待測晶胞之該控制場效電晶體工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。

6. 如請求項5所述之超大型電晶體陣列式電氣參數測試裝置，其中該行解碼器更包含：

複數第三多工器，其係接收該閘極設定電壓與一直流參考電位，每一該第三多工器連接至位於同一行之該測試晶胞之該待測場效電晶體之該閘極，且分別接收該些第一數位訊號，並據此傳送該閘極設定電壓至包含該待測晶胞中的一行之該測試晶胞的該待測場效電晶體的閘極，以產生該輸出電流；以及

複數第一電子開關，其係連接該電流導引量測電路，每一該第一電子開關連接至位於同一行之該測試晶胞之該控制場效電晶體之該汲極，並分別接收該些第一數位訊號，以控制每一開關導通狀態，使該待測晶胞之該控制場效電晶體透過其對應且導通之該第一電子開關輸出該輸出電流。

7. 如請求項5所述之超大型電晶體陣列式電氣參數測試裝置，其中該列解碼器更包含複數第一多工器，其係連接該閘極電壓產生器，並接收該控制電壓與一直流參考電位，每一該第一多工器連接至位於同一列之該測試晶胞之該控制場效電晶體之該閘極，並分別接收該些第二數位訊號，以藉此在該些測試晶胞中，選擇該待測晶胞所在之一列的所有該測試晶胞的該控制場效電晶體之該閘極電壓等於該控制電壓。

8. 如請求項1所述之超大型電晶體陣列式電氣參數測試裝置，其中該控制驅動電路更包含：

一訊號接收端，其係連接該些測試晶胞的該待測場效電晶體之閘極，該些測試晶胞的該待測場效電晶體透過該訊號接收端接收該閘極設定電壓，以產生該輸出電流；

一行解碼器，其係連接該些測試晶胞之該控制場效電晶體之該汲極，位於同一行之該等測試晶胞之控制場效電晶體的該汲極接至一共汲極節點，該行解碼器接收該些第一數位訊號，以根據該些第一數位訊號在該測試晶胞陣列中，選擇該待測晶胞所在之一行的該共汲極節點作為輸出，使該待測晶胞的該待測場效電晶體透過該行解碼器輸出該輸出電流；

一電流導引量測電路，其係連接該行解碼器，以接收該輸出電流進行量測，同時產生一正比於該輸出電流之複製輸出電流；

一閘極電壓產生器，其係連接該電流導引量測電路，以接收該複製輸出電流，並接收該第二設定電壓，該閘極電壓產生器根據該複製輸出電流與該第二設定電壓，產生該控制電壓；以及

一系列解碼器，其係連接該閘極電壓產生器與該些測試晶胞之該些控制場效電晶體之該閘極，以接收該控制電壓，並接收該些第二數位訊號，以根據該些第二數位訊號在該測試晶胞陣列中，選擇該待測晶胞所在之列，使此對應之所有該測試晶胞的該控制場效電晶體，接受該控制電壓作為自身之閘極電壓，以使該待測晶胞之該控制場效電晶體工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定。

9. 如請求項8所述之超大型電晶體陣列式電氣參數測試裝置，其中該行解碼器更包含複數第一電子開關，其係連接該電流導引量測電路，每一該第一電子開關連接至位於同一行之該測試晶胞之該控制場效電晶體之該汲極，並分別接收該些第一數位訊號，以控制每一開關導通狀態，使該待測晶胞之該控制場效電晶體透過其對應且導通之該第一電子開關輸出該輸出電流。

10. 如請求項8所述之超大型電晶體陣列式電氣參數測試裝置，其中該列解碼器更包含複數第一多工器，其係連接該閘極電壓產生器，並接收該控制電壓與一直流參考電位，每一該第一多工器連接至位於同一列之該測試晶胞之該控制場效電晶體之該閘極，並分別接收該些第二數位訊號，以

藉此在該些測試晶胞中，選擇該待測晶胞所在之一列的所有該測試晶胞的該控制場效電晶體之該閘極電壓等於該控制電壓。

11.如請求項2、5或8所述之超大型電晶體陣列式電氣參數測試裝置，其中該電流導引量測電路更包含：

一第一運算放大器，其第一輸入端連接一第一直流參考電壓，第二輸入端連接該行解碼器，以透過該行解碼器接收該待測晶胞之該控制場效電晶體之該汲極電流，形成一負回授閉迴路並於第一運算放大器之輸出端產生一驅動電壓；

一電流量測器，串接於該第二輸入端與該行解碼器之間，以接收該輸出電流，並量測之；以及

一電流導引電路，連接一第二直流參考電壓、該第一運算放大器之該輸出端與該電流量測器，以接收該驅動電壓與該輸出電流，據以產生該複製輸出電流。

12.如請求項2、5或8所述之超大型電晶體陣列式電氣參數測試裝置，其中該閘極電壓產生器更包含：

一第二運算放大器，其第二輸入端接收該第二設定電壓，第一輸入端連接該電流導引量測電路以接收該複製輸出電流，該第二運算放大器根據該第二設定電壓與該複製輸出電流於輸出端產生該控制電壓；

一閘極控制型場效電晶體，其閘極連接該第二運算放大器之該輸出端，源極連接該電流導引量測電路與該第二運算放大器之該第一輸入端以接收該複製輸出電流，使該閘極控制型場效電晶體的閘極與源極間的電壓差等於該待測晶胞的控制場效電晶體的閘極與源極間的電壓差，

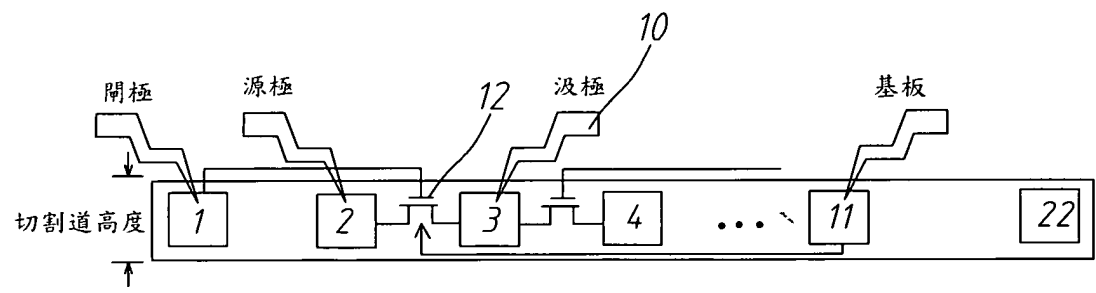
同時該閘極控制型場效電晶體以該閘極接收該控制電壓，且與該第二運算放大器之該第一輸入端形成一負回授閉迴路以工作於飽和區或次臨界電壓區，使其汲極電流主要由其閘極與源極電壓差所決定，並使該第二設定電壓等於該閘極控制型場效電晶體之源極電壓，亦設定該第二設定電壓等於該待測晶胞之該控制場效電晶體之源極電壓；以及一第二電子開關，其係連接於該第一直流參考電壓與該閘極控制型場效電晶體之汲極之間，並保持導通狀態。

13.如請求項12所述之超大型電晶體陣列式電氣參數測試裝置，其中該閘極控制型場效電晶體、該待測場效電晶體與該控制場效電晶體同為N通道金氧半場效電晶體，且該待測晶胞之該控制場效電晶體之源極電壓為該待測晶胞之該待測場效電晶體之汲極電壓，該第一設定電壓為源極設定電壓，該第二設定電壓為汲極設定電壓，該待測場效電晶體之汲極連接同一該測試晶胞中該控制場效電晶體之源極。

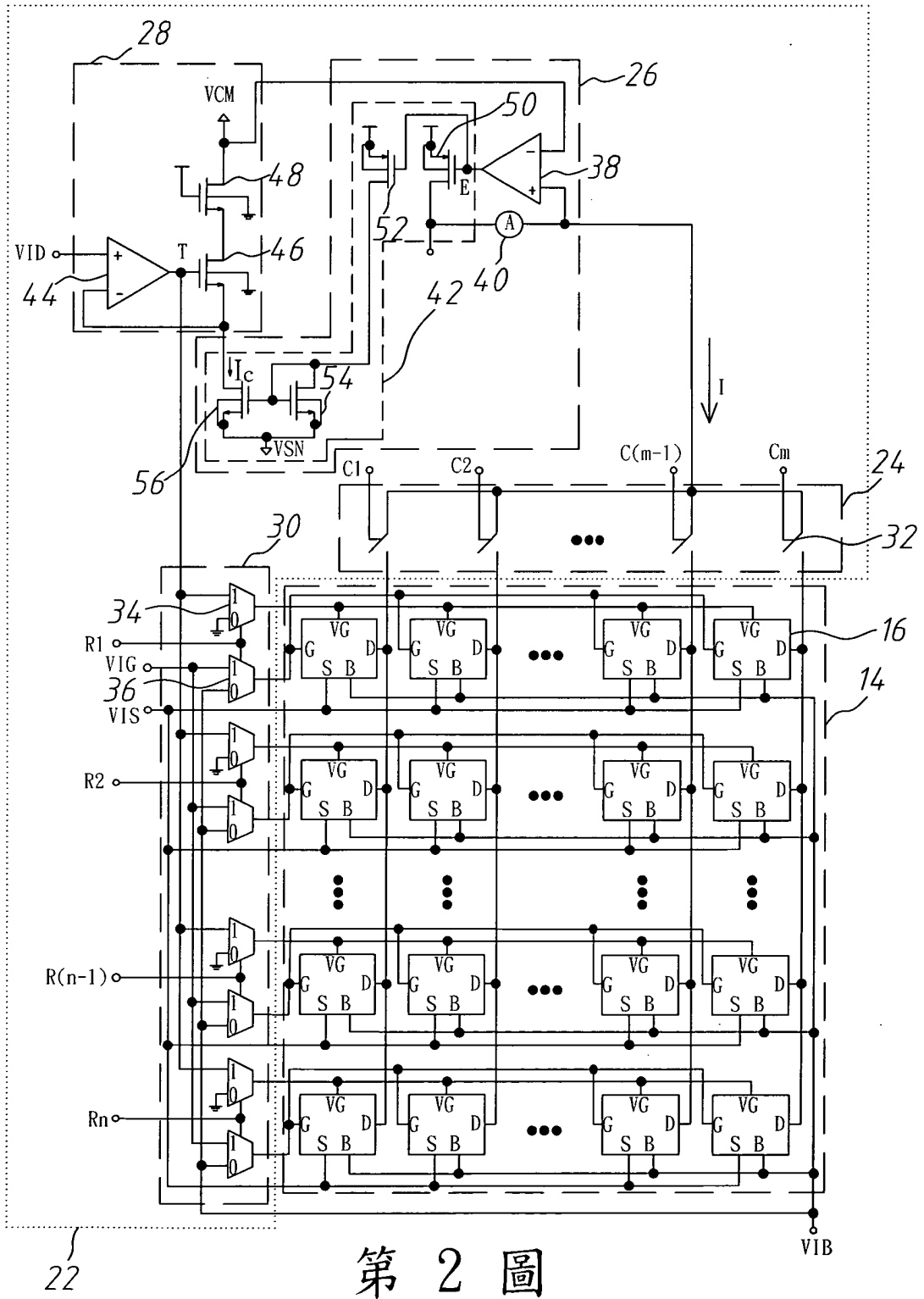
14.如請求項12所述之超大型電晶體陣列式電氣參數測試裝置，其中該閘極控制型場效電晶體與該控制場效電晶體同為N通道金氧半場效電晶體，該待測場效電晶體為P通道金氧半場效電晶體，且該待測晶胞之該控制場效電晶體之源極電壓為該待測晶胞之該待測場效電晶體之源極電壓，該第一設定電壓為汲極設定電壓，該第二設定電壓為源極設定電壓，該待測場效電晶體之源極連接同一該測試晶胞中該控制場效電晶體之源極。

15.如請求項12所述之超大型電晶體陣列式電氣參數測試裝置，其中該閘極控制型場效電晶體與該控制場效電晶體具有相同尺寸規格。

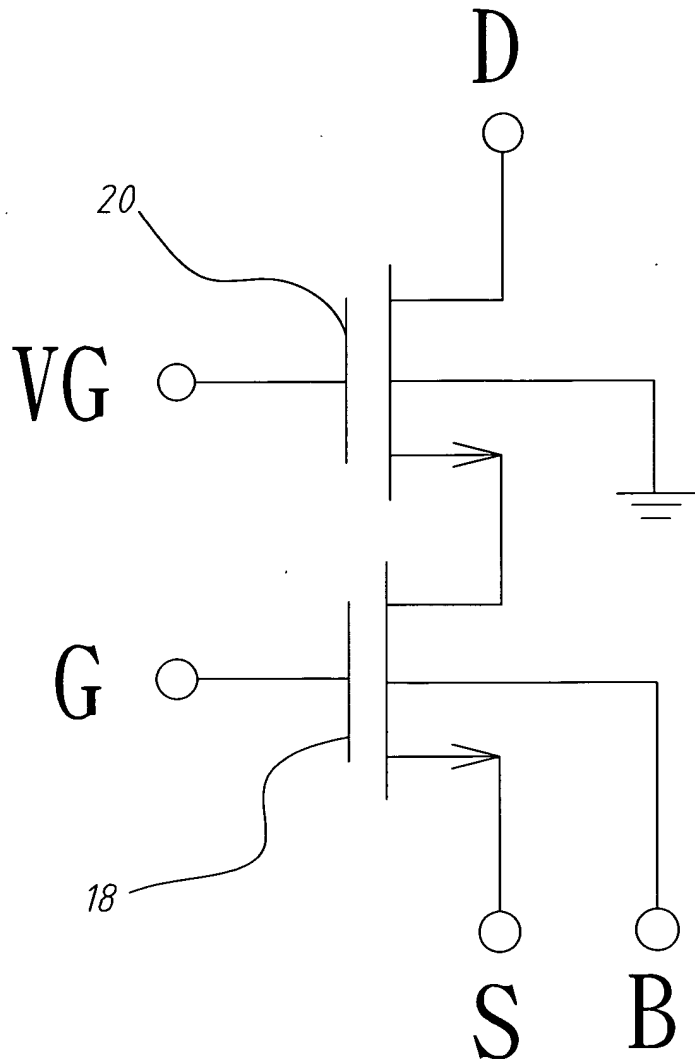
【發明圖式】



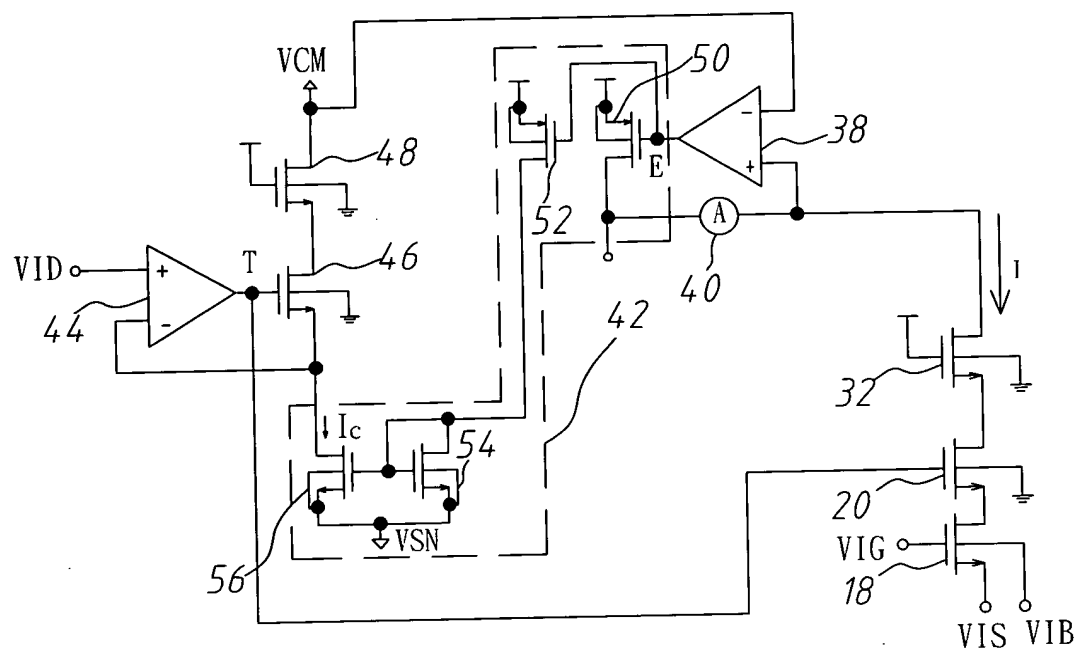
第 1 圖



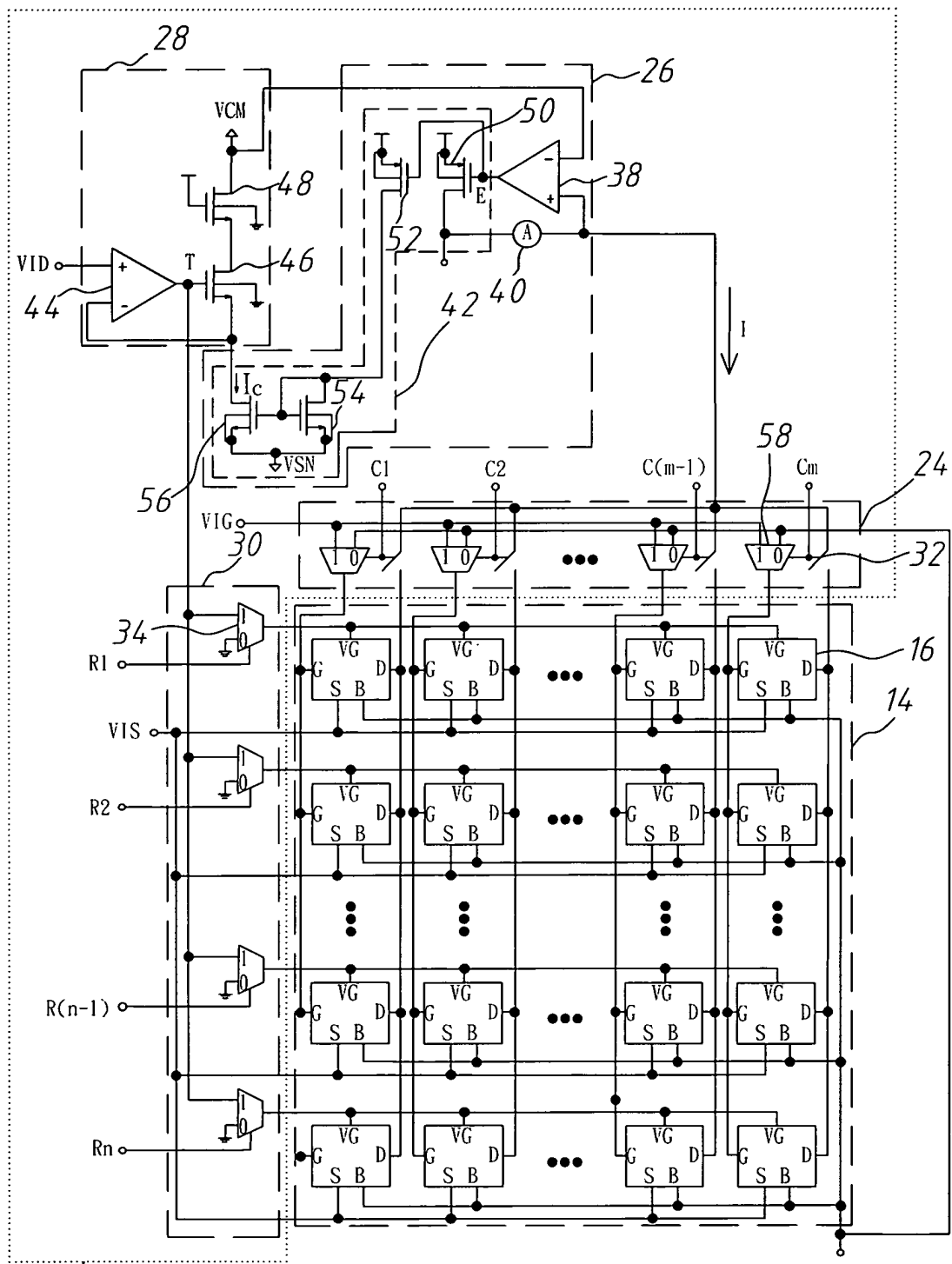
第 2 圖



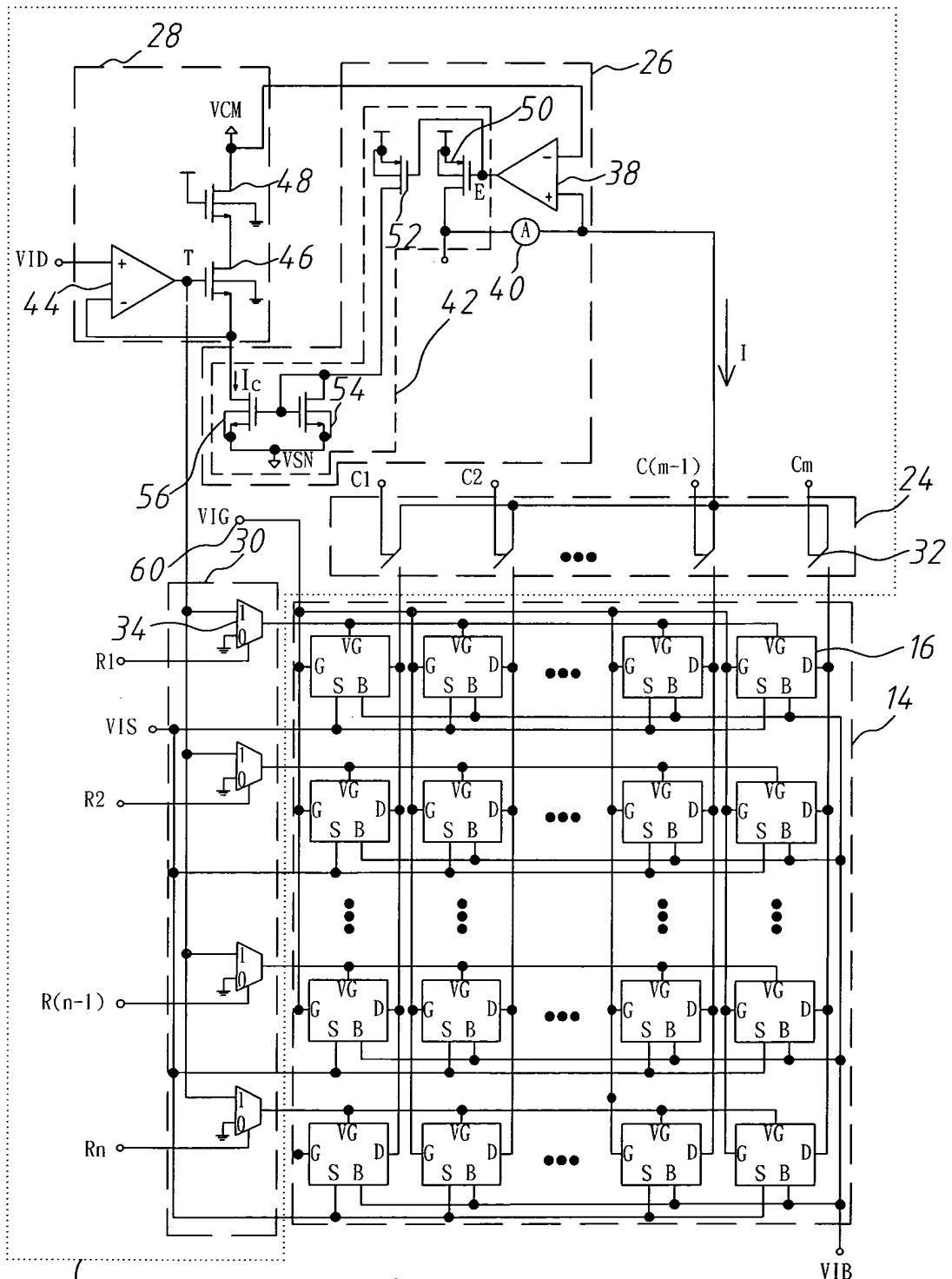
第 3 圖



第 4 圖

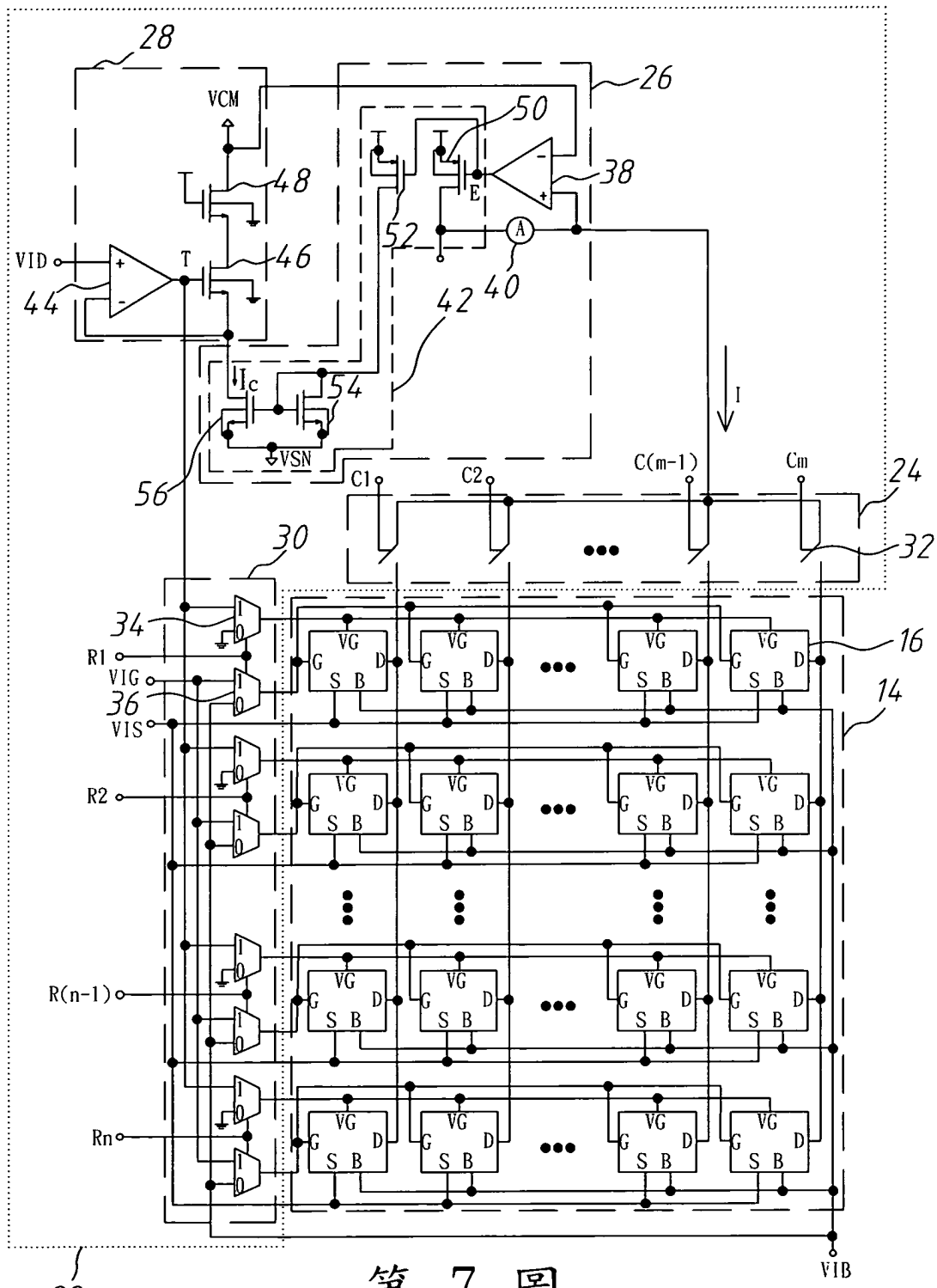


22 第 5 圖

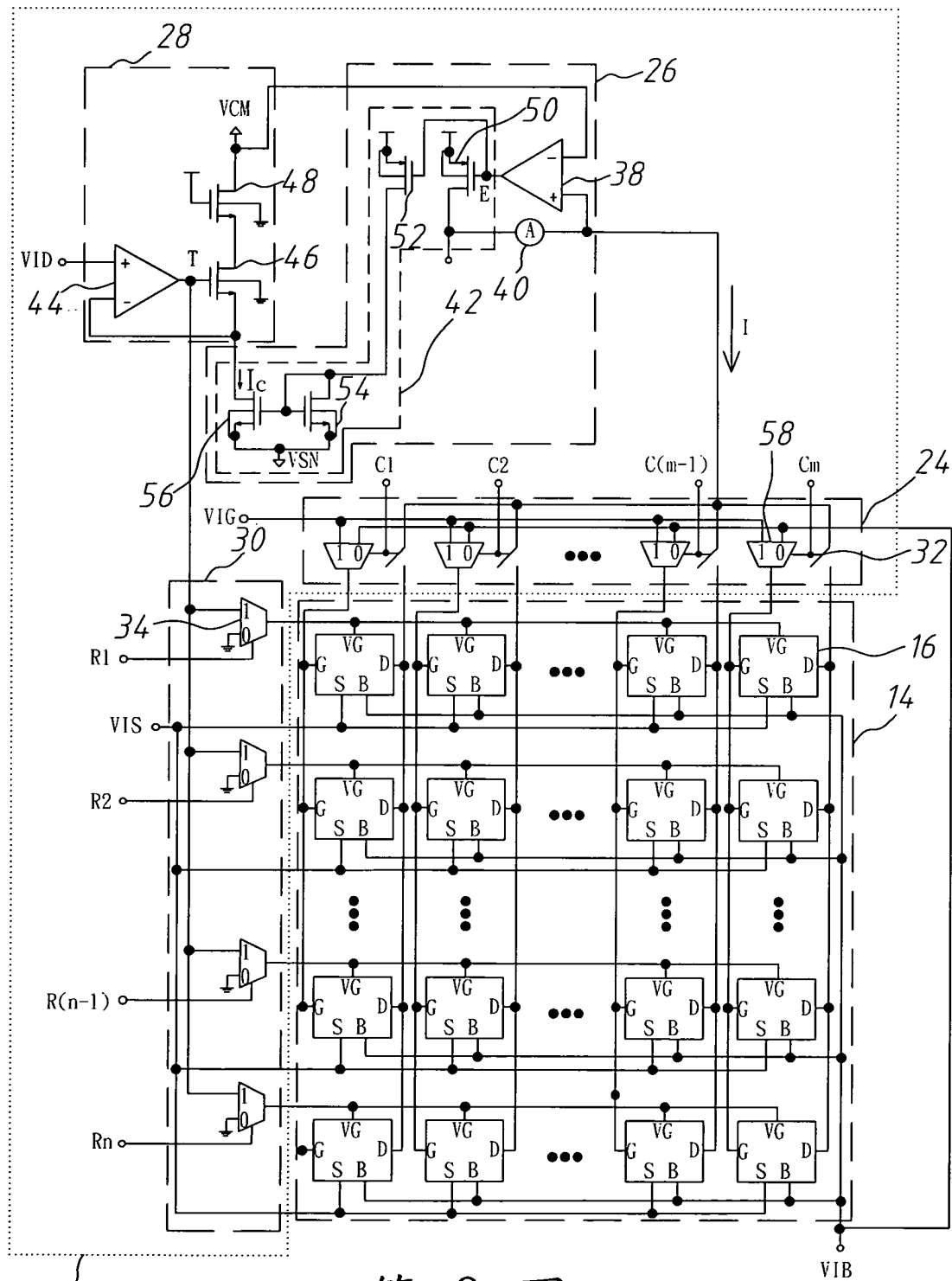


第 6 圖

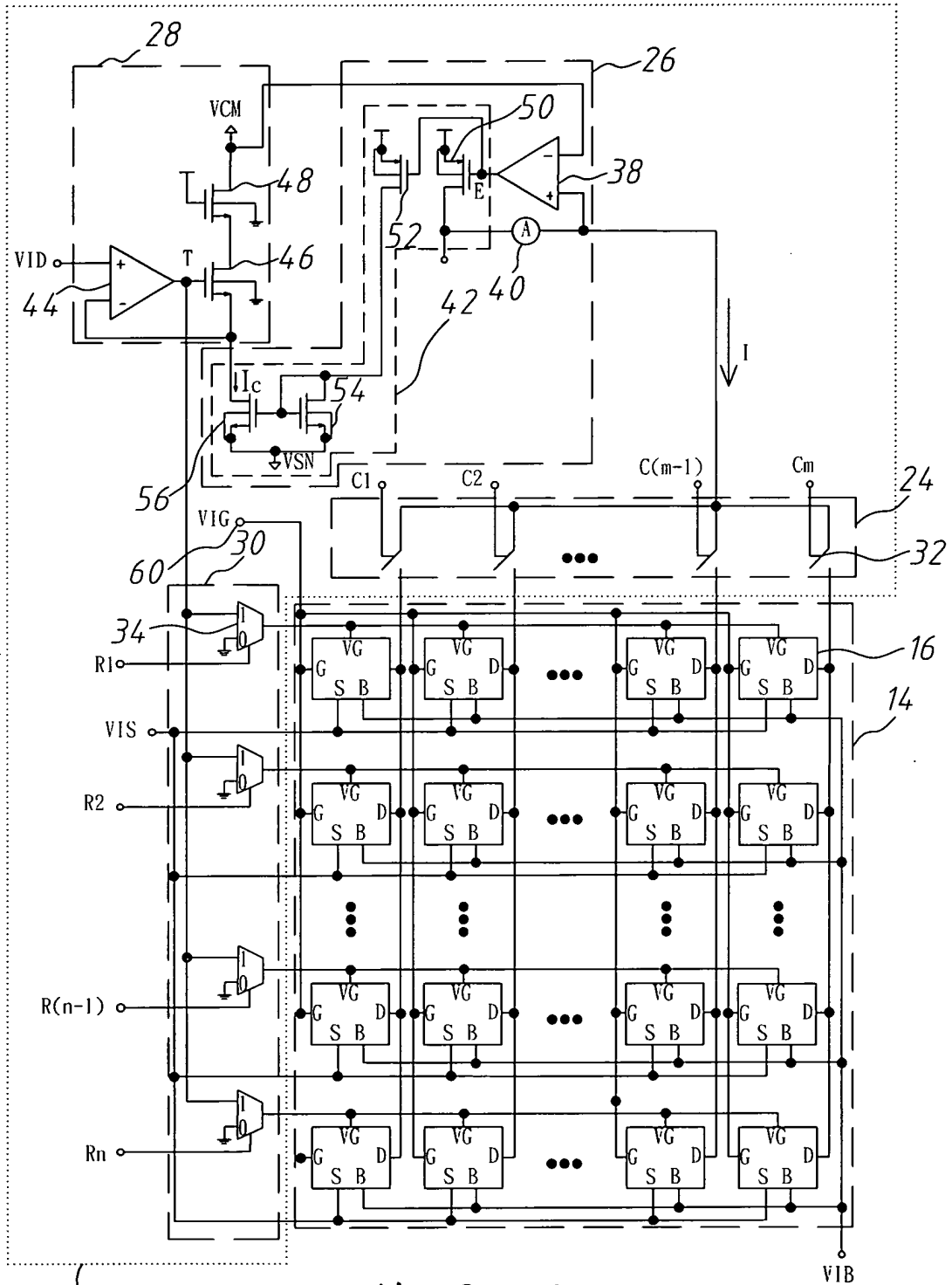




第 7 圖

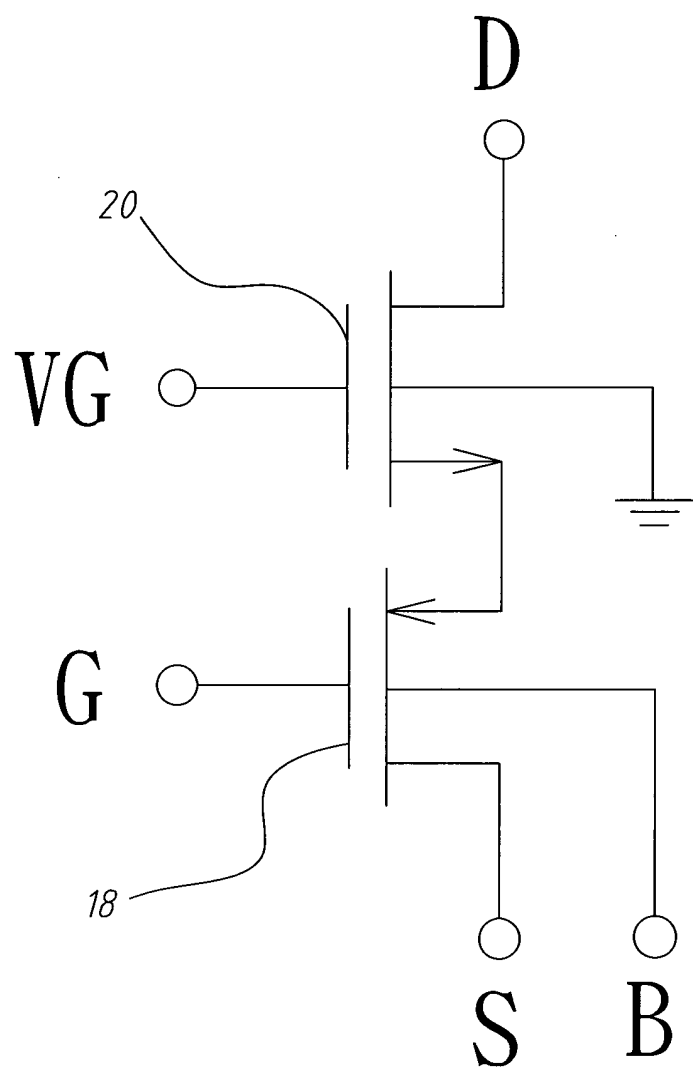


第 8 圖

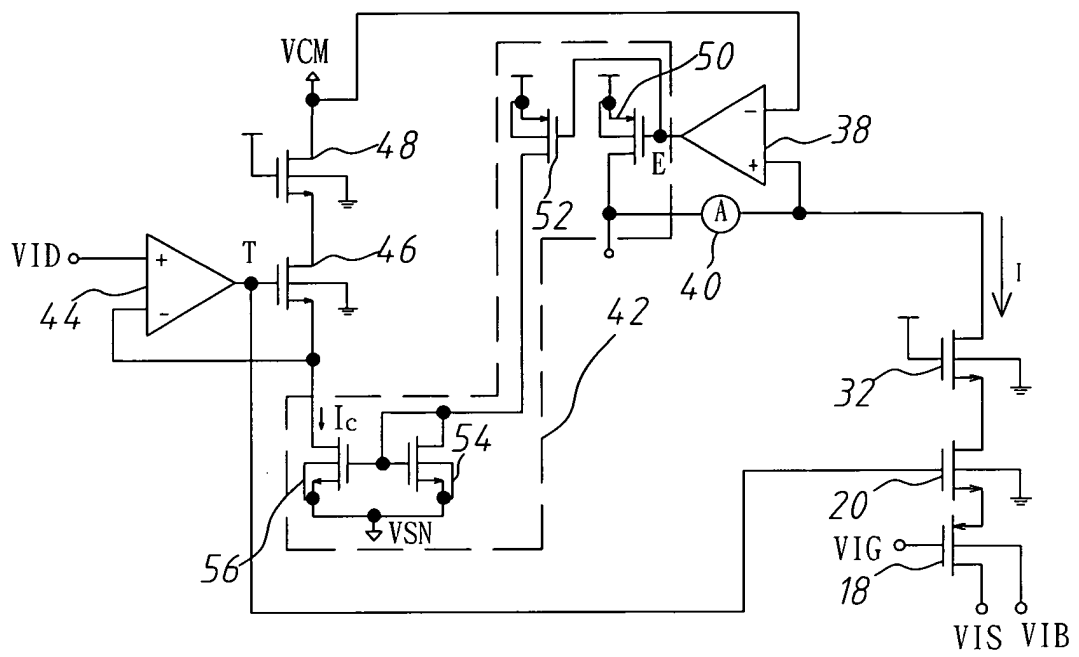


22

第 9 圖



第 10 圖



第 11 圖