



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I509606 B

(45) 公告日：中華民國 104 (2015) 年 11 月 21 日

(21) 申請案號：102114386

(22) 申請日：中華民國 102 (2013) 年 04 月 23 日

(51) Int. Cl. : G11C11/41 (2006.01)

H01L21/8244(2006.01)

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：周世傑 JOU, SHYH JYE (TW) ; 杜明賢 TU, MING HSIEN (TW) ; 胡育豪 HU, YU

HAO (TW) ; 莊景德 CHUANG, CHING TE (TW) ; 邱奕瑋 CHIU, YI WEI (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW I359422

TW 200709217A

TW 201205580A

TW 201250991A

EP 0393435B1

US 7321504B2

US 7633793B2

US 2005/0213415A1

審查人員：李昭俊

申請專利範圍項數：16 項 圖式數：5 共 36 頁

(54) 名稱

靜態記憶體及記憶胞

STATIC MEMORY AND MEMORY CELL THEREOF

(57) 摘要

本發明提出靜態記憶體及記憶胞，靜態記憶胞包括第一至第六電晶體、第一至第三開關、第一及第二下拉開關。在進行資料寫入時，透過截止第二或第五電晶體來切斷由第一至第六電晶體所構成的閃鎖電路的閃鎖能力，以加快資料寫入的速度及加強寫入能力。第一及第二開關提供資料讀出或寫入的路徑，而第三開關則耦接至位元線以接收位元上的資料或傳送資料至位元線。

A static memory and memory cell are provided. The memory cell includes first to sixth transistors, first to third switches, and first and second pull down switches. When a data writing operation is processing, the second and fifth transistors are turned off to cut off a latching capability for a latch circuit formed by the first to sixth transistors, such as that the speed for the data writing operation is increased and the write-ability is improved. The first and second switches provide paths for data read-out or write-in, and the third switch is coupled to a bit line for receiving or transmitting data through the bit line.

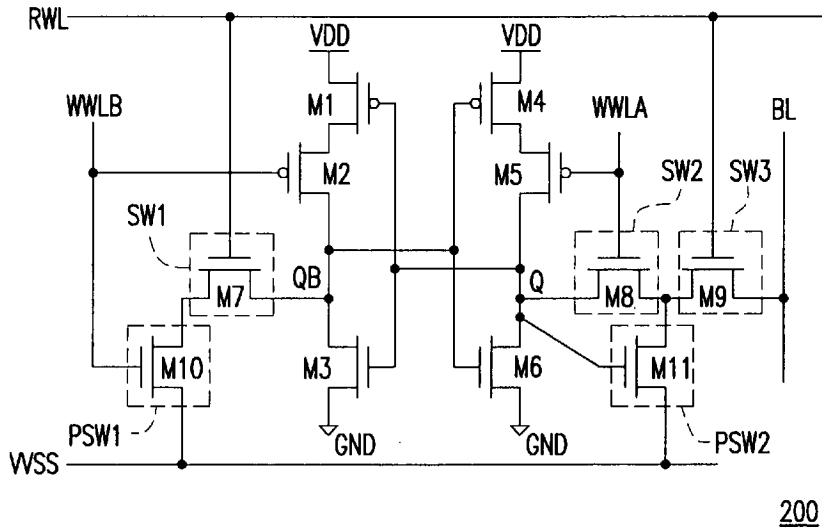


圖 2

- 200 . . . 靜態記憶胞
- M1~M11 . . . 電晶體
- SW1~SW3 . . . 開關
- PSW1~PSW2 . . . 下拉開關
- GND . . . 接地端
- Q、QB . . . 輸出端
- WWLA、WWLB . . . 寫入字線信號
- BL . . . 位元線
- RWL . . . 讀取字線
- VVSS . . . 參考接地電壓
- VDD . . . 參考操作電源

發明摘要

※ 申請案號：102114386

※ 申請日：102. 4. 23

※IPC 分類：G11C 11/41 (2006.01)

H01L 21/8244 (2006.01)

【發明名稱】靜態記憶體及記憶胞

STATIC MEMORY AND MEMORY CELL THEREOF

【中文】

本發明提出靜態記憶體及記憶胞，靜態記憶胞包括第一至第六電晶體、第一至第三開關、第一及第二下拉開關。在進行資料寫入時，透過截止第二或第五電晶體來切斷由第一至第六電晶體所構成的閃鎖電路的閃鎖能力，以加快資料寫入的速度及加強寫入能力。第一及第二開關提供資料讀出或寫入的路徑，而第三開關則耦接至位元線以接收位元上的資料或傳送資料至位元線。

【英文】

A static memory and memory cell are provided. The memory cell includes first to sixth transistors, first to third switches, and first and second pull down switches. When a data writing operation is processing, the second and fifth transistors are turned off to cut off a latching capability for a latch circuit formed by the first to sixth transistors, such as that the speed for the data writing operation is increased and the write-ability is improved. The first and second switches provide paths for data read-out or write-in, and the third switch is coupled to a bit line for receiving or transmitting data through the bit line.

【代表圖】

【本案指定代表圖】：圖 2。

【本代表圖之符號簡單說明】：

200：靜態記憶胞

M1~M11：電晶體

SW1~SW3：開關

PSW1~PSW2：下拉開關

GND：接地端

Q、QB：輸出端

WWLA、WWLB：寫入字線信號

BL：位元線

RWL：讀取字線

VVSS：參考接地電壓

VDD：參考操作電源

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 靜態記憶體及其記憶胞

STATIC MEMORY AND MEMORY CELL THEREOF

【技術領域】

【0001】 本發明是有關於一種靜態記憶胞及靜態記憶體，且特別是有關於一種可工作在次臨界電壓的靜態記憶胞及靜態記憶體。

【先前技術】

【0002】 請參照圖 1，圖 1 繪示習知的靜態記憶胞 100 的電路圖。靜態記憶胞 100 包括電晶體 M1~M6 以及電晶體 MP1 及 MP2。當要對靜態記憶胞 100 進行資料寫入動作時，透過橫向字線信號 WL 以及行選擇信號 CS 來使電晶體 MP1 以及 MP2 處於斷開的狀態，並使電晶體 M1~M4 與參考操作電源 VDD 隔離，同時，並藉由字線信號 WL 來導通電晶體 M5 以及 M6，使位元線 BL 以及反向位元線 BLB 上的資料可以傳送至電晶體 M1~M4。在電晶體 MP1 以及 MP2 處於斷開的狀態下，位元線 BL 以及反向位元線 BLB 上的資料可以更簡單且快速的被寫入至電晶體 M1~M4 所形成的閃鎖電路中。有效提升資料寫入的效益。

【0003】 習知的靜態記憶胞 100 進行資料寫入動作時，僅能透過 N 型的電晶體 M3 以及 M4 依據接地端 GND 的電壓來寫入等於邏輯準位 0 的資料。然而，在進行邏輯準位 1 的資料寫入動作，並無 P

型的電晶體可以支援這項動作，而導致寫入過程中亦受雜訊的影響而降低了寫入的可靠度。另外，在靜態記憶胞 100 進行資料寫入動作時，儲存資料的儲存點 ST 上的電壓亦受到電晶體 M5 以及電晶體 M3 的分壓現象的影響，在電晶體 M3 的驅動能力較強的狀態下，儲存點 ST 上的電壓會偏低而容易受到雜訊的影響。這個現象在參考操作電源 VDD 的電壓值較低的情況下將更為嚴重，因此，靜態記憶胞 100 無法在低的參考操作電源 VDD 下進行操作。

【發明內容】

【0004】 本發明提供多種靜態記憶體及靜態記憶胞，具有可低電壓操作，且具有可工作在次臨界電壓下的特性。

【0005】 本發明所提出的靜態記憶胞，包括第一至第六電晶體、第一至第三開關、第一下拉開關以及第二下拉開關。第一電晶體的第一端耦接至一參考操作電源，第二電晶體的第一端耦接至第一電晶體的第二端，第二電晶體的第二端耦接至第一輸出端，第二電晶體的控制端接收第一寫入字線信號。第三電晶體的第一端耦接至第一輸出端，第三電晶體的控制端耦接至第一電晶體的控制端及第二輸出端，第三電晶體的第二端耦接至接地端。第四電晶體的第一端耦接至參考操作電源，第五電晶體的第一端耦接至第四電晶體的第二端，第五電晶體的第二端耦接至第二輸出端，第五電晶體的控制端接收第二寫入字線信號。第六電晶體的第一端耦接至第二輸出端，第六電晶體的控制端耦接至第四電晶體的

控制端及第一輸出端，第六電晶體的第二端耦接至接地端。第一開關耦接至第一輸出端，並受控於讀取字線信號以導通或斷開。第二開關耦接至第二輸出端，並受控於第二寫入字線信號以導通或斷開。第三開關的其第一端接至第二開關的第二端，第三開關的第二端耦接至第一位元線，第三開關受控於讀取字線以導通或斷開。第一下拉開關串接在第一開關的第二端與參考接地電壓間，並受控於第一寫入字線信號電壓以導通或斷開。第二下拉開關串接在第二開關的第二端與參考接地電壓間，第二下拉開關受控於第二輸出端上的電壓以導通或斷開。

【0006】本發明所提出的再一種靜態記憶胞，包括第一至第六電晶體、第一至第四開關、第一下拉開關以及第二下拉開關。第一電晶體具有第一端、第二端以及控制端，其第一端耦接至參考操作電源。第二電晶體具有第一端、第二端以及控制端，其第一端耦接至第一電晶體的第二端，第二電晶體的第二端耦接至第一輸出端，第二電晶體的控制端接收第一寫入字線信號。第三電晶體具有第一端、第二端以及控制端，第三電晶體的第一端耦接至第一輸出端，第三電晶體的控制端耦接至第一電晶體的控制端及第二輸出端，第三電晶體的第二端耦接至接地端。第四電晶體具有第一端、第二端以及控制端，第四電晶體的第一端耦接至參考操作電源。第五電晶體具有第一端、第二端以及控制端，第五電晶體的第一端耦接至第四電晶體的第二端，第五電晶體的第二端耦接至第二輸出端，第五電晶體的控制端接收第二寫入字線信號。

第六電晶體具有第一端、第二端以及控制端，第六電晶體的第一端耦接至第二輸出端，第六電晶體的控制端耦接至第四電晶體的控制端及第一輸出端，第六電晶體的第二端耦接至接地端。第一開關的第一端耦接至第一輸出端，第一開關受控於第一寫入字線信號以導通或斷開。第二開關的第一端耦接至第二輸出端，第二開關受控於第二寫入字線信號以導通或斷開。第三開關的第一端耦接至第二開關的第二端，第三開關的第二端耦接至第一位元線，第三開關受控於讀取字線以導通或斷開。第一下拉開關串接在第一開關的第二端與參考接地電壓間。第一下拉開關受控於第一輸出端上的電壓以導通或斷開。第二下拉開關串接在第二開關的第二端與參考接地電壓間，第二下拉開關受控於第二輸出端上的電壓以導通或斷開。第四開關的第一端耦接至第一開關的第二端，第四開關的第二端耦接至第二位元線，第四開關受控於讀取字線信號以導通或斷開。

【0007】本發明所提出的再一種靜態記憶胞，包括第一至第八電晶體以及第一至第四開關。第一電晶體耦接至參考操作電源，第二電晶體的第一端耦接至第一電晶體的第二端，第二電晶體的第二端耦接至第一輸出端，第二電晶體的控制端接收寫入字線信號。第三電晶體的第一端及第二端分別耦接至第二電晶體的第一及第二端，第三電晶體的控制端接收資料信號。第四電晶體的第一端耦接至第一輸出端，第四電晶體的控制端耦接至第一電晶體的控制端及第二輸出端，第四電晶體的第二端耦接至接地端。第

五電晶體的第一端耦接至該參考操作電源。第六電晶體的第一端耦接至第五電晶體的第二端，第六電晶體的第二端耦接至第二輸出端，第六電晶體的控制端接收寫入字線信號。第七電晶體的第一端及第二端分別耦接至第六電晶體的第一及第二端，第七電晶體的控制端接收反向資料信號。第八電晶體的第一端耦接至第二輸出端，第八電晶體的控制端耦接至第五電晶體的控制端及第一輸出端，第八電晶體的第二端耦接至接地端。第一開關的第一端耦接至反向位元線，第一開關的第二端耦接至第一輸出端，第一開關受控於寫入字線信號以導通或斷開。第二開關的第一端耦接至位元線，第二開關的第二端耦接至第二輸出端，第二開關受控於寫入字線信號以導通或斷開。第四開關受控於第二輸出端上的電壓以導通或斷開。第三開關的第二端耦接讀取位元線，第三開關受控於讀取字線信號以導通或斷開。

【0008】 本發明所提出的靜態記憶體包括多數條讀取字線、多數條位元線對以及多數個如上述的靜態記憶胞。多數條讀取字線用以分別傳送多數個讀取字線信號。多數條位元線對分別包括多數條位元線與多數條反向位元線。靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列。記憶胞行中的靜態記憶胞分別耦接至位元線對，記憶胞列中的靜態記憶胞分別耦接至讀取字線。

【0009】 本發明另提出的靜態記憶體包括多數條讀取字線、多數條位元線對以及多數個靜態記憶胞。讀取字線，用以分別傳送多

數個讀取字線信號。位元線對分別包括多數條位元線與多數條反向位元線。靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，記憶胞行中的靜態記憶胞分別耦接至位元線對，記憶胞列中的靜態記憶胞分別耦接至讀取字線。

【0010】 本發明再提出的靜態記憶體包括多數條讀取字線、多數條寫入字線信號、多數條讀取位元線以及多數個靜態記憶胞。讀取字線用以分別傳送多數個讀取字線信號。寫入字線信號用以分別傳送多數個寫入字線信號。位元線對分別包括多數條位元線與多數條反向位元線。靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，記憶胞行中的靜態記憶胞分別耦接至位元線對，記憶胞列中的靜態記憶胞分別耦接至讀取字線。

【0011】 基於上述，本發明所提供的靜態記憶胞可以有效的減低進行資料讀寫時所需要的時間，從而加快靜態記憶體的寫入速度。並且，透過本發明所提供的靜態記憶胞的結構，靜態記憶胞中的電晶體的通道大小可以有效的得到縮減，降低靜態記憶體的面積。另外，本發明所提供的靜態記憶胞也可以有效的降低其所可能產生的電力消耗，在作為內嵌式記憶體的應用中，可以大幅降低系統晶片的電力消耗。

【0012】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0013】

圖 1 繪示習知的靜態記憶胞 100 的電路圖。

圖 2 繪示本發明實施例的靜態記憶胞 200 的示意圖。

圖 3 繪示本發明另一實施例的靜態記憶胞 300 的示意圖。

圖 4 繪示本發明再一實施例的靜態記憶胞 400 的示意圖。

圖 5A~圖 5C 分別繪示本發明多個實施例的靜態記憶體 510~530。

【實施方式】

【0014】 請參照圖 2，圖 2 繪示本發明實施例的靜態記憶胞 200 的示意圖。靜態記憶胞 200 包括電晶體 M1~M6、開關 SW1~SW3 以及下拉開關 PSW1~PSW2。電晶體 M1 的第一端耦接至參考操作電源 VDD。電晶體 M2 的第一端耦接至電晶體 M1 的第二端，電晶體 M2 的第二端耦接至輸出端 QB，並且，電晶體 M2 的控制端接收寫入字線信號 WWLB。電晶體 M3 的第一端耦接至輸出端 QB，電晶體 M3 的控制端耦接至電晶體 M1 的控制端及輸出端 Q，電晶體 M3 的第二端耦接至接地端 GND。電晶體 M4 的第一端耦接至參考操作電源 VDD。電晶體 M5 的第一端耦接至電晶體 M4 的第二端，電晶體 M5 的第二端耦接至輸出端 Q，並且，電晶體 M5 的控制端接收寫入字線信號 WWLA。電晶體 M6 的第一端耦接至輸出端 Q，電晶體 M6 的控制端耦接至電晶體 M4 的控制端及輸出端 QB，電晶體 M6 的第二端耦接至接地端 GND。

【0015】 上述的電晶體 M1、M2、M4 及 M5 可以是 P 型電晶體，而電晶體 M3、M6 則可以是 N 型電晶體。電晶體 M1~M6 的控制端可以是其閘極，而電晶體 M1、M2、M4 及 M5 的第一端可以是其源極，電晶體 M1、M2、M4 及 M5 的第二端可以是其汲極。電晶體 M3、M6 的第一端可以是其汲極，而電晶體 M3、M6 的第二端則可以是其源極。

【0016】 開關 SW1 的第一端耦接至輸出端 QB，開關 SW1 的第二端則耦接至下拉開關 PSW1。開關 SW1 受控於讀取字線信號 RWL 以導通或斷開。開關 SW2 的第一端耦接至輸出端 Q，開關 SW2 受控於寫入字線信號 WWLA 以導通或斷開。開關 SW3 的第一端接至開關 SW2 的第二端，開關 SW3 的第二端耦接至位元線 BL，開關 SW3 受控於讀取字線 RWL 以導通或斷開。

【0017】 下拉開關 PSW1 串接在開關 SW1 的第二端與參考接地電壓 VVSS 間。下拉開關 PSW1 受控於第一寫入字線信號 WWLB 以導通或斷開。下拉開關 PSW2 串接在開關 SW2 的第二端與參考接地電壓 VVSS 間，下拉開關 PSW2 受控於輸出端 Q 上的電壓以導通或斷開。

【0018】 值得一提的是，在進行資料寫入動作時，寫入字線信號 WWLA 以及 WWLB 是互補的信號。另外，開關 SW1~SW3、下拉開關 PSW1 以及 PSW2 都可以分別是透過電晶體 M7~M9、M10 及 M11 來建構的開關。

【0019】 在整體的作動上，首先，需要將被選中的靜態記憶胞所

接收的參考接地電壓設定為等於接地端 GND 上的電壓(例如 0 伏特)。當要對靜態記憶胞 200 寫入邏輯準位 0 的資料時，邏輯準位 0 的資料被傳送到位元線 BL 上，讀取字線信號 RWL 以及寫入字線信號 WWLA 均為邏輯準位 1，而寫入字線信號 WWLB 則為邏輯準位 0。此時，開關 SW1、SW3 以及 SW2 被導通，下拉開關 PSW1 被斷開，電晶體 M5 被斷開(截止)，而電晶體 M2 則被導通。透過導通的開關 SW2 以及 SW3，位元線 BL 上的邏輯準位 0 被傳送至輸出端 Q。在電晶體 M5 被斷開的情況下，邏輯準位 0 的資料可以很容易的寫入至輸出端 Q。而輸出端 Q 上的邏輯準位 0 則會被傳送至電晶體 M1 及 M3 的控制端，並使輸出端 QB 的電壓準位透過被導通的電晶體 M1 及 M2 而上拉至等於邏輯準位 1。

【0020】 相對的，當要對靜態記憶胞 200 寫入邏輯準位 1 的資料時，邏輯準位 0 的資料被傳送到位元線 BL 上，讀取字線信號 RWL 以及寫入字線信號 WWLB 均為邏輯準位 1，而寫入字線信號 WWLA 則為邏輯準位 0。此時，開關 SW1、SW3 被導通，開關 SW2 被斷開，下拉開關 PSW1 被導通，電晶體 M2 被斷開(截止)，而電晶體 M5 則被導通。透過導通的開關 SW1 以及下拉開關 PSW1，參考接地電壓 VVSS 上的邏輯準位 0 被傳送至輸出端 QB。在電晶體 M2 被斷開的情況下，邏輯準位 0 的資料可以很容易的寫入至輸出端 QB。而輸出端 QB 上的邏輯準位 0 則會被傳送至電晶體 M4 及 M6 的控制端，並使輸出端 Q 的電壓準位透過被導通的電晶體 M4 及 M5 而上拉至等於邏輯準位 1。

【0021】 在對靜態記憶胞 200 進行資料讀取的動作前，則要對位元線 BL 進行預充電的動作，並使位元線 BL 被預充電至等於邏輯準位 1。在對靜態記憶胞 200 進行資料讀取的動作時，則同時使寫入字線信號 WWLA 以及 WWLB 等於邏輯準位 0，並使讀取字線信號 RWL 等於邏輯準位 1。此時，開關 SW1、SW3 導通，而下拉開關 PSW1 與開關 SW2 被斷開。若輸出端 Q 上的電壓等於邏輯準位 1，則位元線 BL 上可以透過被導通的下拉開關 PSW2 來讀取由參考接地電壓 VVSS 所提供的等於邏輯準位 0 的資料。相對的，若輸出端 Q 上的電壓等於邏輯準位 0，則下拉開關 PSW2 會被斷開，並且，位元線 BL 上的電壓不會被影響而保持等於邏輯準位 1。

【0022】 附帶一提的，當靜態記憶胞為非被選中要進行讀寫動作的記憶胞時，參考接地電壓 VVSS 的電壓值會被設定為等於參考操作電源 VDD 的電壓值。

【0023】 以下請參照圖 3，圖 3 繪示本發明另一實施例的靜態記憶胞 300 的示意圖。靜態記憶胞 300 包括電晶體 M1~M6、開關 SW1~SW4 以及下拉開關 PSW1~PSW2。與前一實施例不相同的，靜態記憶胞 200 是一個單端的靜態記憶體胞，而靜態記憶胞 300 則是一個雙端的靜態記憶體胞。也就是說，在本實施例中，開關 SW1 與下拉開關 PSW1 的耦接點上，更連接開關 SW4 且下拉開關 PSW1 的導通或斷開的動作受控於輸出端 QB 上的電壓。開關 SW4 更耦接至位元線 BLB，並且，開關 SW4 受控於讀取字線信號 RWL 以導通或斷開。開關 SW4 可以是電晶體開關。此外，本實施例中

開關 SW1 串接在寫入字線信號 WWLB 與輸出端 QB 間，開關 SW1 受控於寫入字線信號 WWLB 以導通或斷開。下拉開關 PSW1 則是耦接在開關 SW1 耦接開關 SW4 的端點與參考接地電壓 VVSS 間，下拉開關 PSW1 受控於輸出端 QB 上的電壓以導通或斷開。

【0024】 本實施例的靜態記憶胞 300 整體的動作方式與前一實施例的靜態記憶胞 200 的動作方式相類似，差別僅在於本實施例的靜態記憶胞 300 提供雙端的位元線 BL 以及 BLB 已進行差動信號的寫入及讀取的動作。並藉以加快靜態記憶胞 300 的存取速度。

【0025】 以下請參照圖 4，圖 4 繪示本發明再一實施例的靜態記憶胞 400 的示意圖。靜態記憶胞 400 包括電晶體 M1~M8 以及開關 SW1~SW4。電晶體 M1 的第一端耦接至參考操作電源 VDD。第二電晶體 M2 的第一端耦接至電晶體 M1 的第二端，電晶體 M2 的第二端耦接至輸出端 QB，電晶體 M2 的控制端接收寫入字線信號 WWL。電晶體 M3 的第一端及第二端分別耦接至電晶體 M2 的第一及第二端，電晶體 M3 的控制端接收資料信號 D。電晶體 M4 的第一端耦接至輸出端 QB，電晶體 M4 的控制端耦接至電晶體 M1 的控制端及輸出端 Q，電晶體 M4 的第二端耦接至接地端 GND。

【0026】 電晶體 M5 的第一端耦接至參考操作電源 VDD。第二電晶體 M6 的第一端耦接至電晶體 M5 的第二端，電晶體 M6 的第二端耦接至輸出端 Q，電晶體 M6 的控制端接收寫入字線信號 WWL。電晶體 M7 的第一端及第二端分別耦接至電晶體 M6 的第一及第二端，電晶體 M7 的控制端接收反向資料信號 DB。電晶體

M8 的第一端耦接至輸出端 Q，電晶體 M8 的控制端耦接至電晶體 M5 的控制端及輸出端 QB，電晶體 M8 的第二端耦接至接地端 GND。

【0027】 上述的電晶體 M1~M3、M5~M7 可以是 P 型電晶體，而電晶體 M4、M8 則可以是 N 型電晶體。電晶體 M1~M8 的控制端可以是其閘極，而電晶體 M1~M3、M5~M7 的第一端可以是其源極，電晶體 M1~M3、M5~M7 的第二端可以是其汲極。電晶體 M4、M8 的第一端可以是其汲極，而電晶體 M4、M8 的第二端則可以是其源極。

【0028】 開關 SW1 的第一端耦接至反向位元線 WBLB，開關 SW1 的第二端耦接至第一輸出端 QB，開關 SW1 受控於寫入字線信號 WWL 以導通或斷開。開關 SW2 的第一端耦接至位元線 WBL，開關 SW2 的第二端耦接至該第二輸出端 Q，開關 SW2 受控於寫入字線信號 WWL 以導通或斷開。開關 SW4 的第一端耦接至接地端 GND，開關 SW4 受控於輸出端 Q 上的電壓以導通或斷開。開關 SW3 的第一端耦接至開關 SW4 的第二端，開關 SW3 的第二端耦接讀取位元線 RBL，開關 SW3 受控於讀取字線信號 RWL 以導通或斷開。

【0029】 在本實施例中，開關 SW1~SW4 分別可利用電晶體 M9~M12 來建構。此外，電晶體 M3 的控制端可以由資料信號 D 控制，電晶體 M7 的控制端由反向資料信號 DB 控制。

【0030】 在整體動作方面，在針對靜態記憶胞 400 進行資料寫入

時，當寫入的資料為邏輯準位 1 時，寫入字線信號 WWL、資料信號 D 以及位元線 WBL 上的電壓均為邏輯準位 1，而反向位元線 WBLB 與反向資料信號 DB 均為邏輯準位 0。電晶體 M2 以及 M3 會被截止，而電晶體 M7 被導通。透過被導通的開關 SW1 以及 SW2，位元線 WBL 以及反向位元線 WBLB 上的資料分別被傳送至輸出端 Q 以及 QB，並完成資料寫入的動作。當寫入的資料為邏輯準位 0 時，寫入字線信號 WWL、資料信號 D 以及位元線 WBL 上的電壓均為邏輯準位 0，而反向位元線 WBLB 與反向資料信號 DB 均為邏輯準位 1。電晶體 M6 以及 M7 會被截止，而電晶體 M3 被導通。並且，透過被導通的開關 SW1 以及 SW2，位元線 WBL 以及反向位元線 WBLB 上的資料分別被傳送至輸出端 Q 以及 QB，同樣可以完成資料寫入的動作。

【0031】 在上述的實施例中，透過使電晶體 M2、M3 或使電晶體 M7、M6 截止，來切斷電晶體 M1~M8 所形成的閃鎖電路的閃鎖能力，可以使得要被寫入的資料可以輕易且快速的被寫入至閃鎖電路中，提升靜態記憶胞 400 的寫入能力。

【0032】 請參照圖 5A，圖 5A 繪示本發明實施例的靜態記憶體 510。靜態記憶體 510 包括多數條讀取字線 RWL1~RWLN、多數條位元線 BL1~BLM 以及多數個靜態記憶胞 5111~51NM。讀取字線 RWL1~RWLN 用以分別傳送多數個讀取字線信號，上述的位元線對則分別包括多數條位元線 BL1~BLM。靜態記憶胞 5111~51NM 以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，記

憶胞行中的靜態記憶胞分別耦接至位元線對，記憶胞列中的靜態記憶胞分別耦接至讀取字線 RWL1~RWLN。以靜態記憶胞 511~51M 的記憶胞列為範例，靜態記憶胞 5111~511M 共同耦接至讀取字線 RWL1。再以靜態記憶胞 5111~51N1 所形成的記憶胞行為範例，靜態記憶胞 511~5N1 共同耦接至位元線 BL1。

【0033】 此外，排列於相同的記憶胞行的靜態記憶胞亦接收相同的寫入字線信號。舉例來說，靜態記憶胞 5111 及 51N1 均接收寫入字線信號 WWLB1 及 WWLA1，靜態記憶胞 5112 及 51N2 均接收寫入字線信號 WWLB2 及 WWLA2，靜態記憶胞 511M 及 51NM 則均接收寫入字線信號 WWLBM 及 WWLAM。並且，排列於相同的記憶胞列的靜態記憶胞則共同耦接至參考接地電壓，排列於不同的記憶胞列的靜態記憶胞則耦接至不同的參考接地電壓。舉例來說，靜態記憶胞 5111、5112~511M 耦接至參考接地電壓 VVSS1，靜態記憶胞 51N1、51M2~51NM 則耦接至參考接地電壓 VVSSN。

【0034】 值得一提的是，靜態記憶胞 5111~51NM 可以利用前述實施例的靜態記憶胞 200 來建構。相關動作細節在前數的實施例中均有詳係的介紹，以下不多贅述。

【0035】 請參照圖 5B，圖 5 繪示本發明實施例的靜態記憶體 520。靜態記憶體 520 包括多數條讀取字線 RWL1~RWLN、多數條位元線 BL1~BLM、BLB1~BLBM 形成的位元線對以及多數個靜態記憶胞 5211~52NM。讀取字線 RWL1~RWLN 用以分別傳送多數個讀取字線信號，上述的位元線對則分別包括多數條位元線 BL1~BLM 與

多數條反向位元線 BLB1~BLBM。靜態記憶胞 5211~52NM 以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，記憶胞行中的靜態記憶胞分別耦接至位元線對，記憶胞列中的靜態記憶胞分別耦接至讀取字線 RWL1~RWLN。以靜態記憶胞 5211~521M 的記憶胞列為範例，靜態記憶胞 5211~521M 共同耦接至讀取字線 RWL1。再以靜態記憶胞 5211~52N1 所形成的記憶胞行為範例，靜態記憶胞 5211~52N1 共同耦接至位元線 BL1、BLB1 所形成的位元線對。

【0036】此外，排列於相同的記憶胞行的靜態記憶胞亦接收相同的寫入字線信號。舉例來說，靜態記憶胞 5111 及 51N1 均接收寫入字線信號 WWLB1 及 WWLA1，靜態記憶胞 5112 及 51N2 均接收寫入字線信號 WWLB2 及 WWLA2，靜態記憶胞 511M 及 51NM 則均接收寫入字線信號 WWLBM 及 WWLAM。並且，排列於相同的記憶胞列的靜態記憶胞則共同耦接至參考接地電壓，排列於不同的記憶胞列的靜態記憶胞則耦接至不同的參考接地電壓。舉例來說，靜態記憶胞 5111、5112~511M 耦接至參考接地電壓 VVSS1，靜態記憶胞 51N1、51M2~51NM 則耦接至參考接地電壓 VVSSN。

【0037】值得一提的是，靜態記憶胞 5211~52NM 可以利用前述實施例的靜態記憶胞 300 來建構。相關動作細節在前數的實施例中均有詳係的介紹，以下不多贅述。

【0038】請參照圖 5C，圖 5C 繪示本發明實施例的靜態記憶體 530。靜態記憶體 530 包括多數條讀取字線 RWL1~RWLN、多數條位元線 WBL1~WBLM、WBLB1~WBLBM 形成的位元線對、多數

條寫入字線 WWL1~WWLN 以及多數條讀取位元線 RBL1~RBLM、多數個靜態記憶胞 5311~53NM。讀取字線 RWL1~RWLN 用以分別傳送多數個讀取字線信號。靜態記憶胞 5311~53NM 以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，記憶胞行中的靜態記憶胞分別耦接至位元線 WBL1~WBLM、WBLB1~WBLBM 以及讀取位元線 RBL1~RBLM，記憶胞列中的靜態記憶胞分別耦接至讀取字線 RWL1~RWLN 以及寫入字線 WWL1~WWLN。以靜態記憶胞 5311~531M 的記憶胞列為範例，靜態記憶胞 5211~521M 共同耦接至讀取字線 RWL1 及寫入字線 WWL1。再以靜態記憶胞 5311~53N1 所形成的記憶胞行為範例，靜態記憶胞 5311~53N1 共同耦接至位元線 WBL1、WBLB1 所形成的位元線對以及讀取位元線 RBL1。

【0039】 此外，排列於相同的的記憶胞行的靜態記憶胞亦接收相同的資料信號以及反向資料信號。舉例來說，靜態記憶胞 5311 及 53N1 均接收資料信號 D1 以及反向資料信號 DB1，靜態記憶胞 5312 及 53N2 均接收資料信號 D2 以及反向資料信號 DB2，靜態記憶胞 531M 及 53NM 均接收資料信號 DM 以及反向資料信號 DBM。

【0040】 值得一提的是，靜態記憶胞 5311~53NM 可以利用前述實施例的靜態記憶胞 400 來建構。相關動作細節在前數的實施例中均有詳係的介紹，以下不多贅述。

【0041】 綜上所述，本發明提出的靜態記憶胞透過切斷記憶胞中門鎖電路的作法，來增強資料的寫入能力與加快資料的寫入速

度，並且，本發明所提出的靜態記憶胞的實施例，其所進行的資料讀寫動作，並不需要借助於操作電源與存取輔助週邊電路，也因此，本發明提出的靜態記憶胞可以工作在較低的操作電壓下，降低所述系統的功率消耗以及增強靜態記憶體的資料寫入能力。

【符號說明】

【0042】

100、200、300、400、5111~51NM、5211~52NM、5311~53NM：

靜態記憶胞

500：靜態記憶體

M1~M11、MP1~MP2：電晶體

SW1~SW4：開關

PSW1~PSW2：下拉開關

GND：接地端

Q、QB：輸出端

WWLA、WWLB、WWL1~WWLN：寫入字線信號

BL、WBL、BL1~BLM、BLB1~BLBM、WBL1~WBLM：位元線

BLB、WBLB、WBLB1~WBLBM：反向位元線

RWL、RWL1~RWLN：讀取字線

RBL、RBL1~RBLM：讀取位元線

VVSS：參考接地電壓

VDD：參考操作電源

ST：儲存點

D、D1~DM：資料信號

DB、DB1~DBM：反向資料信號

申請專利範圍

1. 一種靜態記憶胞，包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收一第一寫入字線信號；

一第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端耦接至該第一輸出端，該第三電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第三電晶體的第二端耦接至一接地端；

一第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該參考操作電源；

一第五電晶體，具有第一端、第二端以及控制端，該第五電晶體的第一端耦接至該第四電晶體的第二端，該第五電晶體的第二端耦接至該第二輸出端，該第五電晶體的控制端接收一第二寫入字線信號；

一第六電晶體，具有第一端、第二端以及控制端，該第六電晶體的第一端耦接至該第二輸出端，該第六電晶體的控制端耦接至該第四電晶體的控制端及該第一輸出端，該第六電晶體的第二端耦接至該接地端；

一第一開關，其第一端耦接至該第一輸出端，該第一開關受

控於一讀取字線信號以導通或斷開；

一第二開關，其第一端耦接至該第二輸出端，該第二開關受控於該第二寫入字線信號以導通或斷開；

一第三開關，其第一端接至該第二開關的第二端，該第三開關的第二端耦接至一第一位元線，該第三開關受控於該讀取字線以導通或斷開；

一第一下拉開關，串接在該第一開關的第二端與一參考接地電壓間，該第一下拉開關受控於該第一寫入字線信號上的電壓以導通或斷開；以及

一第二下拉開關，串接在該第二開關的第二端與該參考接地電壓間，該第二下拉開關受控於該第二輸出端上的電壓以導通或斷開。

2. 如申請專利範圍第 1 項所述的靜態記憶胞，其中對該靜態記憶胞進行寫入動作時，該第一寫入字線信號與該第二寫入字線信號的電壓準位互補。

3. 如申請專利範圍第 1 項所述的靜態記憶胞，其中該第一輸出端與該第二輸出端上的電壓準位互補。

4. 如申請專利範圍第 1 項所述的靜態記憶胞，其中該接地端與該參考接地電壓的電壓準位相同。

5. 如申請專利範圍第 1 項所述的靜態記憶胞，其中該第一、第二、第四及第五電晶體為 P 型電晶體，該第二及第六電晶體為 N 型電晶體。

6. 如申請專利範圍第 1 項所述的靜態記憶胞，其中該第一、第二及第三開關為電晶體開關，且該第一及該第二下拉開關亦為電晶體開關。

7. 一種靜態記憶胞，包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收一第一寫入字線信號；

一第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端耦接至該第一輸出端，該第三電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第三電晶體的第二端耦接至一接地端；

一第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該參考操作電源；

一第五電晶體，具有第一端、第二端以及控制端，該第五電晶體的第一端耦接至該第四電晶體的第二端，該第五電晶體的第二端耦接至該第二輸出端，該第五電晶體的控制端接收一第二寫入字線信號；

一第六電晶體，具有第一端、第二端以及控制端，該第六電晶體的第一端耦接至該第二輸出端，該第六電晶體的控制端耦接至該第四電晶體的控制端及該第一輸出端，該第六電晶體的第二

端耦接至該接地端；

一第一開關，其第一端耦接至該第一輸出端，該第一開關受控於該第一寫入字線信號以導通或斷開；

一第二開關，其第一端耦接至該第二輸出端，該第二開關受控於該第二寫入字線信號以導通或斷開；

一第三開關，其第一端接至該第二開關的第二端，該第三開關的第二端耦接至一第一位元線，該第三開關受控於該讀取字線以導通或斷開；

一第一下拉開關，串接在該第一開關的第二端與一參考接地電壓間，該第一下拉開關受控於該第一輸出端上的電壓以導通或斷開；

一第二下拉開關，串接在該第二開關的第二端與該參考接地電壓間，該第二下拉開關受控於該第二輸出端上的電壓以導通或斷開；以及

一第四開關，其第一端耦接至該第一開關的第二端，該第四開關的第二端耦接至一第二位元線，該第四開關受控於該讀取字線信號以導通或斷開。

8. 如申請專利範圍第 7 項所述的靜態記憶胞，其中該第四開關為電晶體開關。

9. 一種靜態記憶胞，包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一 第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收一寫入字線信號；

一 第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端及第二端分別耦接至該第二電晶體的第一及第二端，該第三電晶體的控制端接收一資料信號；

一 第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該第一輸出端，該第四電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第四電晶體的第二端耦接至一接地端；

一 第五電晶體，具有第一端、第二端以及控制端，其第一端耦接至該參考操作電源；

一 第六電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第五電晶體的第二端，該第六電晶體的第二端耦接至該第二輸出端，該第六電晶體的控制端接收該寫入字線信號；

一 第七電晶體，具有第一端、第二端以及控制端，該第七電晶體的第一端及第二端分別耦接至該第六電晶體的第一及第二端，該第七電晶體的控制端接收一反向資料信號；

一 第八電晶體，具有第一端、第二端以及控制端，該第八電晶體的第一端耦接至該第二輸出端，該第八電晶體的控制端耦接至該第五電晶體的控制端及該第一輸出端，該第八電晶體的第二端耦接至該接地端；

一第一開關，其第一端耦接至一反向位元線，該第一開關的第二端耦接至該第一輸出端，該第一開關受控於該寫入字線信號以導通或斷開；

一第二開關，其第一端耦接至一位元線，該第二開關的第二端耦接至該第二輸出端，該第二開關受控於該寫入字線信號以導通或斷開；

一第四開關，其第一端耦接至該接地端，該第四開關受控於該第二輸出端上的電壓以導通或斷開；以及

一第三開關，其第一端耦接至該第四開關的第二端，該第三開關的第二端耦接一讀取位元線，該第三開關受控於一讀取字線信號以導通或斷開。

10. 如申請專利範圍第 9 項所述的靜態記憶胞，其中該第三電晶體的控制端耦接至資料信號。

11. 如申請專利範圍第 9 項所述的靜態記憶胞，其中該第七電晶體的控制端耦接至該反向資料信號。

12. 如申請專利範圍第 9 項所述的靜態記憶胞，其中該第一、第二、第三、第五、第六及第七電晶體為 P 型電晶體，該第四及第八電晶體為 N 型電晶體。

13. 如申請專利範圍第 9 項所述的靜態記憶胞，其中該第一、第二、第三及第四開關為電晶體開關。

14. 一種靜態記憶體，包括：

多數條讀取字線，用以分別傳送多數個讀取字線信號；

多數條位元線；以及

多數個靜態記憶胞，該些靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，該些記憶胞行中的靜態記憶胞分別耦接至該些位元線，該些記憶胞列中的靜態記憶胞分別耦接至該些讀取字線，各該靜態記憶胞包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收一第一寫入字線信號；

一第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端耦接至該第一輸出端，該第三電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第三電晶體的第二端耦接至一接地端；

一第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該參考操作電源；

一第五電晶體，具有第一端、第二端以及控制端，該第五電晶體的第一端耦接至該第四電晶體的第二端，該第五電晶體的第二端耦接至該第二輸出端，該第五電晶體的控制端接收一第二寫入字線信號；

一第六電晶體，具有第一端、第二端以及控制端，該第

六電晶體的第一端耦接至該第二輸出端，該第六電晶體的控制端耦接至該第四電晶體的控制端及該第一輸出端，該第六電晶體的第二端耦接至該接地端；

一第一開關，其第一端耦接至該第一輸出端，該第一開關受控於對應的讀取字線信號以導通或斷開；

一第二開關，其第一端耦接至該第二輸出端，該第二開關受控於該第二寫入字線信號以導通或斷開；

一第三開關，其第一端接至該第二開關的第二端，該第三開關的第二端耦接至對應的位元線，該第三開關受控於對應的讀取字線信號以導通或斷開；

一第一下拉開關，串接在該第一開關的第二端與一參考接地電壓間，該第一下拉開關受控於該第一寫入字線信號以導通或斷開；以及

一第二下拉開關，串接在該第二開關的第二端與該參考接地電壓間，該第二下拉開關受控於該第二輸出端上的電壓以導通或斷開。

15. 一種靜態記憶體，包括：

多數條讀取字線，用以分別傳送多數個讀取字線信號；

多數條位元線對，分別包括多數條位元線與多數條反向位元線；以及

多數個靜態記憶胞，該些靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，該些記憶胞行中的靜態記

憶胞分別耦接至該些位元線對，該些記憶胞列中的靜態記憶胞分別耦接至該些讀取字線，各該靜態記憶胞包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收一第一寫入字線信號；

一第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端耦接至該第一輸出端，該第三電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第三電晶體的第二端耦接至一接地端；

一第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該參考操作電源；

一第五電晶體，具有第一端、第二端以及控制端，該第五電晶體的第一端耦接至該第四電晶體的第二端，該第五電晶體的第二端耦接至該第二輸出端，該第五電晶體的控制端接收一第二寫入字線信號；

一第六電晶體，具有第一端、第二端以及控制端，該第六電晶體的第一端耦接至該第二輸出端，該第六電晶體的控制端耦接至該第四電晶體的控制端及該第一輸出端，該第六電晶體的第二端耦接至該接地端；

一第一開關，其第一端耦接至該第一輸出端，該第一開關受控於該第一寫入字線信號以導通或斷開；

一第二開關，其第一端耦接至該第二輸出端，該第二開關受控於該第二寫入字線信號以導通或斷開；

一第三開關，其第一端接至該第二開關的第二端，該第三開關的第二端耦接至該些位元線中的一第一位元線，該第三開關受控於該讀取字線以導通或斷開；

一第一下拉開關，串接在該第一開關的第二端與一參考接地電壓間，該第一下拉開關受控於該第一輸出端上的電壓以導通或斷開；

一第二下拉開關，串接在該第二開關的第二端與該參考接地電壓間，該第二下拉開關受控於該第二輸出端上的電壓以導通或斷開；以及

一第四開關，其第一端耦接至該第一開關的第二端，該第四開關的第二端耦接至該些反向位元線中的一第二位元線，該第四開關受控於該讀取字線信號以導通或斷開。

16. 一種靜態記憶體，包括：

多數條讀取字線，用以分別傳送多數個讀取字線信號；

多數條寫入字線，用以分別傳送多數個寫入字線信號；

多數條位元線對，分別包括多數條位元線與多數條反向位元線；

多數條讀取位元線；以及

多數個靜態記憶胞，該些靜態記憶胞以陣列方式排列以形成多數個記憶胞行以及多數個記憶胞列，該些記憶胞行中的靜態記憶胞分別耦接至該些位元線對，該些記憶胞列中的靜態記憶胞分別耦接至該些讀取字線，各該靜態記憶胞包括：

一第一電晶體，具有第一端、第二端以及控制端，其第一端耦接至一參考操作電源；

一第二電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至一第一輸出端，該第二電晶體的控制端接收對應的寫入字線信號；

一第三電晶體，具有第一端、第二端以及控制端，該第三電晶體的第一端及第二端分別耦接至該第二電晶體的第一及第二端，該第三電晶體的控制端接收一資料信號；

一第四電晶體，具有第一端、第二端以及控制端，該第四電晶體的第一端耦接至該第一輸出端，該第四電晶體的控制端耦接至該第一電晶體的控制端及一第二輸出端，該第四電晶體的第二端耦接至一接地端；

一第五電晶體，具有第一端、第二端以及控制端，其第一端耦接至該參考操作電源；

一第六電晶體，具有第一端、第二端以及控制端，其第一端耦接至該第五電晶體的第二端，該第六電晶體的第二端耦接至該第二輸出端，該第六電晶體的控制端接收該寫入字線信號；

一第七電晶體，具有第一端、第二端以及控制端，該第七電晶體的第一端及第二端分別耦接至該第六電晶體的第一及第二端，該第七電晶體的控制端接收一反向資料信號；

一第八電晶體，具有第一端、第二端以及控制端，該第八電晶體的第一端耦接至該第二輸出端，該第八電晶體的控制端耦接至該第五電晶體的控制端及該第一輸出端，該第八電晶體的第二端耦接至該接地端；

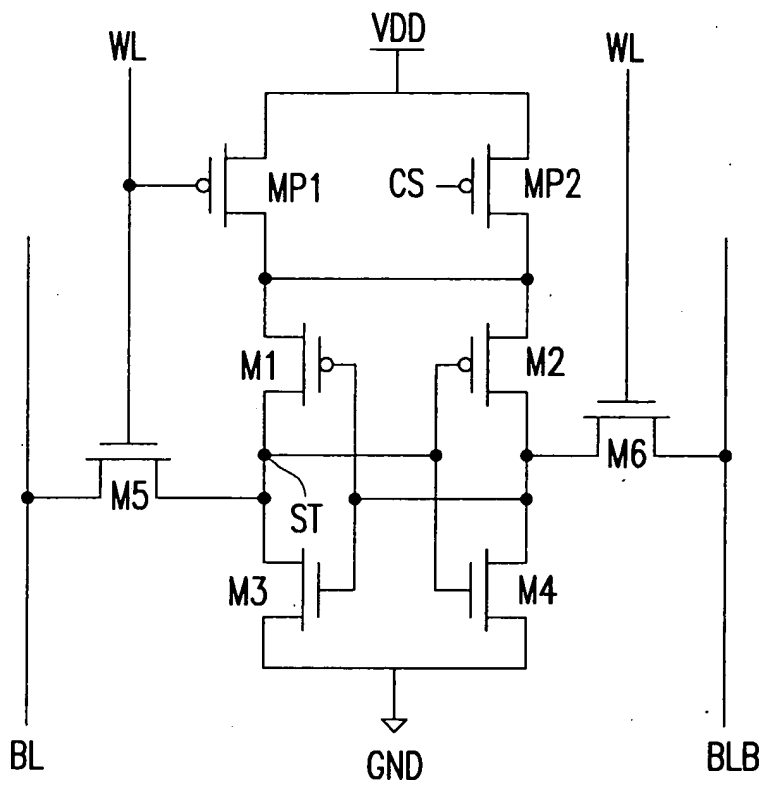
一第一開關，其第一端耦接至對應的反向位元線，該第一開關的第二端耦接至該第一輸出端，該第一開關受控於對應的寫入字線信號以導通或斷開；

一第二開關，其第一端耦接至對應的位元線，該第二開關的第二端耦接至該第二輸出端，該第二開關受控於對應的寫入字線信號以導通或斷開；

一第四開關，其第一端耦接至該接地端，該第四開關受控於該第二輸出端上的電壓以導通或斷開；以及

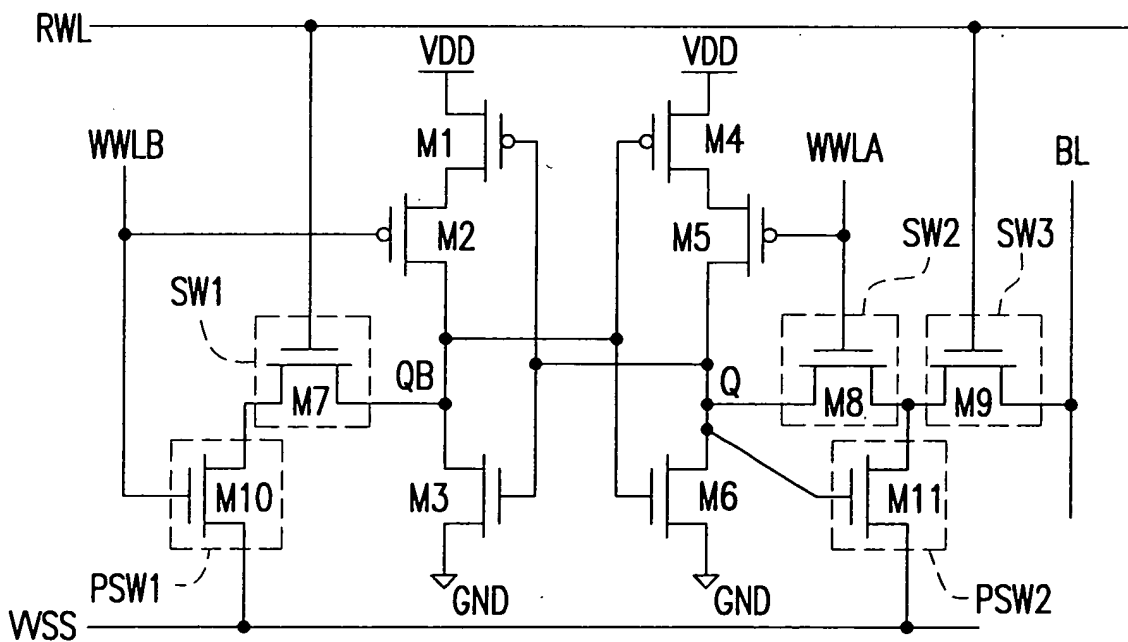
一第三開關，其第一端耦接至該第四開關的第二端，該第三開關的第二端耦接對應的讀取位元線，該第三開關受控於對應的讀取字線信號以導通或斷開。

圖式



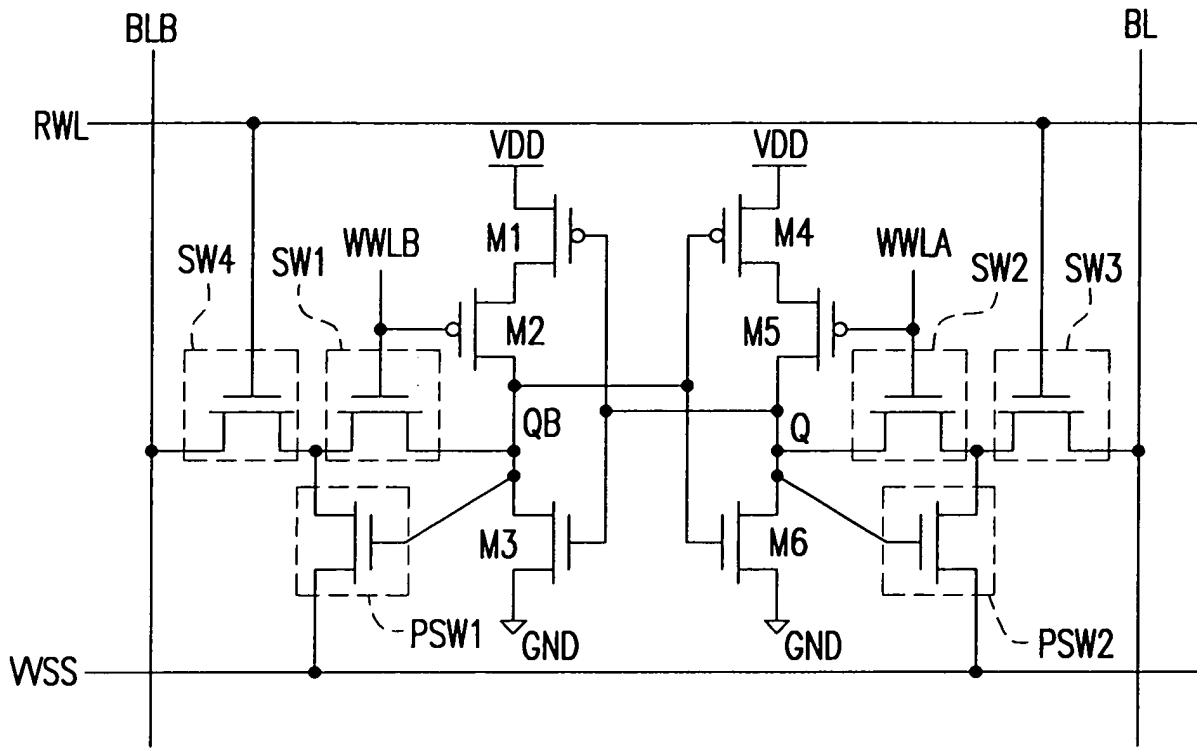
100

圖 1



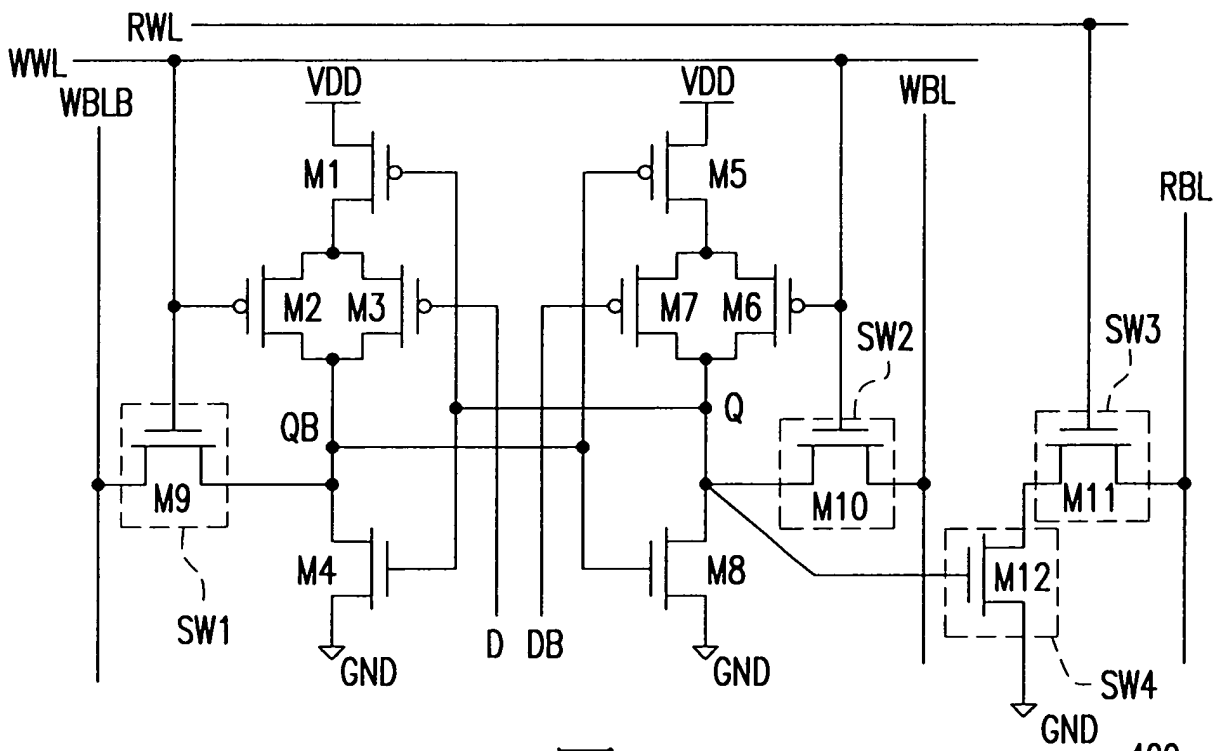
200

圖 2



300

圖 3



400

圖 4

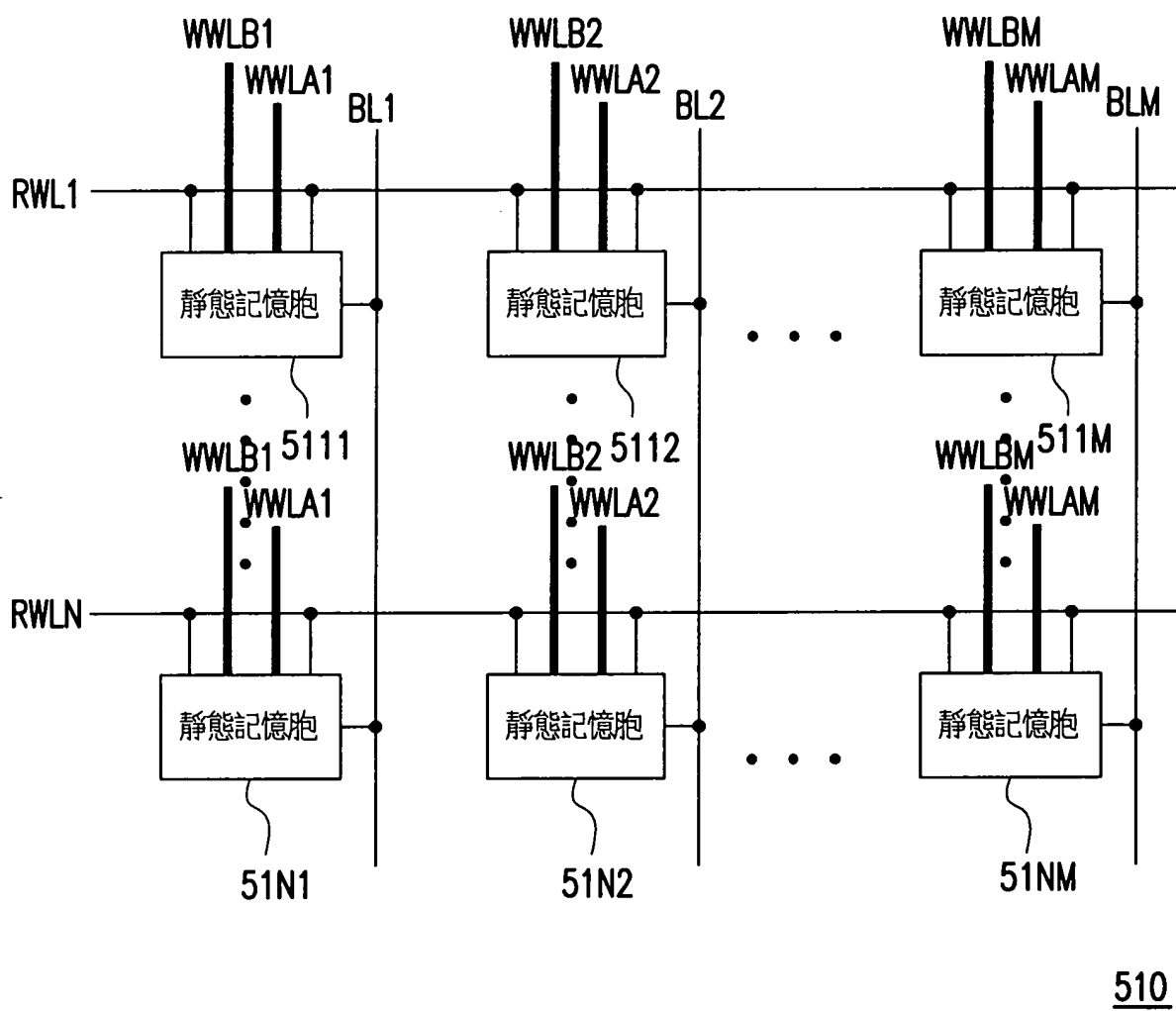
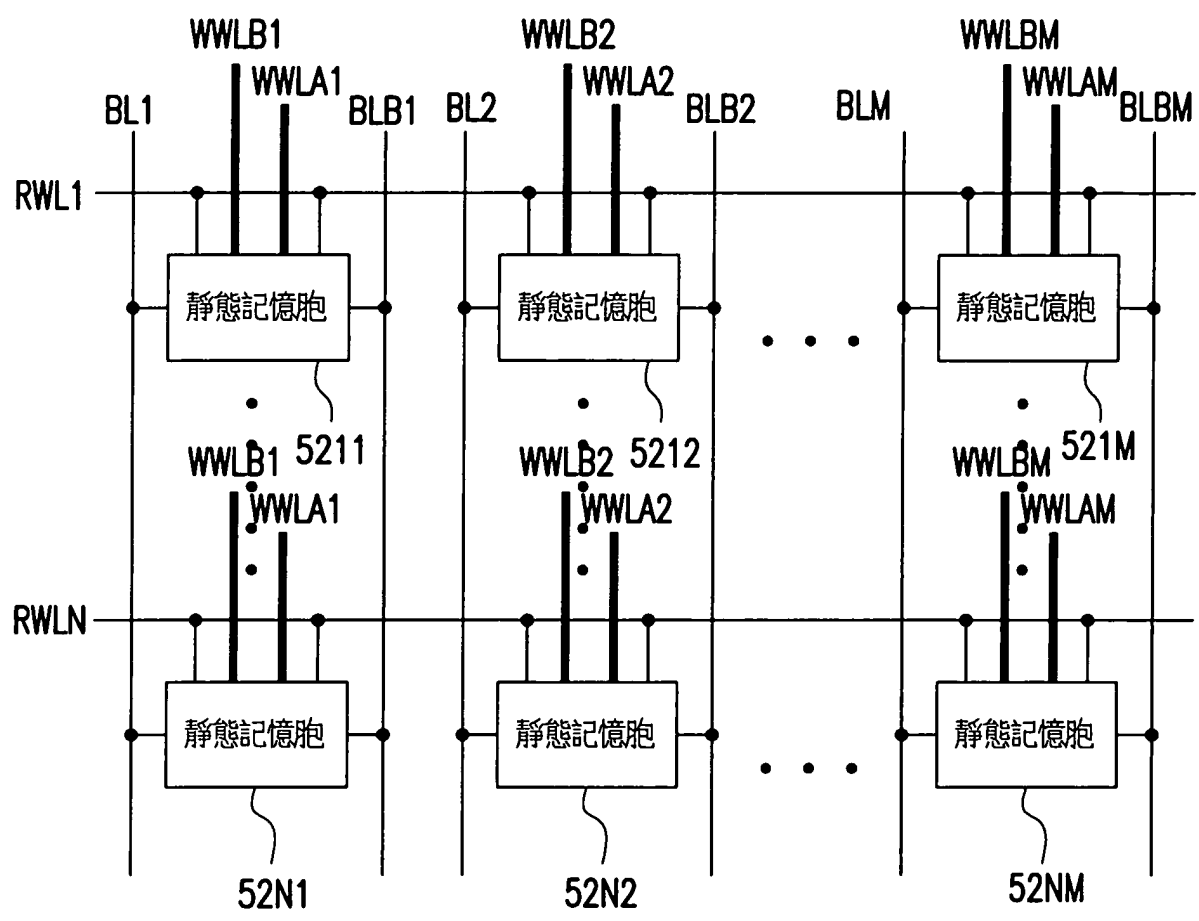


圖 5A



520

圖 5B

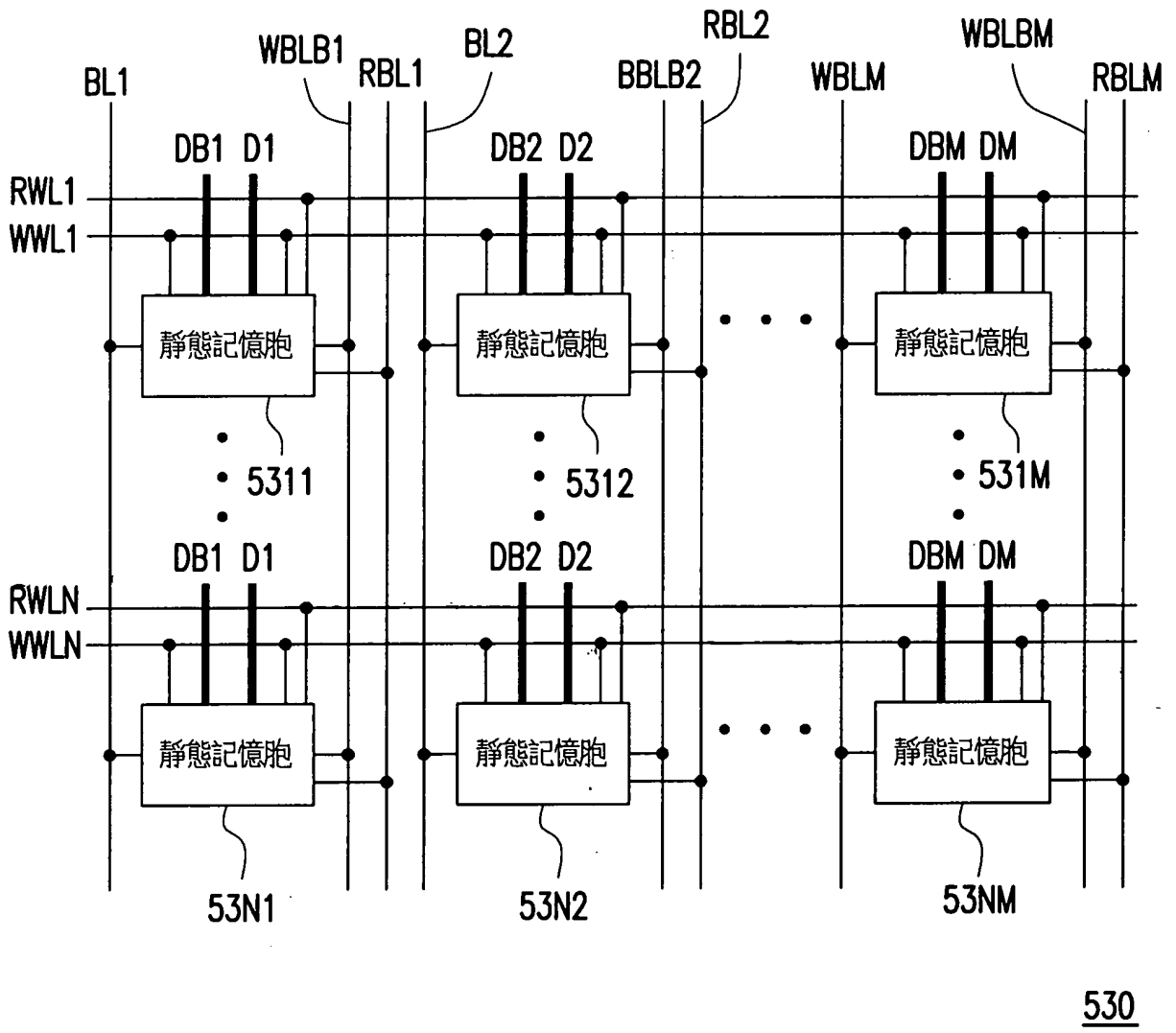


圖5C