



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I511252 B

(45) 公告日：中華民國 104 (2015) 年 12 月 01 日

(21) 申請案號：102133052

(22) 申請日：中華民國 102 (2013) 年 09 月 12 日

(51) Int. Cl. : **H01L23/48 (2006.01)****H01L23/52 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

(72) 發明人：李俊興 LI, CHUN HSING (TW)；郭建男 KUO, CHIEN NAN (TW)；柯鈞琳 KO, CHUN LIN (TW)

(74) 代理人：蔡清福

(56) 參考文獻：

TW 200635016A

TW 200735314A

US 7030490B2

US 7227430B2

US 7242266B2

審查人員：皮欣霖

申請專利範圍項數：8 項 圖式數：6 共 32 頁

(54) 名稱

一種連接結構及其使用方法

METHOD AND STRUCTURE FOR INTERCONNECT

(57) 摘要

一種連接結構，可應用於一第一電子裝置和一第二電子裝置間的訊號傳遞，其包含傳輸線、第一訊號輸入/輸出端、第二訊號輸入/輸出端、第一焊墊、第二焊墊、訊號焊線、接地焊墊及接地焊線。晶片或載具上的焊墊透過焊線連接在一起，藉由適當設計傳輸線的數目、長度、及特徵阻抗，此結構可呈現寬頻的阻抗匹配及低的插入損失。

An interconnect structure, which can be applied to chip-to-chip or chip-to-carrier communication, composed of transmission lines, the first signal bond-pad, the second signal bond-pad, ground bond-pads and bondwires. The bond-pads on the chip or the carrier are connected to each other by bondwires. By properly designing number of transmission lines, length and characteristics impedance of transmission lines, the structure can provide a broadband signal transfer with good return loss and low insertion loss.

# 發明摘要



※ 申請案號：102133052

※ 申請日：102. 9. 12

※IPC 分類：

H01L23/08 (2006.01)  
H01L23/52 (2006.01)

## 【發明名稱】(中文/英文)

一種連接結構及其使用方法/METHOD AND STRUCTURE FOR INTERCONNECT

### 【中文】

一種連接結構，可應用於一第一電子裝置和一第二電子裝置間的訊號傳遞，其包含傳輸線、第一訊號輸入/輸出端、第二訊號輸入/輸出端、第一焊墊、第二焊墊、訊號焊線、接地焊墊及接地焊線。晶片或載具上的焊墊透過焊線連接在一起，藉由適當設計傳輸線的數目、長度、及特徵阻抗，此結構可呈現寬頻的阻抗匹配及低的插入損失。

### 【英文】

An interconnect structure, which can be applied to chip-to-chip or chip-to-carrier communication, composed of transmission lines, the first signal bond-pad, the second signal bond-pad, ground bond-pads and bondwires. The bond-pads on the chip or the carrier are connected to each other by bondwires. By properly designing number of transmission lines, length and characteristics impedance of transmission lines, the structure can provide a broadband signal transfer with good return loss and low insertion loss.

### 【代表圖】

【本案指定代表圖】：第 ( 1 ) 圖。

【本代表圖之符號簡單說明】：

# 發明摘要



※ 申請案號：102133052

※ 申請日：102. 9. 12

※IPC 分類：

H01L23/08 (2006.01)  
H01L23/52 (2006.01)

## 【發明名稱】(中文/英文)

一種連接結構及其使用方法/METHOD AND STRUCTURE FOR INTERCONNECT

### 【中文】

一種連接結構，可應用於一第一電子裝置和一第二電子裝置間的訊號傳遞，其包含傳輸線、第一訊號輸入/輸出端、第二訊號輸入/輸出端、第一焊墊、第二焊墊、訊號焊線、接地焊墊及接地焊線。晶片或載具上的焊墊透過焊線連接在一起，藉由適當設計傳輸線的數目、長度、及特徵阻抗，此結構可呈現寬頻的阻抗匹配及低的插入損失。

### 【英文】

An interconnect structure, which can be applied to chip-to-chip or chip-to-carrier communication, composed of transmission lines, the first signal bond-pad, the second signal bond-pad, ground bond-pads and bondwires. The bond-pads on the chip or the carrier are connected to each other by bondwires. By properly designing number of transmission lines, length and characteristics impedance of transmission lines, the structure can provide a broadband signal transfer with good return loss and low insertion loss.

### 【代表圖】

【本案指定代表圖】：第 ( 1 ) 圖。

【本代表圖之符號簡單說明】：

- 1A 連接結構
- 11 第一電子裝置
- 12 第二電子裝置
- 13 訊號傳導結構
- 14 第一訊號輸入/輸出端
- 15 第二訊號輸入/輸出端
- 16 傳輸線
- 171 第一焊墊
- 172 第二焊墊
- 18 焊線
- 19 接地裝置
- 191 第一接地焊墊
- 192 第二接地焊墊
- X 對稱線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

一種連接結構及其使用方法/METHOD AND STRUCTURE FOR INTERCONNECT

## 【技術領域】

【0001】 本發明涉及積體電路封裝領域，具體涉及晶片對晶片及晶片對載具間的寬頻連接結構。

## 【先前技術】

【0002】 一般普遍用來作為晶片對晶片及晶片對載具間的連接結構如帶式(ribbon)連接結構及覆晶片(flip-chip)封裝相對於利用焊線連接具有較高的成本。但因為焊線本身的高電感性，造成可操作的頻寬相當的窄，通常很難超過 30GHz，所以較高頻段的應用，例如 60GHz WiGig，晶片間無法利用焊線當作連接結構。常用來解決焊線高電感性問題的方法有：(1)使用的焊線長度愈短愈好，但焊線長度受限於晶片和晶片或晶片和載具間間隔或高度，因此頻寬仍然受限；(2)在同一個焊墊上打上多條焊線，以降低焊線的電感效應，但焊線彼此之間的互感值會增加，導致等效電感值無法繼續縮小，因此實際成效仍然有限。

【0003】 其他常被利用來作為晶片對晶片及晶片對載具間的連接結構，例如利用焊線及晶片或載具上的電容板實現一個多級低通濾波器架構，但耗費相當大的面積，而且沒有考量及設計晶片和晶片或晶片和載具間接地端(ground)的連接結構，實際應用並不可行。還有利用載具上的電容板，配合焊線，產生 L-C-L(電感-電容-電感)等效電路，但可操作頻寬相當窄頻，且耗費面積，實用

性不大。

【0004】 美國專利 US 7242266 乃利用錐形(tapered)及階梯狀(steped)的傳輸線結構，配合焊線，以降低焊線的電感效應，但所用結構耗費大的面積，成本高，而且沒有設計晶片和晶片或晶片和載具間接地端的連接結構，實際應用並不可行。

【0005】 美國專利 US 7227430 乃利用傳輸線及斷路傳輸線(open stub)，以降低焊線的電感效應，但耗費相當多數量的傳輸線，耗費面積大，成本高，而且沒有設計晶片和晶片或晶片和載具間接地端的連接結構，實際應用並不可行。

【0006】 習知技術所提出的方法，如之前所述，通常頻寬窄且耗費大的面積或需要額外的製程步驟，因此成本高，而且並未考量及設計晶片和晶片或晶片和載具之間接地端的連接結構，因此，本案發明人有感上述缺失之可改善，乃特潛心研究並配合學理之運用，終於提出一種設計合理且有效改善上述缺失之本發明。

#### 【發明內容】

【0007】 本發明之特徵在於提供一連接結構用於電連接一第一電子裝置和一第二電子裝置。該第一電子裝置具二第一焊墊。第二電子裝置具二第二焊墊。該連接結構包括一訊號傳導結構及一接地裝置。該連接結構是設置於兩電子裝置之間，用以電連接該兩電子裝置；以及使該兩電子裝置具同一接地電位。該訊號傳導結構包含一第一訊號輸入/輸出端、一第二訊號輸入/輸出端、至少二訊號焊線、二傳輸線。該接地裝置包含一第一接地焊墊、一第二接地焊墊及至少一接地焊線。

【0008】 本發明還提供一種電子裝置，適於電連接於一電子元件，其中該電子裝置具二第一焊墊、該電子元件具二第二焊墊

以及該二第一焊墊係分別用以電連接於該二第二焊墊，該電子裝置包含：一訊號傳導結構，用於電連接該二第一焊墊及該二第二焊墊。

【0009】 本發明提供了一種連接結構，用於電連接一第一電子裝置和一第二電子裝置，其中該第一電子裝置具二第一焊墊、該第二電子裝置具二第二焊墊以及該二第一焊墊分別電連接於該二第二焊墊，該連接結構包含：一接地裝置，設置在該第一電子裝置及該第二電子裝置之間，以使該兩電子裝置具同一接地電位。

【0010】 根據上述之另一構想，本發明提出一種電連接一第一電子裝置和一第二電子裝置之方法，包含下列步驟：(a) 使該兩接地電位等同；(b) 在該第一電子裝置中提供  $N$  條傳輸線和  $(N+1)$  個第一焊墊，其中該  $N$  條傳輸線設置在該  $(N+1)$  個第一焊墊之間，且  $N$  為一自然數；(c) 在該第二電子裝置中提供  $M$  條傳輸線和  $(M+1)$  個第二焊墊，其中該  $M$  條傳輸線設置在該  $(M+1)$  個第二焊墊之間，且  $M$  等於  $N$ ；(d) 分別電連接該  $(N+1)$  個第一焊墊和該  $(M+1)$  個第二焊墊；(e) 設置一第一訊號輸入/輸出端；以及(f) 設置一第二訊號輸入/輸出端。

【0011】 如前述本發明之連接結構與電連接一第一電子裝置和一第二電子裝置的方法，得藉由下列實施例及圖示說明，俾得本領域具一般知識者更深入之了解其實施方式與優點。

#### 【圖式簡單說明】

【0012】 第一圖(a)~(c)為本發明所提連接結構的第一實施例示意圖。

【0013】 第二圖(a)~(c)為本發明所提連接結構的第二實施例的示意圖。

【0014】 第三圖(a)~(c)為本發明所提連接結構的第三實施例

的示意圖。

【0015】 第四圖(a)~(c)為本發明所提連接結構的第四實施例的示意圖。

【0016】 第五圖(a)~(c)為本發明所提連接結構的第五實施例的示意圖。

【0017】 第六圖(a)~(c)為本發明所提連接結構的第六實施例的示意圖。

#### 【實施方式】

【0018】 在本發明中提供了大量特定細節(例如電路、元件以及方法的示例)以提供對本發明的實施方式的透徹理解。然而，本領域普通技術人員將會認識到，可以在沒有一個或者多個特定細節的情況下實踐本發明。在其他情況中，爲了避免模糊本發明的焦點，並未示出或者描述公知細節。

【0019】 在下文所述的特定實施例代表本發明的示例性實施例，並且本質上僅爲示例說明而非限制。在說明書中，提及”一個實施例”或者”實施例”意味著結合該實施例所描述的特定特徵、結構或者特性包括在本發明的至少一個實施例中。術語”在一個實施例中”在說明書中各個位置出現並不全部涉及相同的實施例，也不是相互排除其他實施例或者可變實施例。本說明書中公開的所有特徵，或公開的所有方法或過程中的步驟，除了互相排斥的特徵和/或步驟以外，均可以以任何方式組合。

【0020】 本發明將藉由下述之較佳實施例及其配合之圖式，做進一步之詳細說明。

【0021】 第一圖(a)、第一圖(b)及第一圖(c)係顯示本案連接結構 1A 之第一實施例，其中該連接結構 1A 包含一訊號傳導結構 13 及一接地裝置 19。該訊號傳導結構 13 包含二傳輸線 16、一第一訊



號輸入/輸出端 14、一第二訊號輸入/輸出端 15 及二用於傳遞訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第一圖(a)的示例中，其中一第一電子裝置 11 為一晶片，即圖中用斜線陰影表示的矩形，其包含二第一焊墊 171，一第二電子裝置 12 為一載具，其包含二第二焊墊 172。請參閱第一圖(a)，一訊號傳導結構 13 跨過一第一電子裝置 11 與一第二電子裝置 12 間の間隔電連接該第一電子裝置 11 與該第二電子裝置 12。在本實施方式中，分別在該第一電子裝置 11 和該第二電子裝置 12 上設置該傳輸線 16，該傳輸線 16 數目分別相對於對稱線 X 對稱地設置為一對(如第一圖(a))，該傳輸線 16 分別電連接於該第一電子裝置 11 之二第一焊墊 171 及該第二電子裝置 12 之二第二焊墊 172，一第一訊號輸入/輸出端 14 電連接於該第一電子裝置 11 之該傳輸線 16 之中心節點上，一第二訊號輸入/輸出端 15 電連接於該第二電子裝置 12 之該傳輸線 16 之中心節點上，該第一訊號輸入/輸出端 14 及該第二訊號輸入/輸出端 15 從該連接結構 1A 的中心位置之中心節點處饋入/出訊號。該第一電子裝置 11 上的該第一焊墊 171 和該第二電子裝置 12 上的該第二焊墊 172，透過至少一焊線 18 連接。請再參閱第一圖(b)，在第一圖(b)的示例中，該傳輸線 16 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 14 及該第二訊號輸入/輸出端 15 設置於結構中心之該第一焊墊 171 及該第二焊墊 172 上。請參閱第一圖(c)，在第一圖(c)的示例中，該傳輸線 16 可延伸設置至 N 對，即設置在 (N+1) 個該第一焊墊 171 及 (N+1) 個該第二焊墊 172 之間，此時該第一訊號輸入/輸出端 14 及該第二訊號輸入/輸出端 15 設置於結構中心之該第一焊墊 171 及該第二焊墊 172 上。本發明利用設置傳輸線 16 來降低電感效應，一般只用焊線 18

的話，高頻時會有高阻抗，造成訊號無法傳遞，而加傳輸線 16 可減低此效應。在本實施例中，該第一電子裝置 11 和該第二電子裝置 12 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 11 和該第二電子裝置 12 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 11 和該第二電子裝置 12 的接地電位一致。本發明所提之連接結構可大幅降低焊線 18 的電感性，因此可獲得較寬頻的連接結構，除此之外，此結構可依據焊線 18 的長度(由該第一電子裝置 11 和該第二電子裝置 12 間の間隔決定)，決定使用的傳輸線 16 數目，傳輸線 16 數目愈多，可容忍的焊線 18 長度愈長。

【0022】 第二圖(a)、第二圖(b)及第二圖(c)係顯示本案連接結構 2A 之第二實施例，其中該連接結構 2A 包含一訊號傳導結構 23 及一接地裝置 19。該訊號傳導結構 23 包含二傳輸線 26、一第一訊號輸入/輸出端 24、一第二訊號輸入/輸出端 25 及至少二用於傳遞訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第二圖(a)的示例中，此寬頻連接結構 2A 亦可應用於晶片對晶片間的訊號傳遞，其中一第一電子裝置 21 及一第二電子裝置 22 均為一晶片，即圖中用斜線陰影表示的矩形，其分別包含二第一焊墊 271 及二第二焊墊 272。請參閱第二圖(a)，此為一對傳輸線 26 的例子，一訊號傳導結構 23 跨過一第一電子裝置 21 與一第二電子裝置 22 間の間隔電連接該第一電子裝置 21 與該第二電子裝置 22。在本實施方式中，分別在該第一電子裝置 21 和該第二電子裝置 22 上設置該傳輸線 26，該傳輸線 26 數目分別相對於對稱線 X 對稱地設置為一對(如第二圖(a))，該傳輸線 26 分別電連接於該第一電子裝置 21 之二第

一焊墊 271 及該第二電子裝置 22 之二第二焊墊 272，該第一訊號輸入/輸出端 24 及該第二訊號輸入/輸出端 25 從結構的中心位置之中心節點處饋入/出訊號。請再參閱第二圖(b)，在第二圖(b)的示例中，該傳輸線 26 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 24 及該第二訊號輸入/輸出端 25 設置於結構中心之一第一焊墊 271 及一第二焊墊 272 上。請參閱第二圖(c)，其為 N 對傳輸線 26 的例子，即設置在 (N+1) 個一第一焊墊 271 及 (N+1) 個一第二焊墊 272 之間，此時該第一訊號輸入/輸出端 24 及該第二訊號輸入/輸出端 25 設置於結構中心之該第一焊墊 271 及該第二焊墊 272 上。在本實施例中，第一電子裝置 21 和第二電子裝置 22 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 21 和該第二電子裝置 22 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 21 和該第二電子裝置 22 的接地電位一致。

【0023】 第三圖(a)、第三圖(b)及第三圖(c)係顯示本案連接結構 3A 之第三實施例，其中該連接結構 3A 包含一訊號傳導結構 33 及一接地裝置 19。該訊號傳導結構 33 包含二傳輸線 36、一第一訊號輸入/輸出端 34、一第二訊號輸入/輸出端 35 及至少二用於傳遞訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第三圖(a)的示例中，其中一第一電子裝置 31 為一晶片，即圖中用斜線陰影表示的矩形，其包含二第一焊墊 371，一第二電子裝置 32 為一載具，其包含二第二焊墊 372。請參閱第三圖(a)，一訊號傳導結構 33 跨過一第一電子裝置 31 與一第二電子裝置 32 間の間隔電連接該第一電子裝置 31 與該第二電子裝置 32。在本實施方式中，分別在該第一

電子裝置 31 和該第二電子裝置 32 上設置該傳輸線 36，該傳輸線 36 數目分別相對於對稱線 X 對稱地設置為一對(如第三圖(a))，該傳輸線 36 分別電連接於該第一電子裝置 31 之一第一焊墊 371 及該第二電子裝置 32 之一第二焊墊 372，一第一訊號輸入/輸出端 34 及一第二訊號輸入/輸出端 35，從該連接結構 3A 最上端之一第一焊墊 371 和一第二焊墊 372 饋入該連接結構 3A。請再參閱第三圖(b)，在第三圖(b)的示例中，該傳輸線 36 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 34 及該第二訊號輸入/輸出端 35 的設置同第三圖(a)所示。請參閱第三圖(c)，其為 N 對傳輸線 36 的例子，即設置在 (N+1) 個該第一焊墊 371 及 (N+1) 個該第二焊墊 372 之間，此時該第一訊號輸入/輸出端 34 及該第二訊號輸入/輸出端 35 的設置同第三圖(a)所示。在本實施例中，該第一電子裝置 31 和該第二電子裝置 32 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 31 和該第二電子裝置 32 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 31 和該第二電子裝置 32 的接地電位一致。

【0024】 第四圖(a)、第四圖(b)及第四圖(c)係顯示本案連接結構 4A 之第四實施例，其中該連接結構 4A 包含一訊號傳導結構 43 及一接地裝置 19。該訊號傳導結構 43 包含二傳輸線 46、一第一訊號輸入/輸出端 44、一第二訊號輸入/輸出端 45 及至少二用於傳遞訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第四圖(a)的示例中，其中一第一電子裝置 41 及一第二電子裝置 42 均為一晶片，即圖中用斜線陰影表示的矩形，其分別包含二第一焊墊 471 及二第二焊墊 472。請參閱第四圖(a)，一訊號傳導結構 43 跨過一第一電子

裝置 41 與一第二電子裝置 42 間的時間電連接該第一電子裝置 41 與該第二電子裝置 42。在本實施方式中，分別在該第一電子裝置 41 和該第二電子裝置 42 上設置該傳輸線 46，該傳輸線 46 數目分別相對於對稱線 X 對稱地設置為一對(如第四圖(a))，該傳輸線 46 分別電連接於該第一電子裝置 41 之二第一焊墊 471 及該第二電子裝置 42 之二第二焊墊 472，一第一訊號輸入/輸出端 44 及一第二訊號輸入/輸出端 45 從連接結構 4A 最上端的一第一焊墊 471 和一第二焊墊 472 饋入該連接結構 4A。請再參閱第四圖(b)，在第四圖(b)的示例中，該傳輸線 46 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 44 及該第二訊號輸入/輸出端 45 的設置同第四圖(a)所示。請參閱第四圖(c)，其為 N 對傳輸線 46 的例子，即設置在 (N+1) 個該第一焊墊 471 及 (N+1) 個該第二焊墊 472 之間，此時該第一訊號輸入/輸出端 44 及該第二訊號輸入/輸出端 45 的設置同第四圖(a)所示。在本實施例中，該第一電子裝置 41 和該第二電子裝置 42 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 41 和該第二電子裝置 42 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 41 和該第二電子裝置 42 的接地電位一致。

【0025】 第五圖(a)、第五圖(b)及第五圖(c)係顯示本案連接結構 5A 之第五實施例，其中該連接結構 5A 包含一訊號傳導結構 53 及一接地裝置 19。該訊號傳導結構 53 包含二傳輸線 56、一第一訊號輸入/輸出端 54、一第二訊號輸入/輸出端 55 及至少二用於傳遞訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第五圖(a)的示例中，其中一第一電子裝置 51 為一晶片，即圖中用斜線陰影表示的矩

形，其包含二第一焊墊 571，一第二電子裝置 52 為一載具，其包含二第二焊墊 572。請參閱第五圖(a)，一訊號傳導結構 53 跨過一第一電子裝置 51 與一第二電子裝置 52 間の間隔電連接該第一電子裝置 51 與該第二電子裝置 52，在本實施方式中，分別在該第一電子裝置 51 和該第二電子裝置 52 上設置該傳輸線 56，該傳輸線 56 數目分別相對於對稱線 X 對稱地設置為一對(如第五圖(a))，該傳輸線 56 分別電連接於該第一電子裝置 51 之二第一焊墊 571 及該第二電子裝置 52 之二第二焊墊 572，一第一訊號輸入/輸出端 54 及一第二訊號輸入/輸出端 55 從該連接結構 5A 最下端的一第一焊墊 571 和一第二焊墊 572 饋入該連接結構 5A。請再參閱第五圖(b)，在第五圖(b)的示例中，該傳輸線 56 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 54 及該第二訊號輸入/輸出端 55 的設置同第五圖(a)所示。請參閱第五圖(c)，其為 N 對傳輸線 56 的例子，即設置在 (N+1) 個該第一焊墊 571 及 (N+1) 個該第二焊墊 572 之間構，此時該第一訊號輸入/輸出端 54 及該第二訊號輸入/輸出端 55 的設置同第五圖(a)所示。在本實施例中，該第一電子裝置 51 和該第二電子裝置 52 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 51 和該第二電子裝置 52 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 51 和該第二電子裝置 52 的接地電位一致。

【0026】 第六圖(a)、第六圖(b)及第六圖(c)係顯示本案連接結構 6A 之第六實施例，其中該連接結構 6A 包含一訊號傳導結構 63 及一接地裝置 19。該訊號傳導結構 63 包含二傳輸線 66、一第一訊號輸入/輸出端 64、一第二訊號輸入/輸出端 65 及至少二用於傳遞

訊號之焊線 18；該接地裝置 19 包含一第一接地焊墊 191、一第二接地焊墊 192 及至少一用於接地之焊線 18。在第六圖(a)的示例中，其中一第一電子裝置 61 及一第二電子裝置 62 均為一晶片，即圖中用斜線陰影表示的矩形，其分別包含二第一焊墊 671 及二第二焊墊 672。請參閱第六圖(a)，一訊號傳導結構 63 跨過一第一電子裝置 61 與一第二電子裝置 62 間の間隔電連接該第一電子裝置 61 與該第二電子裝置 62。在本實施方式中，分別在該第一電子裝置 61 和該第二電子裝置 62 上設置該傳輸線 66，該傳輸線 66 數目分別相對於對稱線 X 對稱地設置為一對(如第六圖(a))，該傳輸線 66 分別電連接於該第一電子裝置 61 之二第一焊墊 671 及該第二電子裝置 62 之二第二焊墊 672，一第一訊號輸入/輸出端 64 及一第二訊號輸入/輸出端 65 從該連接結構 6A 最下端的一第一焊墊 671 和一第二焊墊 672 饋入該連接結構 6A。請再參閱第六圖(b)，在第六圖(b)的示例中，該傳輸線 66 數目分別相對於對稱線 X 對稱地設置為二對，此時該第一訊號輸入/輸出端 64 及該第二訊號輸入/輸出端 65 的設置同第六圖(a)所示。請參閱第六圖(c)，其為 N 對傳輸線 66 的例子，即設置在 (N+1) 個該第一焊墊 671 及 (N+1) 個該第二焊墊 672 之間構，此時該第一訊號輸入/輸出端 64 及該第二訊號輸入/輸出端 65 的設置同第六圖(a)所示。在本實施例中，該第一電子裝置 61 和該第二電子裝置 62 上設置一接地裝置 19，其包括至少一第一接地焊墊 191 及一第二接地焊墊 192，該第一電子裝置 61 和該第二電子裝置 62 上的該第一接地焊墊 191 及該第二接地焊墊 192，利用一條或數目大於一條的焊線 18 連接，此接地裝置 19，可使該第一電子裝置 61 和該第二電子裝置 62 的接地電位一致。

【0027】

實施例:

1. 一種連接結構，用於電連接一第一電子裝置和一第二電子裝置，其中該第一電子裝置具二第一焊墊、該第二電子裝置具二第二焊墊以及該二第一焊墊分別電連接於該二第二焊墊，該連接結構包含：

一訊號傳導結構，用於電連接該二第一焊墊及該二第二焊墊；以及

一接地裝置，設置在該第一電子裝置及該第二電子裝置之間，以使該兩電子裝置具同一接地電位。

2. 如實施例 1 所述之連接結構，其中：

該接地裝置更包含：

一第一接地焊墊，電連接於該第一電子裝置；

一第二接地焊墊，電連接於該第二電子裝置；

至少一用於接地之焊線，電連接該第一接地焊墊和該第二接地焊墊；以及

該訊號傳導結構更包含：

二傳輸線，分別設置在該二第一焊墊和該二第二焊墊之間；

一第一訊號輸入/輸出端，設置於該二第一焊墊間之傳輸線之一中心節點上，用於傳送一訊號；

一第二訊號輸入/輸出端，設置於該二第二焊墊間之傳輸線之一中心節點上，用於傳送一訊號；以及

至少二用於傳遞訊號之焊線，分別電連接該二第一焊墊及其對面的第二焊墊。

3. 一種電子裝置，適於電連接於一電子元件，其中該電子裝置具二第一焊墊、該電子元件具二第二焊墊以及該二第一焊墊係分別用以電連接於該二第二焊墊，該電子裝置包含：



一訊號傳導結構，用於電連接該二第一焊墊及該二第二焊墊。

4. 如實施例 3 所述之電子裝置，其中該電子元件可為一晶片或一載具。

5. 一種連接結構，用於電連接一第一電子裝置和一第二電子裝置，其中該第一電子裝置具二第一焊墊、該第二電子裝置具二第二焊墊以及該二第一焊墊分別電連接於該二第二焊墊，該連接結構包含：

一接地裝置，設置在該第一電子裝置及該第二電子裝置之間，以使該兩電子裝置具同一接地電位。

6. 如實施例 5 所述之連接結構，其中：

該接地裝置更包含：

一第一接地焊墊，電連接於該第一電子裝置；

一第二接地焊墊，電連接於該第二電子裝置；以及

至少一接地焊線，電連接該第一接地焊墊和該第二接地焊墊。

7. 一種電連接一第一電子裝置和一第二電子裝置之方法，其中該第一電子裝置具一第一接地電位，而該第二電子裝置具一第二接地電位，該方法包含下列步驟：

使該兩接地電位等同；

在該第一電子裝置中提供  $N$  條傳輸線和  $(N+1)$  個第一焊墊，其中該  $N$  條傳輸線設置在該  $(N+1)$  個第一焊墊之間，且  $N$  為一自然數；

在該第二電子裝置中提供  $M$  條傳輸線和  $(M+1)$  個第二焊墊，其中該  $M$  條傳輸線設置在該  $(M+1)$  個第二焊墊之間，且  $M$  等於  $N$ ；

分別電連接該  $(N+1)$  個第一焊墊和該  $(M+1)$  個第二焊

墊；

設置一第一訊號輸入/輸出端；以及

設置一第二訊號輸入/輸出端。

8. 如實施例 7 所述之電連接一第一電子裝置和一第二電子裝置之方法，其中：

當 N 大於 2 時，該 (N+1) 個第一焊墊係設置於該 N 條傳輸線之間且該第一訊號輸入/輸出端可設置於該 (N+1) 個第一焊墊中之任一第一焊墊上；以及

當 M 大於 2 時，該 (M+1) 個第二焊墊係設置於該 M 條傳輸線之間且該第二訊號輸入/輸出端設置於該第一訊號輸入/輸出端之第一焊墊對面的一第二焊墊上。

【0028】 本發明之寬頻連接結構可應用於無線通訊、有線通訊、汽車電子、凡需要封裝或高速晶片對晶片及晶片對載具訊號傳輸者之電子產業。例如：手機、汽車防撞雷達、微波影像器、點對點高速資料傳輸器等。

【0029】 上述實施例僅用以說明本發明之示例實施方式，然而本發明之範圍當不受限於該上述之各項具體實施方式；且本發明得由熟悉技藝之人任施匠思而為諸般修飾，然不脫如附申請範圍所欲保護者。

#### 【符號說明】

##### 【0030】

1A、2A、3A、4A、5A、6A 連接結構

11、21、31、41、51、61 第一電子裝置

12、22、32、42、52、62 第二電子裝置

13、23、33、43、53、63 訊號傳導結構

14、24、34、44、54、64 第一訊號輸入/輸出端

- 15、25、35、45、55、65 第二訊號輸入/輸出端
- 16、26、36、46、56、66 傳輸線
- 171、271、371、471、571、671 第一焊墊
- 172、272、372、472、572、672 第二焊墊
- 18 焊線
- 19 接地裝置
- 191 第一接地焊墊
- 192 第二接地焊墊
- X 對稱線

● **【生物材料寄存】**

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

● **【序列表】**(請換頁單獨記載)

## 申請專利範圍

109年8月8日修正 (本)

1. 一種連接結構，用於電連接一第一電子裝置和一第二電子裝置，其中該第一電子裝置具二第一焊墊、該第二電子裝置具二第二焊墊以及該二第一焊墊分別電連接於該二第二焊墊，該連接結構包含：

一訊號傳導結構，用於電連接該二第一焊墊及該二第二焊墊；以及

一接地裝置，設置在該第一電子裝置及該第二電子裝置之間，以使該兩電子裝置具同一接地電位。

2. 如申請專利範圍第 1 項所述之連接結構，其中：

該接地裝置更包含：

一第一接地焊墊，電連接於該第一電子裝置；

一第二接地焊墊，電連接於該第二電子裝置；

至少一用於接地之焊線，電連接該第一接地焊墊和該第二接地焊墊；以及

該訊號傳導結構更包含：

二傳輸線，分別設置在該二第一焊墊和該二第二焊墊之間；

一第一訊號輸入/輸出端，設置於該二第一焊墊間之傳輸線之一中心節點上，用於傳送一訊號；

一第二訊號輸入/輸出端，設置於該二第二焊墊間之傳輸線之一中心節點上，用於傳送一訊號；以及

至少二用於傳遞訊號之焊線，分別電連接該二第一焊墊及其對面的第二焊墊。

3. 一種電子裝置，適於電連接於一電子元件，其中該電子裝置具二第一焊墊、該電子元件具二第二焊墊以及該二第一焊墊係分別用以電連接於該二第二焊墊，該電子裝置包含：
  - 一訊號傳導結構，用於電連接該二第一焊墊及該二第二焊墊。
4. 如申請專利範圍第 3 項所述之電子裝置，其中該電子元件可為一晶片或一載具。
5. 一種連接結構，用於電連接一第一電子裝置和一第二電子裝置，其中該第一電子裝置具二第一焊墊、該第二電子裝置具二第二焊墊以及該二第一焊墊分別電連接於該二第二焊墊，該連接結構包含：
  - 一接地裝置，設置在該第一電子裝置及該第二電子裝置之間，以使該兩電子裝置具同一接地電位。
6. 如申請專利範圍第 5 項所述之連接結構，其中：
  - 該接地裝置更包含：
    - 一第一接地焊墊，電連接於該第一電子裝置；
    - 一第二接地焊墊，電連接於該第二電子裝置；以及
    - 至少一接地焊線，電連接該第一接地焊墊和該第二接地焊墊。
7. 一種電連接一第一電子裝置和一第二電子裝置之方法，其中該第一電子裝置具一第一接地電位，而該第二電子裝置具一第二接地電位，該方法包含下列步驟：

使該兩接地電位等同；

在該第一電子裝置中提供  $N$  條傳輸線和  $(N+1)$  個第一焊墊，其中該  $N$  條傳輸線設置在該  $(N+1)$  個第一焊墊之間，且  $N$  爲一自然數；

在該第二電子裝置中提供  $M$  條傳輸線和  $(M+1)$  個第二焊墊，其中該  $M$  條傳輸線設置在該  $(M+1)$  個第二焊墊之間，且  $M$  等於  $N$ ；

分別電連接該  $(N+1)$  個第一焊墊和該  $(M+1)$  個第二焊墊；

設置一第一訊號輸入/輸出端；以及

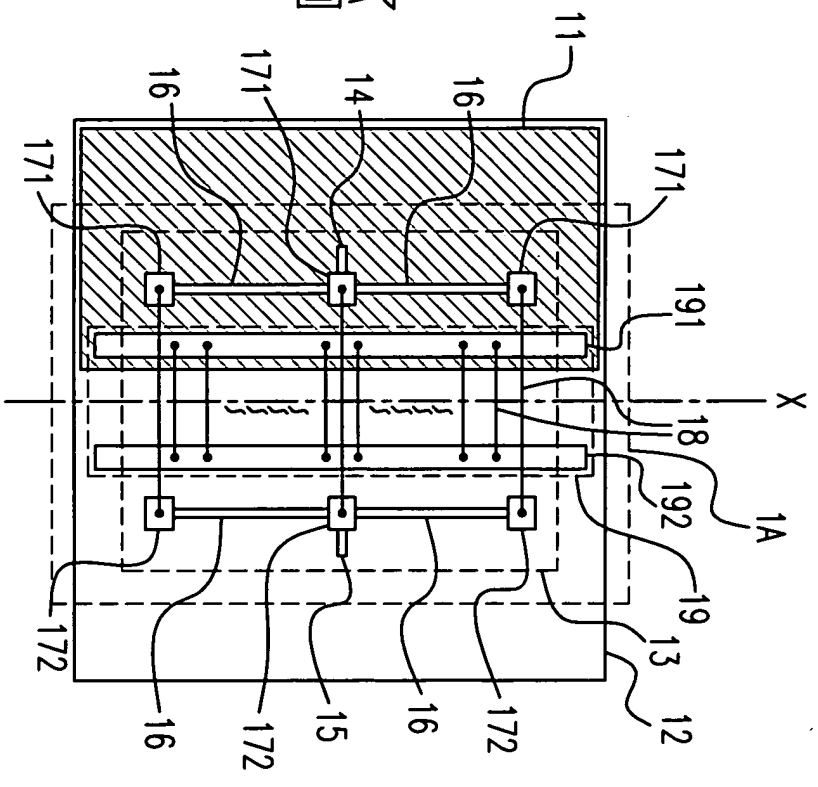
設置一第二訊號輸入/輸出端。

8. 如申請專利範圍第 7 項所述之電連接一第一電子裝置和一第二電子裝置之方法，其中：

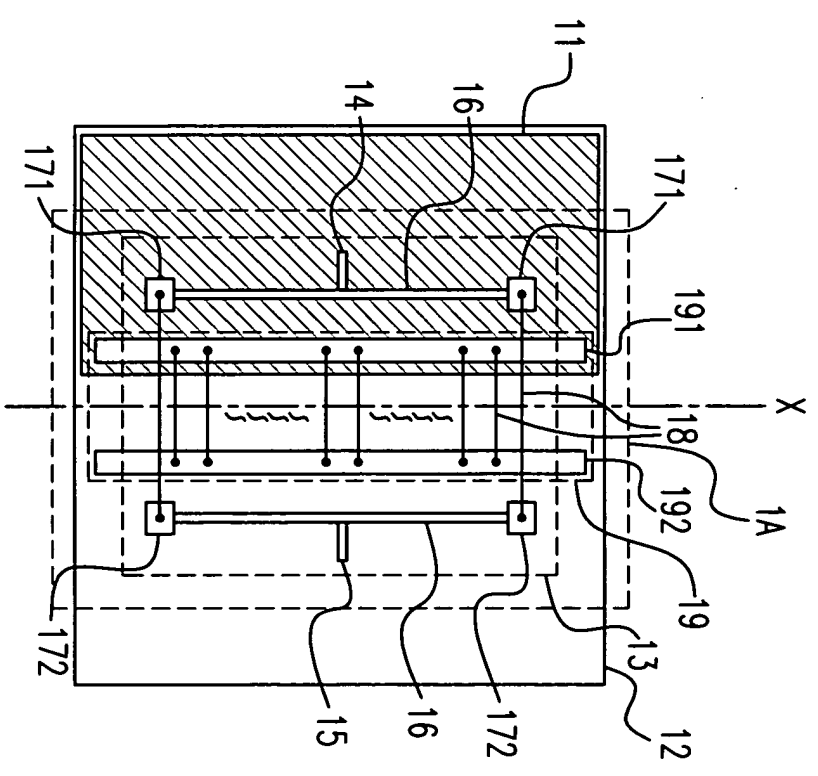
當  $N$  大於 2 時，該  $(N+1)$  個第一焊墊係設置於該  $N$  條傳輸線之間且該第一訊號輸入/輸出端可設置於該  $(N+1)$  個第一焊墊中之任一第一焊墊上；以及

當  $M$  大於 2 時，該  $(M+1)$  個第二焊墊係設置於該  $M$  條傳輸線之間且該第二訊號輸入/輸出端設置於該第一訊號輸入/輸出端之第一焊墊對面的一第二焊墊上。

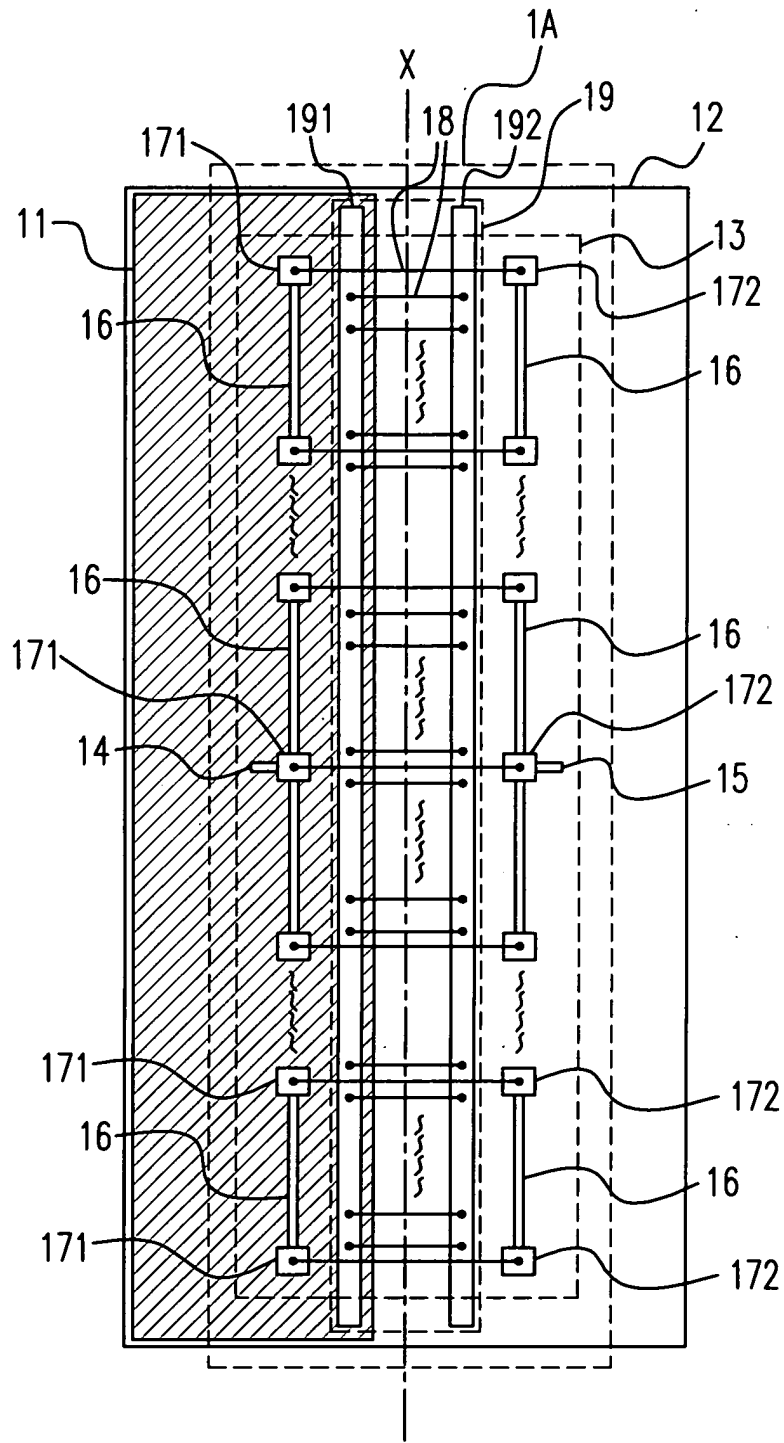
圖式



第一圖(b)

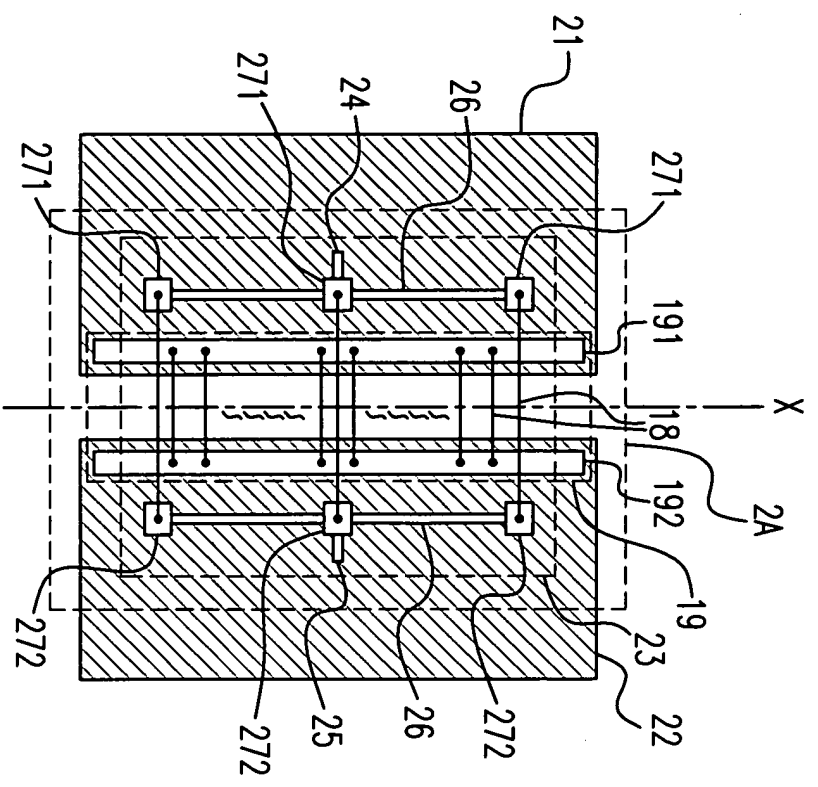


第一圖(a)

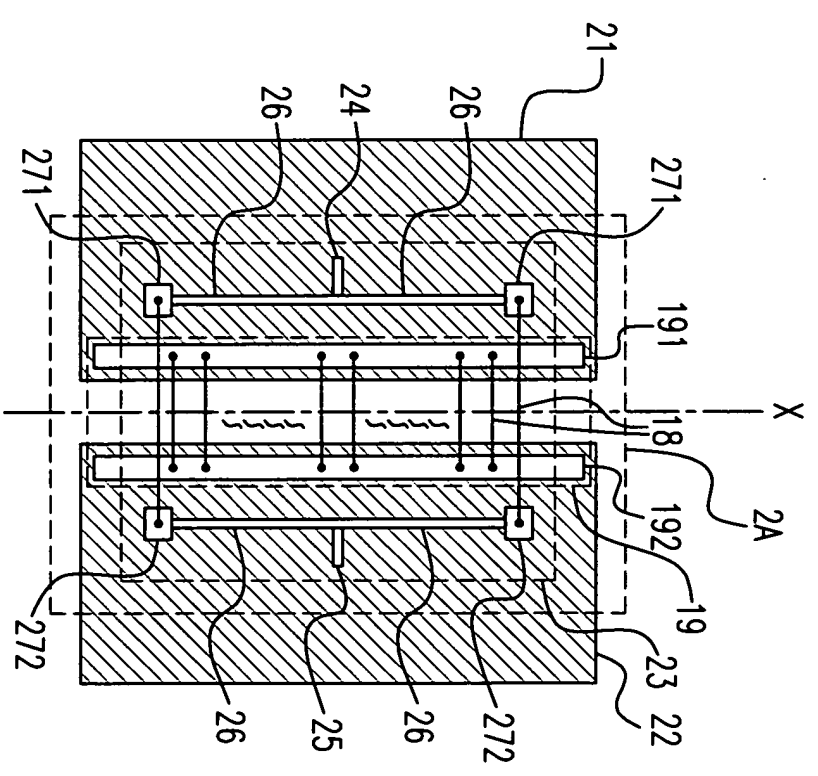


第一圖(c)

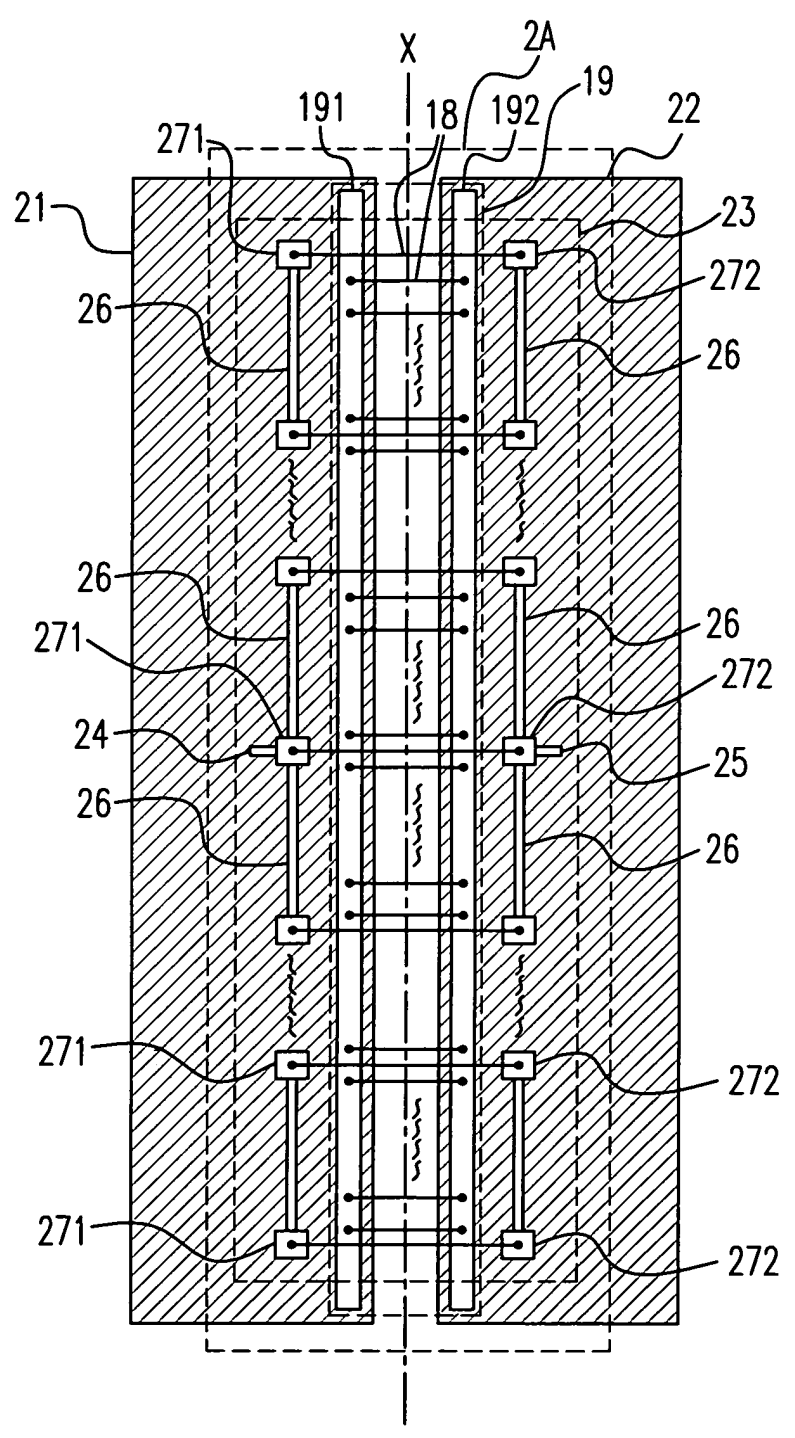




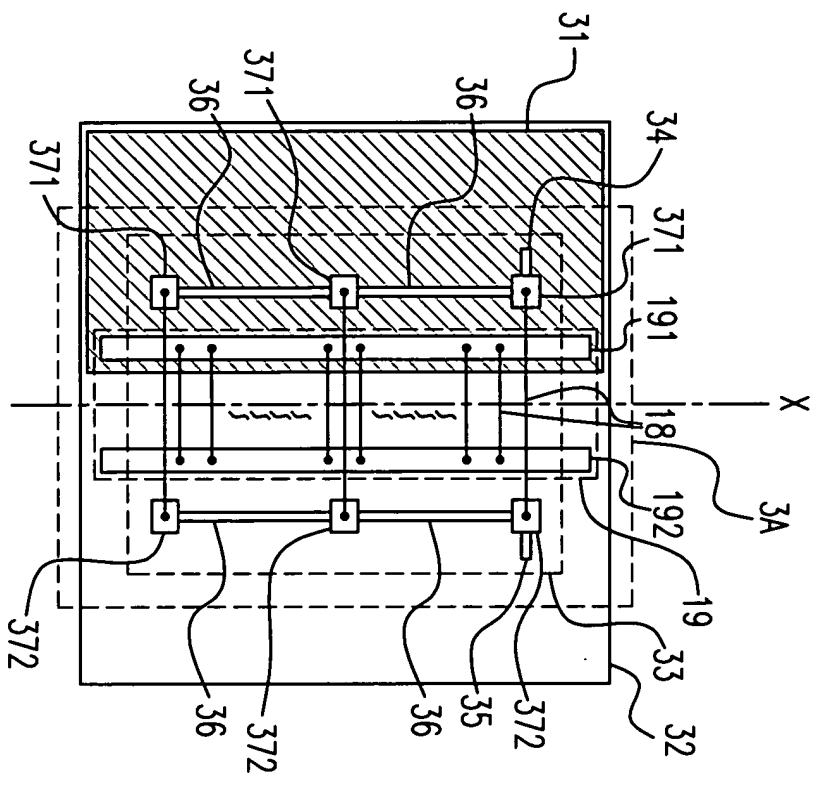
第二圖(b)



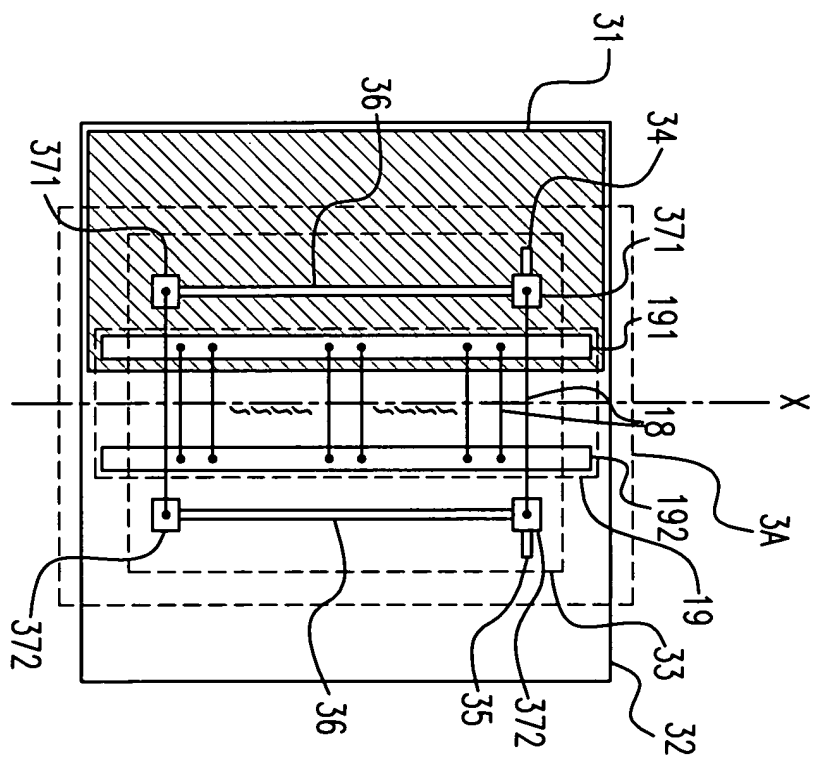
第二圖(a)



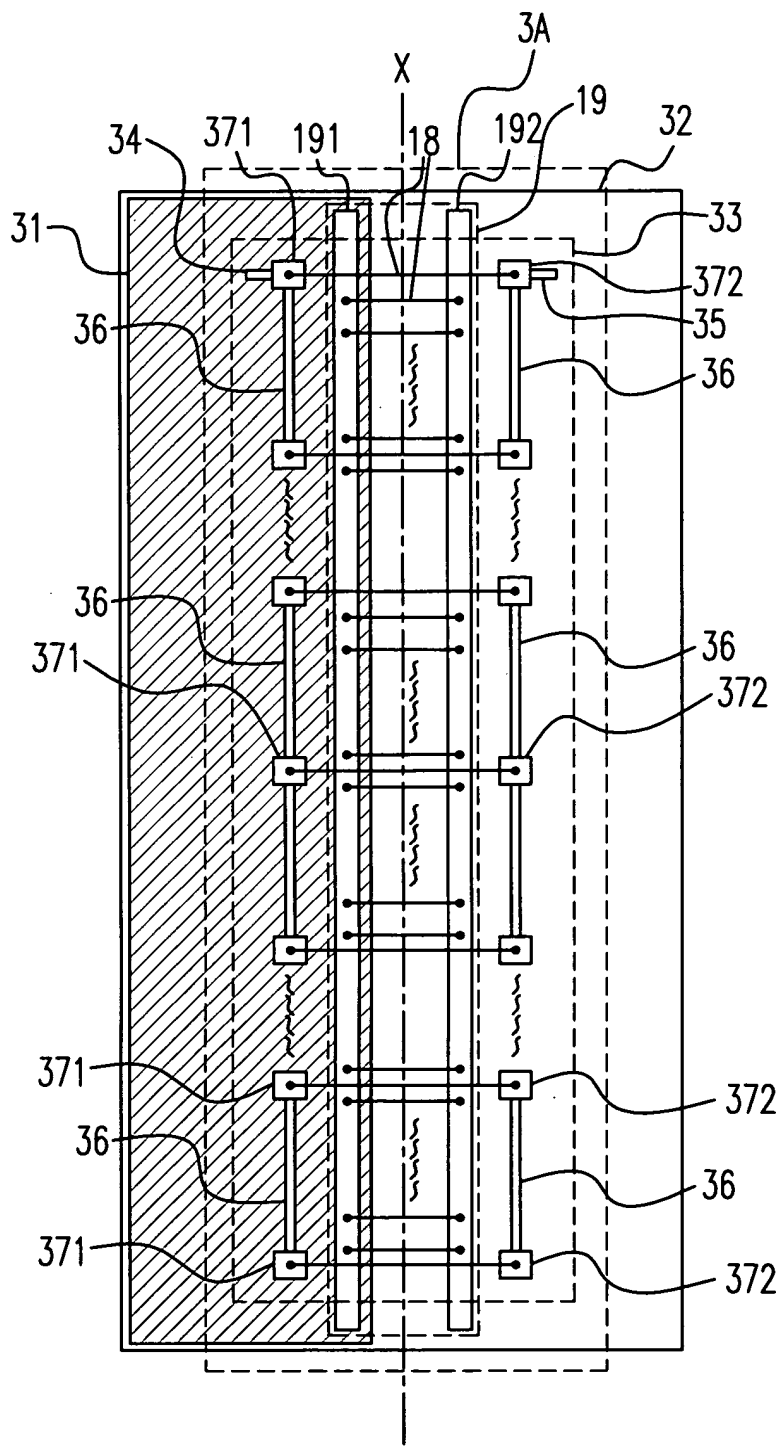
第二圖(c)



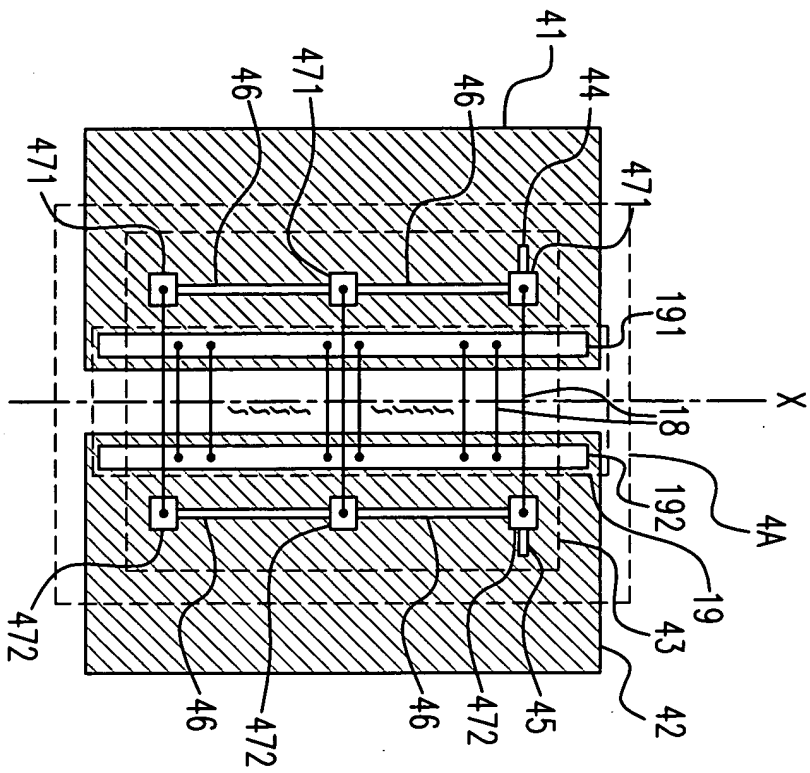
第三圖(b)



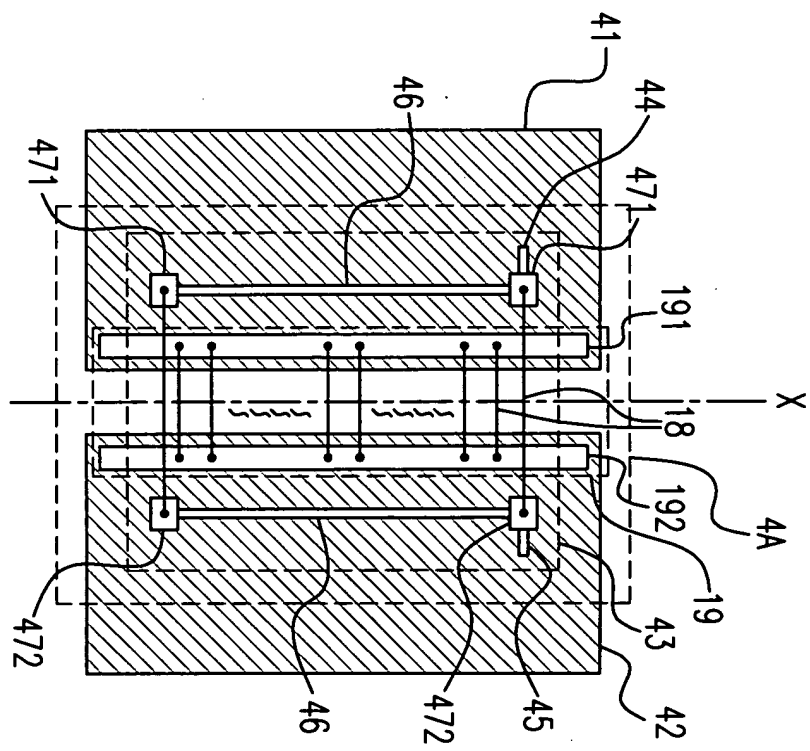
第三圖(a)



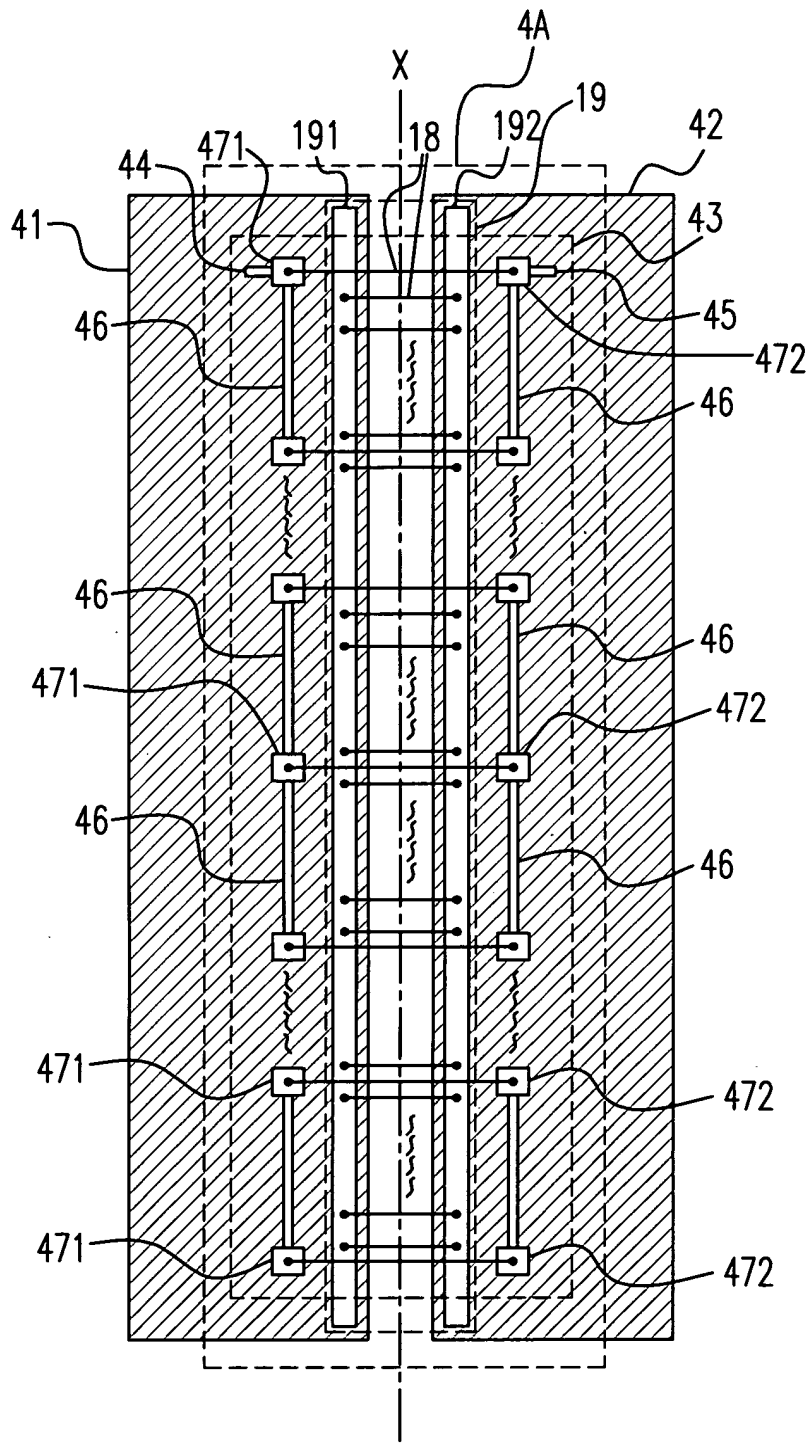
第三圖(c)



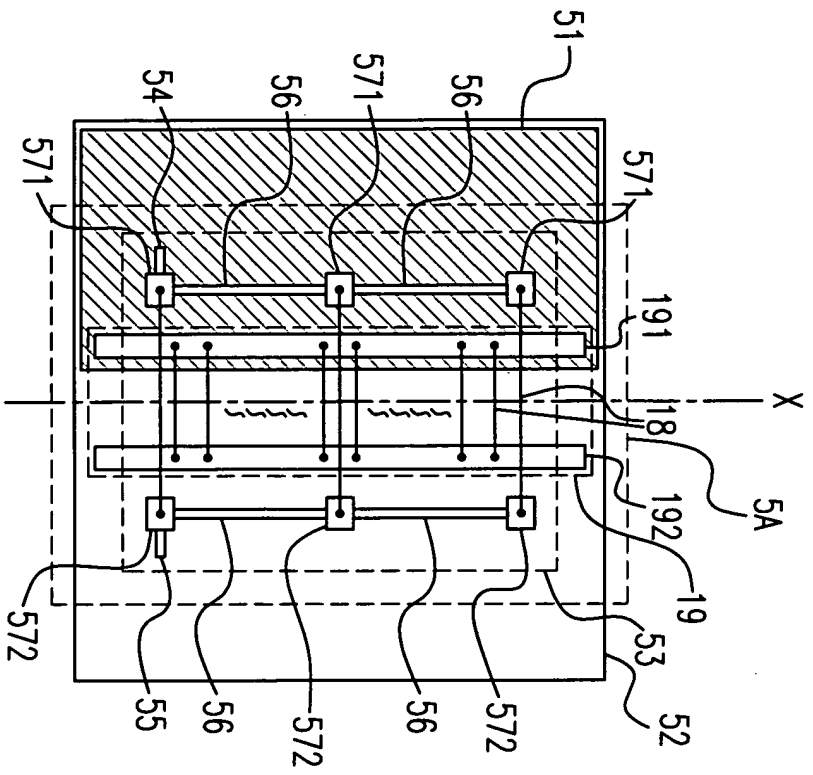
第四圖(b)



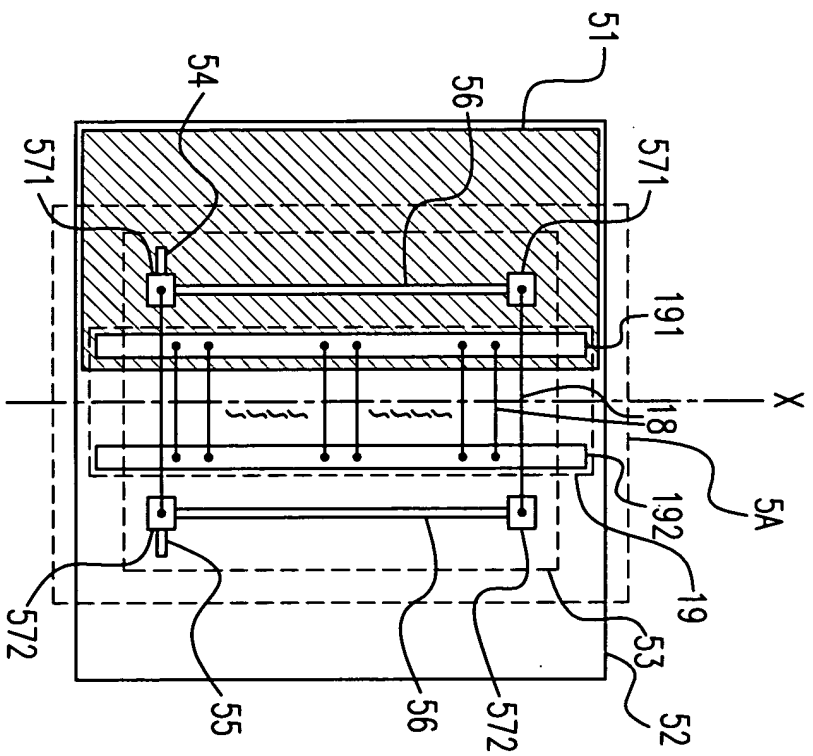
第四圖(a)



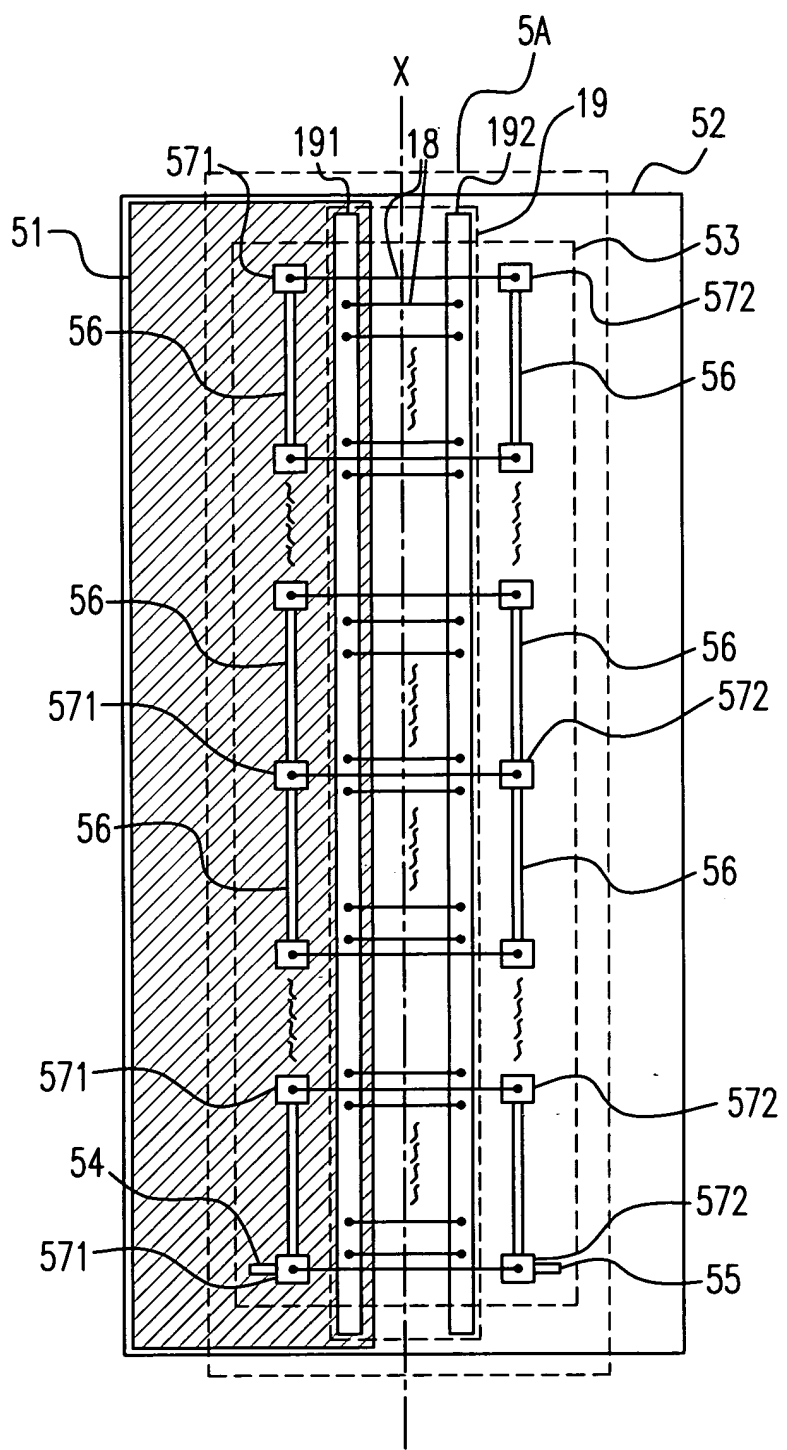
第四圖(c)



第五圖(b)

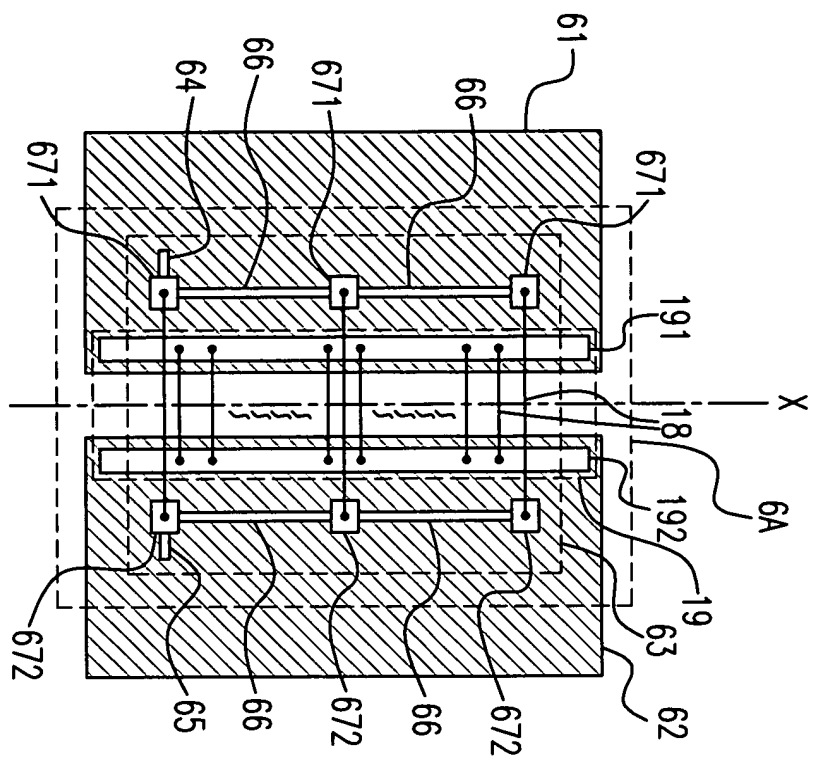


第五圖(a)

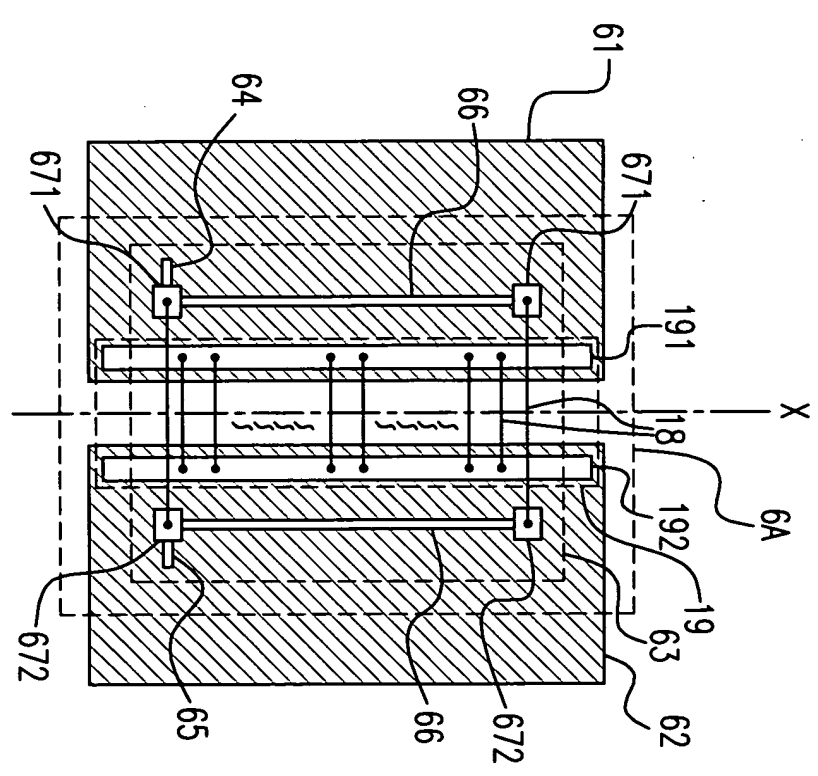


第五圖(c)





第六圖(b)



第六圖(a)

