



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I511400 B

(45) 公告日：中華民國 104 (2015) 年 12 月 01 日

(21) 申請案號：103115815

(22) 申請日：中華民國 103 (2014) 年 05 月 02 日

(51) Int. Cl. : **H02H9/02 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：柯明道 KER, MING DOU (TW)；蔡惠雯 TSAI, HUI WEN (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 201227909A

TW 201312729A

CN 102222891A

CN 103427650A

US 5465190

US 7990666B2

審查人員：林迺信

申請專利範圍項數：15 項 圖式數：7 共 31 頁

(54) 名稱

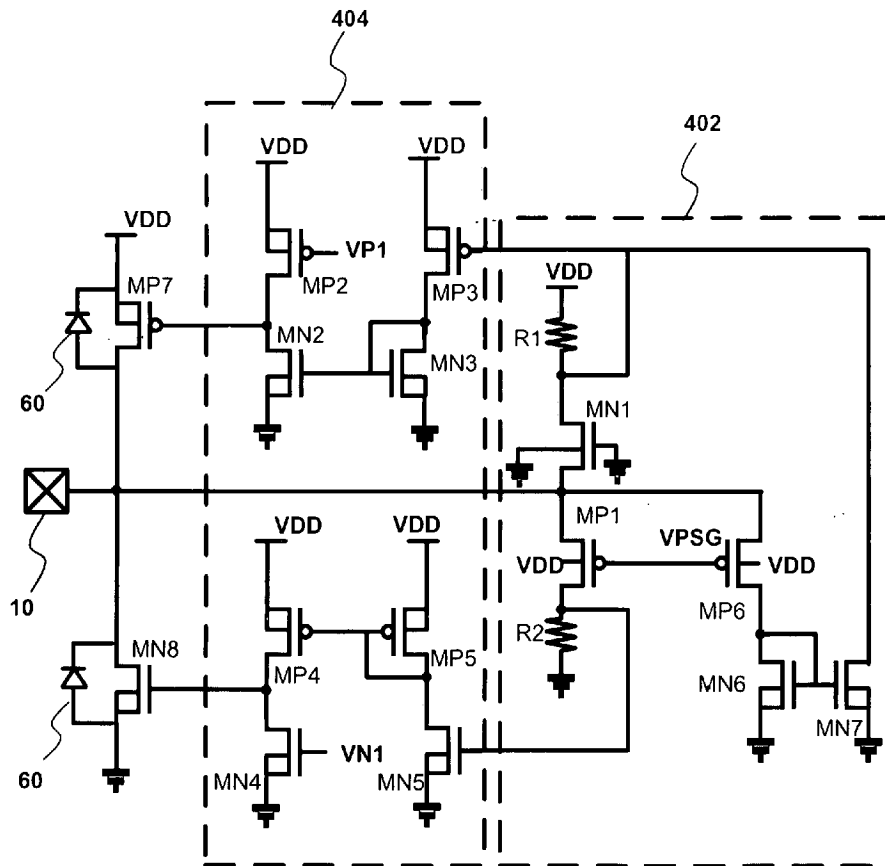
可提升閘鎖防疫能力之主動式防護電路及主動防護環電路

ACTIVE GUARD RING AND RING CIRCUIT TO IMPROVE LATCH-UP IMMUNITY

(57) 摘要

一種主動式防護電路，適於一積體電路進行閘鎖測試時提升其閘鎖防疫能力。此主動式防護電路包含有一輸入輸出電路與一主動防護環電路，輸入輸出電路係透過一輸入節點接收一注入電流，並在該注入電流之激發下產生一基底電流；主動防護環電路連接於輸入輸出電路與一內部電路之間，並偵測該注入電流係為一正電流脈衝或負電流脈衝。當注入電流之電流強度高於一門檻值時，主動防護環電路係控制輸入輸出電路產生一補償基底電流之電流大小，以達成避免該內部電路閘鎖發作之效用。

An active guard ring structure is provided, which is applicable to improving latch-up immunity during the latch-up current test (I-test). The proposed active guard ring structure comprises an I/O circuit and an active protection circuit, wherein the I/O circuit receives a trigger current via an input pad and generates a corresponding bulk current since being triggered. The active protection circuit, connected between the I/O circuit and a core circuit, detects whether the trigger current is a positive or negative current pulse. When an intensity of the trigger current is larger than a threshold value, the active protection circuit controls the I/O circuit to provide a compensation current so as to compensate the bulk current and to reduce the current flowing into or sourced from the core circuit, thereby preventing the core circuit from encountering latch-up.



第 4 圖

- 10 . . . 輸入節點
- 60 . . . 被動防護環
- 402 . . . 偵測電路
- 404 . . . 控制電路
- R1 . . . 第一電阻
- R2 . . . 第二電阻
- MP1 . . . 第一 P 型金氧半場效電晶體
- MP2 . . . 第二 P 型金氧半場效電晶體
- MP3 . . . 第三 P 型金氧半場效電晶體
- MP4 . . . 第四 P 型金氧半場效電晶體
- MP5 . . . 第五 P 型金氧半場效電晶體
- MP6 . . . 第六 P 型金氧半場效電晶體
- MP7 . . . 第七 P 型金氧半場效電晶體
- MN1 . . . 第一 N 型金氧半場效電晶體
- MN2 . . . 第二 N 型金氧半場效電晶體
- MN3 . . . 第三 N 型金氧半場效電晶體
- MN4 . . . 第四 N 型金氧半場效電晶體
- MN5 . . . 第五 N 型金氧半場效電晶體
- MN6 . . . 第六 N 型金氧半場效電晶體
- MN7 . . . 第七 N 型金氧半場效電晶體
- MN8 . . . 第八 N 型金氧半場效電晶體

發明摘要

公告本

※ 申請案號：103115815

※ 申請日：103.5.2

※ IPC 分類：H02H 9/02 (2006.01)

【發明名稱】(中文/英文)

可提升門鎖防疫能力之主動式防護電路及主動防護環電路 / Active Guard Ring and Ring Circuit to Improve Latch-up Immunity

【中文】

一種主動式防護電路，適於一積體電路進行門鎖測試時提升其門鎖防疫能力。此主動式防護電路包含有一輸入輸出電路與一主動防護環電路，輸入輸出電路係透過一輸入節點接收一注入電流，並在該注入電流之激發下產生一基底電流；主動防護環電路連接於輸入輸出電路與一內部電路之間，並偵測該注入電流係為一正電流脈衝或負電流脈衝。當注入電流之電流強度高於一門檻值時，主動防護環電路係控制輸入輸出電路產生一補償基底電流之電流大小，以達成避免該內部電路門鎖發作之效用。

【英文】

An active guard ring structure is provided, which is applicable to improving latch-up immunity during the latch-up current test (I-test). The proposed active guard ring structure comprises an I/O circuit and an active protection circuit, wherein the I/O circuit receives a trigger current via an input pad and generates a corresponding bulk current since being triggered. The active protection circuit, connected between the I/O circuit and a core circuit, detects whether the trigger current is a positive or negative current pulse. When an intensity of the trigger

current is larger than a threshold value, the active protection circuit controls the I/O circuit to provide a compensation current so as to compensate the bulk current and to reduce the current flowing into or sourced from the core circuit, thereby preventing the core circuit from encountering latch-up.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

- 10 輸入節點
- 60 被動防護環
- 402 偵測電路
- 404 控制電路
- R1 第一電阻
- R2 第二電阻
- MP1 第一P型金氧半場效電晶體
- MP2 第二P型金氧半場效電晶體
- MP3 第三P型金氧半場效電晶體
- MP4 第四P型金氧半場效電晶體
- MP5 第五P型金氧半場效電晶體
- MP6 第六P型金氧半場效電晶體
- MP7 第七P型金氧半場效電晶體
- MN1 第一N型金氧半場效電晶體
- MN2 第二N型金氧半場效電晶體
- MN3 第三N型金氧半場效電晶體
- MN4 第四N型金氧半場效電晶體
- MN5 第五N型金氧半場效電晶體
- MN6 第六N型金氧半場效電晶體

MN7 第七N型金氧半場效電晶體

MN8 第八N型金氧半場效電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

可提升閃鎖防疫能力之主動式防護電路及主動防護環電路 / Active Guard Ring and Ring Circuit to Improve Latch-up Immunity

【技術領域】

【0001】 本發明係關於一種靜電放電(Electro-Static Discharge, ESD)防護電路；特別關於一種用以提升閃鎖防疫能力，避免積體電路於注入激發電流時產生閃鎖效應之一種主動式的防護電路設計。

【先前技術】

【0002】 按，依據1997年發佈的互補式金屬氧化物半導體(CMOS IC)之閃鎖測試條件(Latch-up Test)，其係利用在積體電路之輸入輸出節點(I/O Pin)注入一大小為100毫安培(mA)之激發電流(trigger current)，藉此測試該CMOS IC是否被引發閃鎖效應發作。如下表一所示，所有市售之積體電路，皆必須通過此條件測試，迄今並已習用十餘年之久。

表一

觸發節點	觸發條件
於輸入輸出節點注入正電流脈衝	$I_{norm}+100mA$ ，或 $1.5* I_{norm}$
於輸入輸出節點注入負電流脈衝	$-100mA$ ，或 $-0.5* I_{norm}$
於 V_{DD} 節點輸入過電壓	$1.5*V_{DD-Max}$

【0003】 然而，到了2011年，JEDEC標準製程(Standard)再次修訂其閃鎖測試條件之規範為JESD78D(Nov. 2011)，其中從輸入輸出節點注入的激發電流已經由原先的 $\pm 100mA$ 提高到 $\pm 200mA$ 。有鑑於此，電子業

界廠商也開始被要求必須使用這更嚴格的測試標準來檢驗所生產積體電路的閃鎖防疫能力（Latchup Immunity）。由於先前CMOS IC避免閃鎖效應發生的防制方式都是以 $\pm 100\text{mA}$ 的規格來佈局施工，爲了因應激發電流大幅提高至 $\pm 200\text{mA}$ ，習知技術遂提出在積體電路中設置有多重防護環（Guard Ring）結構，來吸取在基底（substrate/well）中逸散之電子（electron）或電洞（hole），其係以一種「被動式」的防護作法來避免積體電路在激發電流提高後容易發生閃鎖的問題。

【0004】 然而，值得注意的是，此種習見的作法僅可以針對有施加適當防護環結構的區域作用。也就是說，在有施加防護環結構的區域，其閃鎖防疫能力方可被提昇，至於，那些沒有施加適當防護環結構的區域，其閃鎖防疫能力則仍無法被改善。

【0005】 再者，利用習知之防護環結構來吸取閃鎖測試所注入之激發電流，則該防護環結構的寬度（width of diffusion）與其設計圈數都必需要大幅度地增加。除此之外，由輸入輸出電路（I/O Cells）到可能發生閃鎖效應的內部電路（core circuits）之間的距離也必須再拉長，類似相關的設計規範（Design Rules）都必須要重新隨之變更，於此，將需要一連串的工程修改才能夠讓積體電路通過此JESD78D所新規範的 $\pm 200\text{mA}$ 閃鎖測試，不僅增加工程上的複雜度，也於無形中造成許多成本的浪費。

【0006】 是以，本發明人係有感於上述缺失之可改善，且依據多年來從事此方面之相關經驗，悉心觀察且研究之，並配合學理之運用，而提出一種設計新穎且有效改善上述缺失之本發明，其係揭露一種「主動式」的防護電路，其係利用電路「主動式」地操作來提升積體電路閃鎖之防疫能

力，其具體之架構及實施方式將詳述於下。

【發明內容】

【0007】 為解決習知技術存在的問題，本發明之一目的係在於提供一種可提升閃鎖防疫能力之主動式防護電路及主動防護環電路，其係首創揭露一種完全創新的電路設計，並藉由此設計提升互補式金屬氧化物半導體晶片之閃鎖防疫能力，由於本發明係利用電路本身主動式地操作來達到避免閃鎖發生之功效，因此稱之為主動式防護環電路。

【0008】 本發明之又一目的係在於提供一種可提升閃鎖防疫能力之主動式防護電路及主動防護環電路，其係完全不同於習知必須利用被動防護環的設置，來吸收基底內逸散之電子或電洞的作法，因此可達到精簡積體電路所使用之面積及成本之目的。

【0009】 本發明之再一目的係在於提供一種可提升閃鎖防疫能力之主動式防護電路及主動防護環電路，當來自外界的激發電流注入積體電路中時，該主動式防護電路係主動偵測此異常之激發電流，並隨之提供一補償電流以減少該外界激發電流之強度，使得真正注入內部電路之電流可以明顯變少，藉此有效地提升其閃鎖防疫能力。

【0010】 是以，根據本發明所揭示之可提升閃鎖防疫能力之主動式防護電路，其係其係電性連接於一輸入節點與一內部電路之間，包括：一輸入輸出電路，連接該輸入節點，並透過該輸入節點接收一注入電流，輸入輸出電路在該注入電流之激發下係產生一基底電流；以及一主動防護環電路，連接於輸入輸出電路與內部電路之間。

【0011】 主動防護環電路係偵測該注入電流高於一門檻值時，控制所

述之輸入輸出電路產生一補償電流，以補償基底電流，使得真正注入內部電路之電流可以明顯變少，以避免該內部電路發生門鎖效應。

【0012】 根據本發明之一實施例，其中所偵測到之注入電流為一正電流脈衝時，補償電流係為一反向電流；至於，當注入電流係為一負電流脈衝時，補償電流則為一正向電流，以中和真正注入內部電路之電流大小。

【0013】 根據本發明之實施例，其中輸入輸出電路係由一組串聯之P型金氧半場效電晶體與N型金氧半場效電晶體所組成，主動防護環電路則包含有一偵測電路與一控制電路。其中，偵測電路連接該輸入節點，以針對所述之注入電流進行偵測，並將偵測結果傳至控制電路。之後，控制電路即可根據偵測結果控制上述之P型金氧半場效電晶體或N型金氧半場效電晶體導通，以貢獻作為所述之補償電流。

【0014】 底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0015】

第1圖係為根據本發明實施例之主動式防護電路之示意圖。

第2圖係為根據本發明實施例之主動防護環電路之簡要示意圖。

第3圖係為根據本發明實施例之主動防護環電路之詳細電路示意圖。

第4圖係為根據本發明另一實施例之主動式防護電路之示意圖。

第5圖係為利用一正電流脈衝激發本發明實施例之等效電路示意圖。

第6圖係為利用複數個串接之金氧半場效電晶體以產生操作所需電壓之電路示意圖。

第7圖係為利用一負電流脈衝激發本發明實施例之等效電路示意圖。

【實施方式】

【0016】 以上有關於本發明的內容說明，與以下的實施方式係用以示範與解釋本發明的精神與原理，並且提供本發明的專利申請範圍更進一步的解釋。有關本發明的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

【0017】 請參閱第1圖所示，其係為根據本發明實施例之主動式防護電路之示意圖。如第1圖所示，本發明所揭示之可提升閃鎖防疫能力之主動式防護電路1係電性連接於一輸入節點(Pad)10與一內部電路(core circuits)20之間，當一注入電流50透過該輸入節點10注入電路中時，本發明所揭露之主動式防護電路1係可偵測該注入電流50，並適時地提供補償電流，藉此補償外界激發電流的強度，使得真正注入內部電路20的激發電流可以明顯變少，因此提升CMOS IC之閃鎖防疫能力。

【0018】 詳細而言，本發明所揭露之主動式防護電路1係包含有一輸入輸出電路30，連接上述之輸入節點10，以透過該輸入節點10接收注入電流50；以及一主動防護環電路40，連接於上述之輸入輸出電路30與內部電路20之間。主動防護環電路40係可針對注入電流50進行偵測之工作，包括：注入電流50係為正電流脈衝或負電流脈衝、以及偵測注入電流50之電流強度。因此，當注入電流50之電流強度高於一預設之電路門檻值（例如可設定為：1mA）時，主動防護環電路40即可反饋控制輸入輸出電路30產生一補償電流，藉以補償輸入輸出電路30在受激發後產生之基底電流大小。

【0019】 請一併參閱第2圖及第3圖所示，其係分別為本發明實施例之

主動防護環電路之簡要與詳細電路示意圖，主動防護環電路40主要包含有一偵測電路402與一控制電路404，其中偵測電路402係電性連接輸入節點10，以針對注入電流50進行偵測，控制電路404係連接偵測電路402與輸入輸出電路30。因此，偵測電路402可將其偵測結果傳送給控制電路404，使得控制電路404根據該偵測結果控制輸入輸出電路30產生所述之補償電流。根據本發明之實施例，所述之補償電流例如可為第2圖所示之正向電流42或反向電流44，以利用該補償電流提供之中和作用，使得真正注入內部電路20的激發電流、或者自內部電路20流出之電流大小可以明顯變少，以達成避免內部電路之閃鎖效應發作之目的。

【0020】 值得說明的是，偵測電路402所偵測之注入電流之門檻值係可依照不同電路之需求而設計之，熟習此項技術領域者當可根據實際電路需求而自行調整之，惟依本發明所揭示之技術思想所作之均等變化或修飾，隸應屬於本發明之專利範圍。

【0021】 詳細而言，本發明所揭示之偵測電路402係由一感測電路502與一電流鏡電路（current mirror）504所組成，其中，感測電路502包括一第一N型金氧半場效電晶體MN1、一第一P型金氧半場效電晶體MP1、一第一電阻R1與一第二電阻R2。控制電路404包括一第二N型金氧半場效電晶體MN2、一第二P型金氧半場效電晶體MP2、一第三N型金氧半場效電晶體MN3、一第三P型金氧半場效電晶體MP3、一第四N型金氧半場效電晶體MN4、一第四P型金氧半場效電晶體MP4、一第五N型金氧半場效電晶體MN5、以及一第五P型金氧半場效電晶體MP5，其中第二N型金氧半場效電晶體MN2與第二P型金氧半場效電晶體MP2；第三N型金氧半場效電晶體

MN3與第三P型金氧半場效電晶體MP3；第四N型金氧半場效電晶體MN4與第四P型金氧半場效電晶體MP4；以及第五N型金氧半場效電晶體MN5與第五P型金氧半場效電晶體MP5係各自串聯為一組互補式金屬氧化物半導體。至於，輸入輸出電路30係亦由一組串聯之第七P型金氧半場效電晶體MP7與第八N型金氧半場效電晶體MN8所組成。電流鏡電路504則包括有一第六P型金氧半場效電晶體MP6、一第六N型金氧半場效電晶體MN6以及一第七N型金氧半場效電晶體MN7。

【0022】 其中，第一N型金氧半場效電晶體MN1之源極係電性連接第一P型金氧半場效電晶體MP1之源極與輸入節點10，第一電阻R1之一端係連接第一N型金氧半場效電晶體MN1之汲極，另一端則連接一高電壓準位VDD。第一P型金氧半場效電晶體MP1之汲極係連接第二電阻R2後接地，且第一N型金氧半場效電晶體MN1之閘極亦接地。

【0023】 第六P型金氧半場效電晶體MP6之閘極連接該第一P型金氧半場效電晶體MP1之閘極，第六P型金氧半場效電晶體MP6之源極連接第一P型金氧半場效電晶體MP1之源極與輸入節點10，第六P型金氧半場效電晶體MP6之汲極連接第六N型金氧半場效電晶體MN6之汲極，第六N型金氧半場效電晶體MN6之源極連接一接地端，第六N型金氧半場效電晶體MN6之閘極連接第七N型金氧半場效電晶體MN7之閘極，第七N型金氧半場效電晶體MN7之源極連接該接地端，且第七N型金氧半場效電晶體MN7之汲極連接該第三P型金氧半場效電晶體MP3之閘極與第一N型金氧半場效電晶體MN1之汲極。

【0024】 根據本發明之實施例，輸入輸出電路30中的第七P型金氧半

場效電晶體MP7之汲極係電性連接第八N型金氧半場效電晶體MN8之汲極與輸入節點10，第七P型金氧半場效電晶體MP7之源極與第八N型金氧半場效電晶體MN8之源極係各自連接高電壓準位VDD與接地端。並且，第七P型金氧半場效電晶體MP7之閘極係連接第二N型金氧半場效電晶體MN2之汲極與第二P型金氧半場效電晶體MP2之汲極，第八N型金氧半場效電晶體MN8之閘極係連接第四N型金氧半場效電晶體MN4之汲極與第四P型金氧半場效電晶體MP4之汲極。

【0025】 而控制電路404中之第二N型金氧半場效電晶體MN2之閘極係連接第三N型金氧半場效電晶體MN3之閘極與第三P型金氧半場效電晶體MP3之汲極，第四P型金氧半場效電晶體MP4之閘極係連接第五P型金氧半場效電晶體MP5之閘極與第五N型金氧半場效電晶體MN5之汲極。至於，第五N型金氧半場效電晶體MN5之閘極則連接第一P型金氧半場效電晶體MP1之汲極。

【0026】 是以，當感測電路502利用第一N型金氧半場效電晶體MN1、第一P型金氧半場效電晶體MP1、第一電阻R1與一第二電阻R2偵測注入電流50係為正電流脈衝或負電流脈衝且其電流強度是否高於門檻值（1mA）後，電流鏡電路504即可將其感測結果鏡射至控制電路404，之後，控制電路404控制第七P型金氧半場效電晶體MP7與第八N型金氧半場效電晶體MN8之閘極電壓，使其產生所述之補償電流。

【0027】 第4圖係為根據本發明較佳實施例之主動式防護電路之示意圖，與第1圖不同的是，在此一實施例中，第七P型金氧半場效電晶體MP7及第八N型金氧半場效電晶體MN8更可選擇性地電性並聯有至少一被動防

護環60，其作用係同習見所設置之防護環結構，利用被動防護環60吸取基底（substrate/well）中逸散之電子或電洞，以更進一步地減少流入該內部電路之電流大小，進而針對電路之門鎖防疫能力作更一步之增益。

【0028】 承本發明表一所述，由於CMOS IC在接受門鎖測試時，必須同時通過正電流脈衝與負電流脈衝之激發電流測試，因此，為了證實本發明能夠有效達成提升門鎖防疫能力之功效，本發明將針對此兩種測試條件進行說明如下。

【0029】 首先，請參閱第5圖與第6圖所示，其中第5圖係為利用一正電流脈衝激發本發明實施例之電路示意圖，第6圖係為利用複數個串接金氧半場效電晶體MPD1~MPD5與MND1~MND2以產生本電路操作所需之電壓值VPSG、VP1與VN1之電路示意圖。其中，VPSG係用以驅動第一P型金氧半場效電晶體MP1與第六P型金氧半場效電晶體MP6；VP1係用以驅動第二P型金氧半場效電晶體MP2；VN1係用以驅動第四N型金氧半場效電晶體MN4。

【0030】 詳細而言，當注入電流50係為一正電流脈衝（positive current pulse）且其電流強度大於1mA時，輸入節點10之電壓係升高至接近高電壓準位VDD。在此情況下，第七P型金氧半場效電晶體MP7受激發會產生基底電流（bulk current） I_{db_p} 。然而，由於節點VPSG之電壓值係略小於VDD，第一P型金氧半場效電晶體MP1與第六P型金氧半場效電晶體MP6之源閘極壓差會大到足夠產生對應的通道電流，使得第五N型金氧半場效電晶體MN5與第三P型金氧半場效電晶體MP3之間極電壓各自被拉至高電壓準位與低電壓準位。此時，第三P型金氧半場效電晶體MP3產生之電流即會透過第三

N型金氧半場效電晶體MN3與第二N型金氧半場效電晶體MN2之作用而反射至第二P型金氧半場效電晶體MP2而與第二P型金氧半場效電晶體MP2本身所產生之電流相比較。一旦第三P型金氧半場效電晶體MP3所反射之電流較大，則第七P型金氧半場效電晶體MP7之閘極電壓被拉至低電壓準位，而使得第七P型金氧半場效電晶體MP7被導通，藉此產生電流 I_{sd_mp1} 。

【0031】 同樣地，藉由第四P型金氧半場效電晶體MP4與第五P型金氧半場效電晶體MP5之作用，第五N型金氧半場效電晶體MN5產生之電流亦會被反射至第四N型金氧半場效電晶體MN4而與其比較。一旦第五N型金氧半場效電晶體MN5所反射之電流較大，則第八N型金氧半場效電晶體MN8之閘極電壓被拉至高電壓準位，而使得第八N型金氧半場效電晶體MN8被導通，藉此產生電流 I_{ds_mn1} 。是以，在此實施例中，本發明係藉由 I_{sd_mp1} 與 I_{ds_mn1} 電流的生成來補償原先的基底電流 I_{db_p} ，使得注入內部電路之激發電流減少，達成避免內部電路門鎖效應發作之功效。

【0032】 另一方面而言，請參閱第7圖所示，其係為利用一負電流脈衝激發本發明實施例之電路示意圖。如第7圖所示，當注入電流50係為一負電流脈衝（negative current pulse）且其電流強度大於1mA時，輸入節點10之電壓係被拉低至VSS以下，使得第一N型金氧半場效電晶體MN1產生對應之生成電流。之後，由於第一電阻R1兩端之壓差使第三P型金氧半場效電晶體MP3之源極-閘極電壓大於其門檻電壓，第三P型金氧半場效電晶體MP3與第三N型金氧半場效電晶體MN3亦產生對應之電流。之後，第三N型金氧半場效電晶體MN3係將其電流反射至第二N型金氧半場效電晶體MN2，一旦流入第二N型金氧半場效電晶體MN2之電流大於自第二P型金氧半場效電

晶體MP2流出之電流，第七P型金氧半場效電晶體MP7之閘極電壓係被拉至低電壓準位，而使得第七P型金氧半場效電晶體MP7被導通，藉此產生電流 I_{sd_mp1} 。是以，本發明係藉由 I_{sd_mp1} 電流的生成來補償第八N型金氧半場效電晶體MN8之基底電流 I_{bd_mn1} ，使得基底電流 I_{bd_mn1} 之電流大小以及自內部電路流入之電流減少，藉此避免內部電路之門鎖效應發作。

【0033】 是以，綜上而言，當注入電流為正電流脈衝時，本發明主要係利用第八N型金氧半場效電晶體MN8導通產生 I_{ds_mn1} 貢獻反向電流，以作為電路中的補償電流。相對地，當注入電流為負電流脈衝時，利用第七P型金氧半場效電晶體MP7導通產生 I_{sd_mp1} 貢獻正向電流，以作為電路中的補償電流，藉此減少基底電流之電流大小，使得真正注入CMOS IC或自該CMOS IC回流之電流減少，實現提升其門鎖防疫能力之目的。

【0034】 接著，本發明經實體IC晶片驗證，應用本發明所揭露之主動防護環電路於積體電路門鎖電流測試之數據結果表可參閱下表二。由下表二可以明顯看出，當在正電流脈衝之激發下，使用本發明所揭露之主動防護環電路，其門鎖防疫能力相較於習知技術可大幅提升50倍左右；至於，在負電流脈衝之激發下，其門鎖防疫能力相較於習知技術亦可達20倍以上，並且二者皆可通過JESD78D所新規範的 $\pm 200\text{mA}$ 之電流測試條件。

表二

門鎖 測試 條件	習知技術		本發明	
	通過	失敗	通過	失敗
正電流脈衝	5mA	10mA	260mA	270mA
負電流脈衝	-190mA	-200mA	-430mA	-440mA

【0035】 是以，綜上所述，本發明所揭示之主動式防護電路，其係為一種新穎而獨樹一格之電路設計。當一個會引發習見門鎖效應發作之外界電流注入積體電路時，此防護電路可主動偵測注入電流之大小與強度，並隨之提供一因應的等效補償電流，藉此減少真正注入內部電路之電流大小，因此可以有效地提升其門鎖防疫能力。

【0036】 由此觀之，相較於習知技術僅能以被動的方式額外佈局防護電路，本發明不僅兼具有製程上之低複雜度與低成本、低面積消耗等優勢，更可使得積體電路能夠通過新制訂標準之門鎖測試條件，具有極佳之產業利用性及競爭力。

【0037】 以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0038】

- 1 主動式防護電路
- 10 輸入節點
- 20 內部電路
- 30 輸入輸出電路
- 40 主動防護環電路
- 42 正向電流
- 44 反向電流

50	注入電流
60	被動防護環
402	偵測電路
404	控制電路
502	感測電路
504	電流鏡電路
R1	第一電阻
R2	第二電阻
MP1	第一P型金氧半場效電晶體
MP2	第二P型金氧半場效電晶體
MP3	第三P型金氧半場效電晶體
MP4	第四P型金氧半場效電晶體
MP5	第五P型金氧半場效電晶體
MP6	第六P型金氧半場效電晶體
MP7	第七P型金氧半場效電晶體
MN1	第一N型金氧半場效電晶體
MN2	第二N型金氧半場效電晶體
MN3	第三N型金氧半場效電晶體
MN4	第四N型金氧半場效電晶體
MN5	第五N型金氧半場效電晶體
MN6	第六N型金氧半場效電晶體
MN7	第七N型金氧半場效電晶體

MN8 第八N型金氧半場效電晶體

MPD1,MPD2,MPD3,MPD4,MPD5 串接金氧半場效電晶體

MND1,MND2 串接金氧半場效電晶體

申請專利範圍

1. 一種可提升門鎖防疫能力之主動式防護電路，其係電性連接於一輸入節點與一內部電路之間，包括：
 - 一輸入輸出電路，連接該輸入節點，以透過該輸入節點接收一注入電流，該輸入輸出電路在該注入電流之激發下係產生一基底電流；以及
 - 一主動防護環電路，連接於該輸入輸出電路與該內部電路之間，該主動防護環電路偵測該注入電流高於一門檻值時，係控制該輸入輸出電路產生一補償電流，以補償該基底電流，避免該內部電路發生門鎖效應。
2. 根據請求項1所述之主動式防護電路，其中該注入電流係為一正電流脈衝時，該補償電流係為一反向電流，以減少流入該內部電路之電流大小。
3. 根據請求項1所述之主動式防護電路，其中該注入電流係為一負電流脈衝時，該補償電流係為一正向電流，以減少自該內部電路流出之電流大小。
4. 根據請求項1所述之主動式防護電路，其中該主動防護環電路包含一偵測電路與一控制電路，該偵測電路連接該輸入節點，以針對該注入電流進行偵測，並將偵測結果傳至該控制電路，該控制電路連接該偵測電路與該輸入輸出電路，以根據該偵測結果控制該輸入輸出電路產生該補償電流。
5. 根據請求項4所述之主動式防護電路，其中該偵測電路更包含：
 - 一感測電路，係感測該注入電流係為一正電流脈衝或一負電流脈衝且該注入電流是否高於該門檻值，該感測電路包括一第一N型金氧半場效電晶體、一第一P型金氧半場效電晶體、一第一電阻與一第二電阻，其中該第一N型金氧半場效電晶體之源極係電性連接該第一P型金氧半

場效電晶體之源極與該輸入節點，該第一電阻之一端係連接該第一N型金氧半場效電晶體之汲極，該第一電阻之另一端係連接一高電壓準位，該第一P型金氧半場效電晶體之汲極係連接該第二電阻後接地，且該第一N型金氧半場效電晶體之閘極係接地；以及

一電流鏡電路，電性連接於該第一P型金氧半場效電晶體之閘極與該控制電路之間，以將該感測電路之感測結果鏡射至該控制電路。

6. 根據請求項5所述之主動式防護電路，其中該控制電路更包括：一第二N型金氧半場效電晶體、一第二P型金氧半場效電晶體、一第三N型金氧半場效電晶體、一第三P型金氧半場效電晶體、一第四N型金氧半場效電晶體、一第四P型金氧半場效電晶體、一第五N型金氧半場效電晶體、以及一第五P型金氧半場效電晶體，其中該第二N型金氧半場效電晶體與該第二P型金氧半場效電晶體、該第三N型金氧半場效電晶體與該第三P型金氧半場效電晶體、該第四N型金氧半場效電晶體與該第四P型金氧半場效電晶體、以及該第五N型金氧半場效電晶體與該第五P型金氧半場效電晶體係各自串聯形成一互補式金屬氧化物半導體，該第二N型金氧半場效電晶體之閘極連接該第三N型金氧半場效電晶體之閘極與該第三P型金氧半場效電晶體之汲極，該第四P型金氧半場效電晶體之閘極係連接該第五P型金氧半場效電晶體之閘極與該第五N型金氧半場效電晶體之汲極，該第二N型金氧半場效電晶體之汲極係連接該第二P型金氧半場效電晶體之汲極與該輸入輸出電路，該第四N型金氧半場效電晶體之汲極係連接該第四P型金氧半場效電晶體之汲極與該輸入輸出電路，該第三P型金氧半場效電晶體之閘極係連接該電流鏡電路與該第一N型金氧半場效

- 電晶體之汲極，且該第五N型金氧半場效電晶體之閘極係連接該感測電路之該第一P型金氧半場效電晶體之汲極。
7. 根據請求項6所述之主動式防護電路，其中該電流鏡電路包括：一第六P型金氧半場效電晶體、一第六N型金氧半場效電晶體與一第七N型金氧半場效電晶體，其中該第六P型金氧半場效電晶體之閘極連接該第一P型金氧半場效電晶體之閘極，該第六P型金氧半場效電晶體之源極連接該第一P型金氧半場效電晶體之源極與該輸入節點，該第六P型金氧半場效電晶體之汲極連接該第六N型金氧半場效電晶體之汲極，該第六N型金氧半場效電晶體之源極連接一接地端，該第六N型金氧半場效電晶體之閘極連接該第七N型金氧半場效電晶體之閘極，該第七N型金氧半場效電晶體之源極連接該接地端，該第七N型金氧半場效電晶體之汲極連接該第三P型金氧半場效電晶體之閘極與該第一N型金氧半場效電晶體之汲極。
8. 根據請求項7所述之主動式防護電路，其中該輸入輸出電路係包含一組串聯之第七P型金氧半場效電晶體與第八N型金氧半場效電晶體，其中該第七P型金氧半場效電晶體之汲極係電性連接該第八N型金氧半場效電晶體之汲極與該輸入節點，該第七P型金氧半場效電晶體之源極與該第八N型金氧半場效電晶體之源極係各自連接該高電壓準位與該接地端，該第七P型金氧半場效電晶體之閘極係連接該第二N型金氧半場效電晶體之汲極與該第二P型金氧半場效電晶體之汲極，該第八N型金氧半場效電晶體之閘極係連接該第四N型金氧半場效電晶體之汲極與該第四P型金氧半場效電晶體之汲極。
9. 根據請求項8所述之主動式防護電路，其中該注入電流為該正電流脈衝

時，該第八N型金氧半場效電晶體係導通，以貢獻該反向電流。

10.根據請求項8所述之主動式防護電路，其中該注入電流為該負電流脈衝時，該第七P型金氧半場效電晶體係導通，以貢獻該正向電流。

11.根據請求項8所述之主動式防護電路，其中該第七P型金氧半場效電晶體或該第八N型金氧半場效電晶體更可電性並聯有至少一被動防護環，以減少流入該內部電路或自該內部電路流出之電流大小。

12.一種主動防護環電路，其係連接一內部電路，避免該內部電路發生門鎖效應，該主動防護環電路包括：

一偵測電路，連接一輸入節點，以針對該輸入節點上之一注入電流進行偵測；以及

一控制電路，連接該偵測電路，該控制電路係接收該偵測電路之偵測結果，並在該注入電流高於一門檻值時提供一補償電流，以避免該內部電路發生門鎖效應，其中該注入電流係為一正電流脈衝時，該補償電流係為一反向電流，以減少流入該內部電路之電流大小，該注入電流係為一負電流脈衝時，該補償電流係為一正向電流，以減少自該內部電路流出之電流大小。

13.根據請求項12所述之主動防護環電路，其中該偵測電路更包含：

一感測電路，係感測該注入電流係為該正電流脈衝或該負電流脈衝且該注入電流是否高於該門檻值，該感測電路包括一第一N型金氧半場效電晶體、一第一P型金氧半場效電晶體、一第一電阻與一第二電阻，其中該第一N型金氧半場效電晶體之源極係電性連接該第一P型金氧半場效電晶體之源極與該輸入節點，該第一電阻之一端係連接該第一N

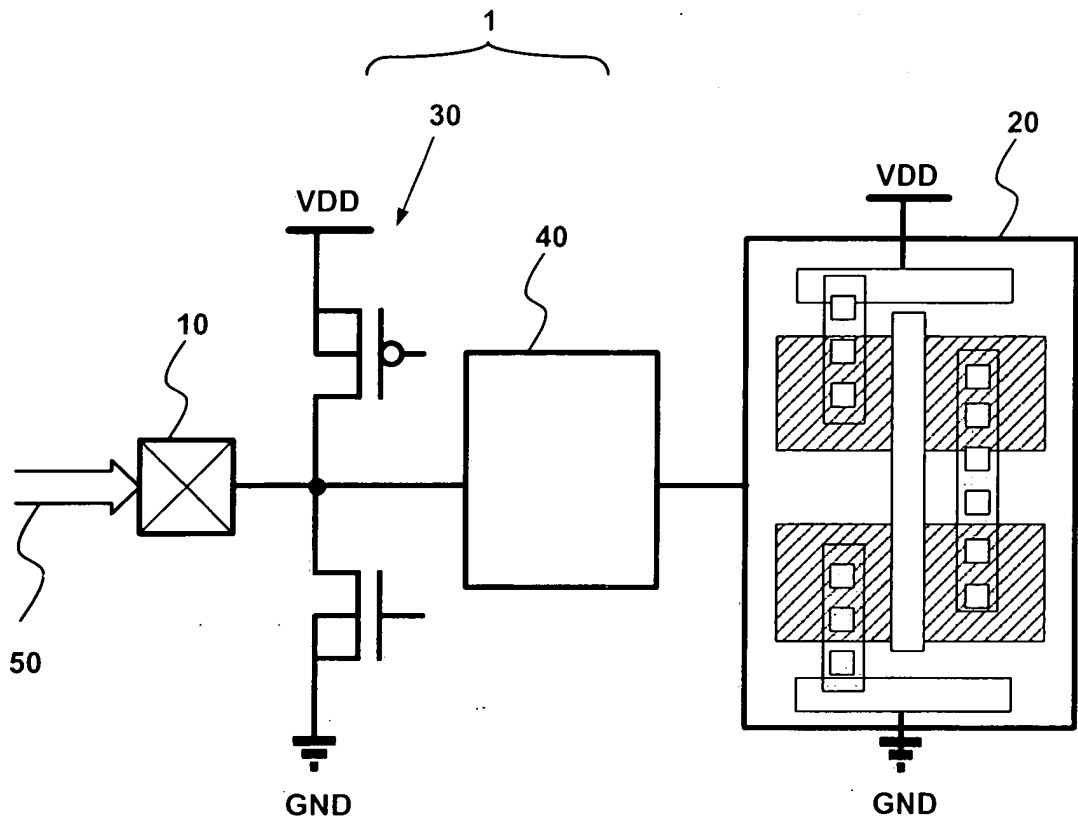
型金氧半場效電晶體之汲極，該第一電阻之另一端係連接一高電壓準位，該第一P型金氧半場效電晶體之汲極係連接該第二電阻後接地，且該第一N型金氧半場效電晶體之閘極係接地；以及一電流鏡電路，電性連接於該第一P型金氧半場效電晶體之閘極與該控制電路之間，以將該感測電路之感測結果鏡射至該控制電路。

14. 根據請求項13所述之主動防護環電路，其中該控制電路更包括：一第二N型金氧半場效電晶體、一第二P型金氧半場效電晶體、一第三N型金氧半場效電晶體、一第三P型金氧半場效電晶體、一第四N型金氧半場效電晶體、一第四P型金氧半場效電晶體、一第五N型金氧半場效電晶體、以及一第五P型金氧半場效電晶體，其中該第二N型金氧半場效電晶體與該第二P型金氧半場效電晶體、該第三N型金氧半場效電晶體與該第三P型金氧半場效電晶體、該第四N型金氧半場效電晶體與該第四P型金氧半場效電晶體、以及該第五N型金氧半場效電晶體與該第五P型金氧半場效電晶體係各自串聯形成一互補式金屬氧化物半導體，該第二N型金氧半場效電晶體之閘極連接該第三N型金氧半場效電晶體之閘極與該第三P型金氧半場效電晶體之汲極，該第四P型金氧半場效電晶體之閘極係連接該第五P型金氧半場效電晶體之閘極與該第五N型金氧半場效電晶體之汲極，該第二N型金氧半場效電晶體之汲極係連接該第二P型金氧半場效電晶體之汲極與一輸入輸出電路，該第四N型金氧半場效電晶體之汲極係連接該第四P型金氧半場效電晶體之汲極，該第三P型金氧半場效電晶體之閘極係連接該電流鏡電路與該第一N型金氧半場效電晶體之汲極，且該第五N型金氧半場效電晶體之閘極係連接該感測電路之該第一P型金

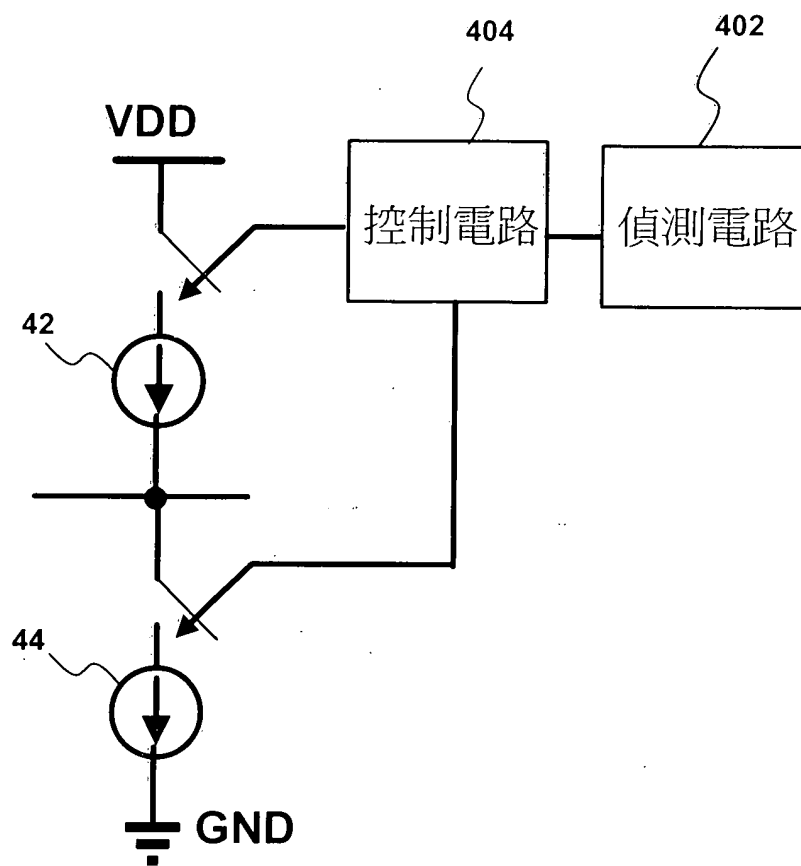
氧半場效電晶體之汲極。

15. 根據請求項14所述之主動防護環電路，其中該電流鏡電路包括：一第六P型金氧半場效電晶體、一第六N型金氧半場效電晶體與一第七N型金氧半場效電晶體，其中該第六P型金氧半場效電晶體之閘極連接該第一P型金氧半場效電晶體之閘極，該第六P型金氧半場效電晶體之源極連接該第一P型金氧半場效電晶體之源極與該輸入節點，該第六P型金氧半場效電晶體之汲極連接該第六N型金氧半場效電晶體之汲極，該第六N型金氧半場效電晶體之源極連接一接地端，該第六N型金氧半場效電晶體之閘極連接該第七N型金氧半場效電晶體之閘極，該第七N型金氧半場效電晶體之源極連接該接地端，該第七N型金氧半場效電晶體之汲極連接該第三P型金氧半場效電晶體之閘極與該第一N型金氧半場效電晶體之汲極。

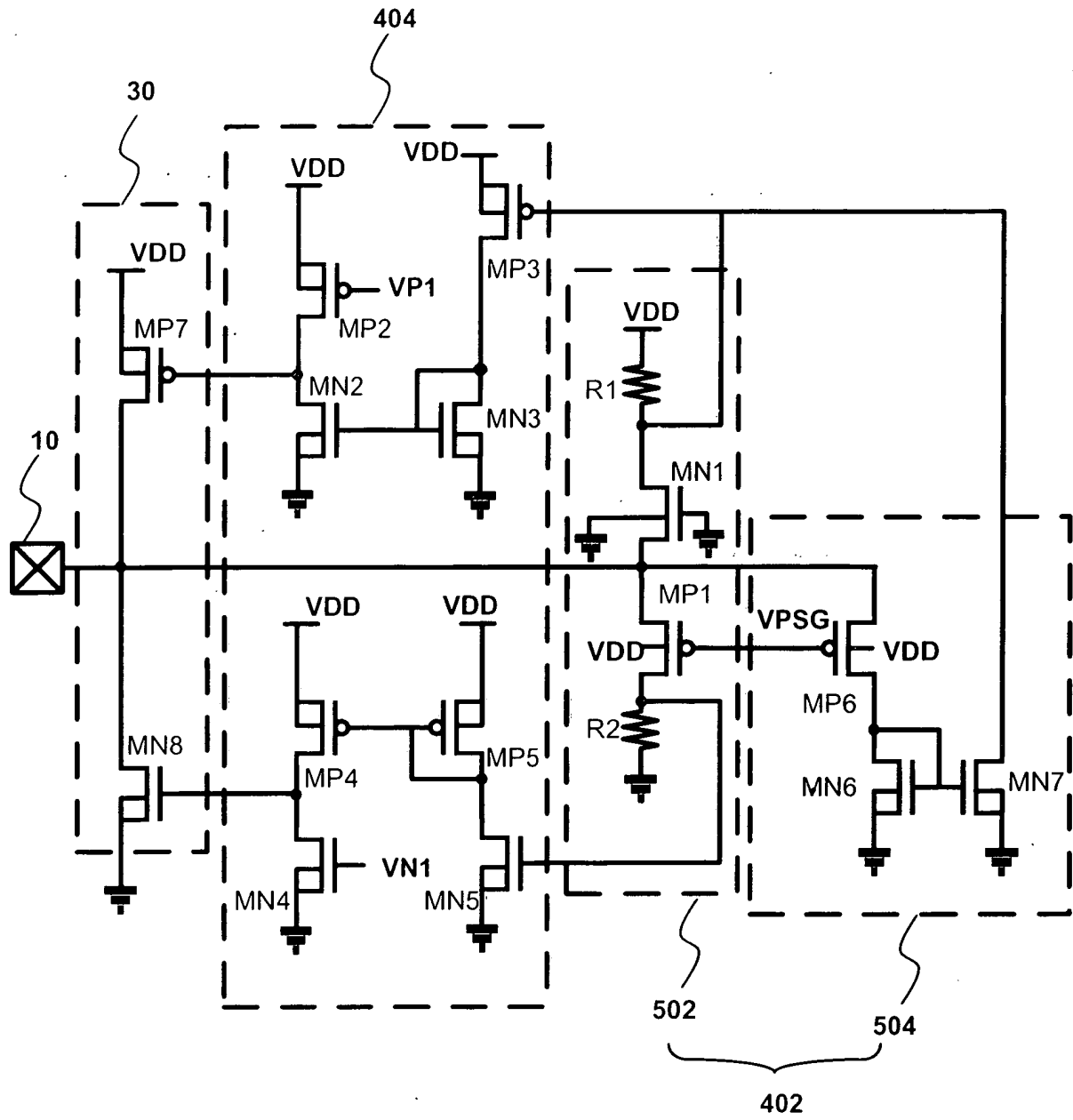
圖式



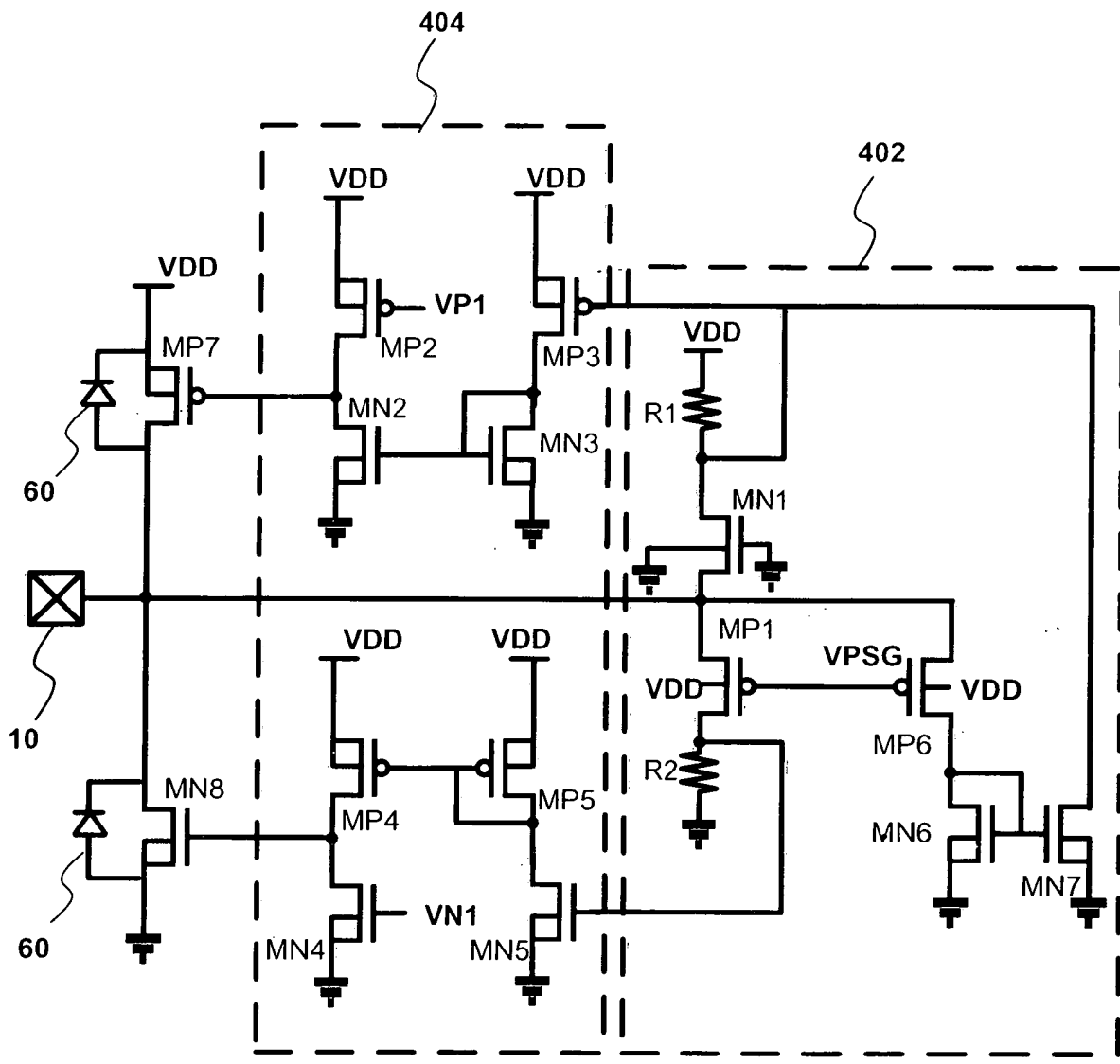
第 1 圖



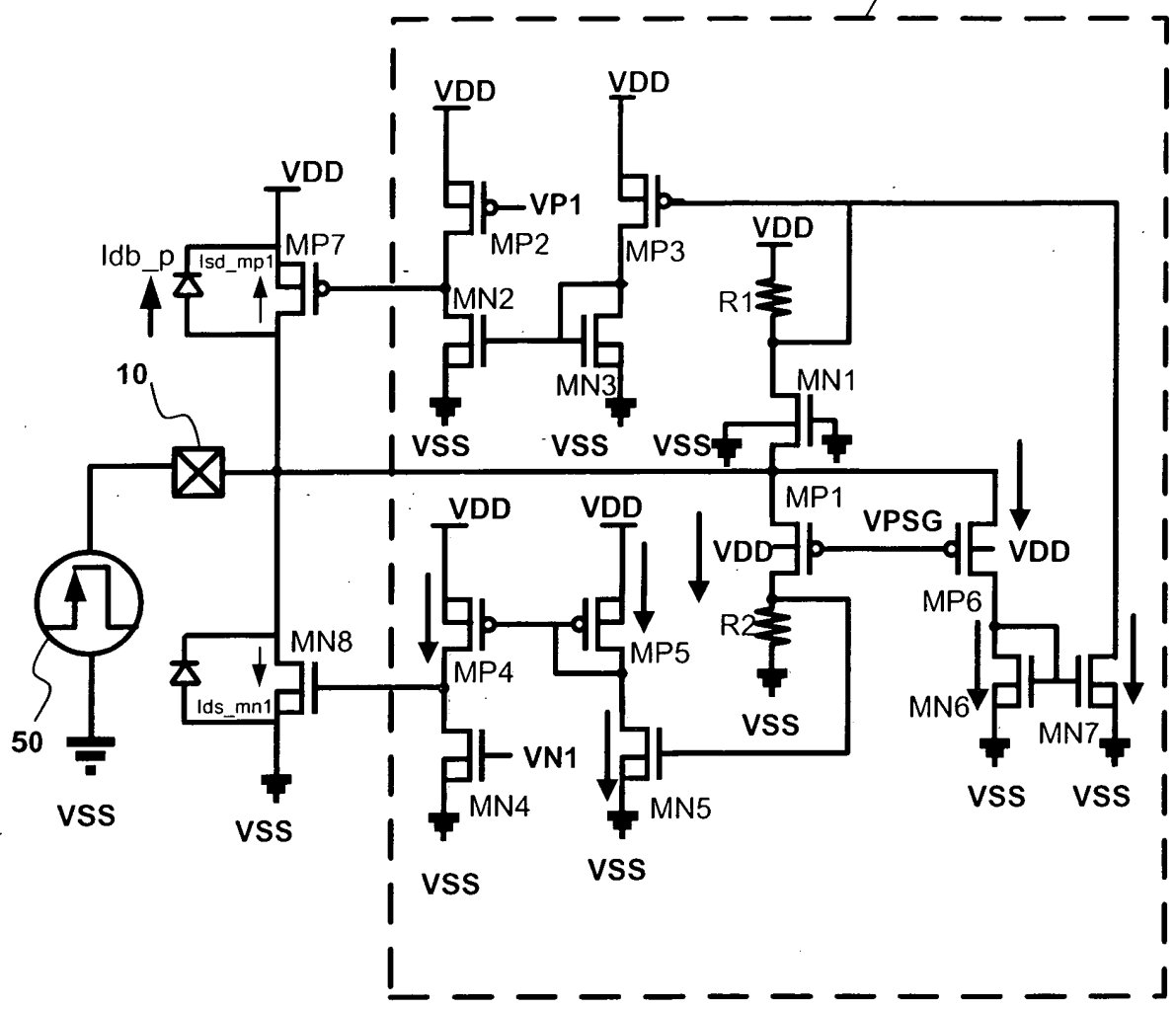
第 2 圖



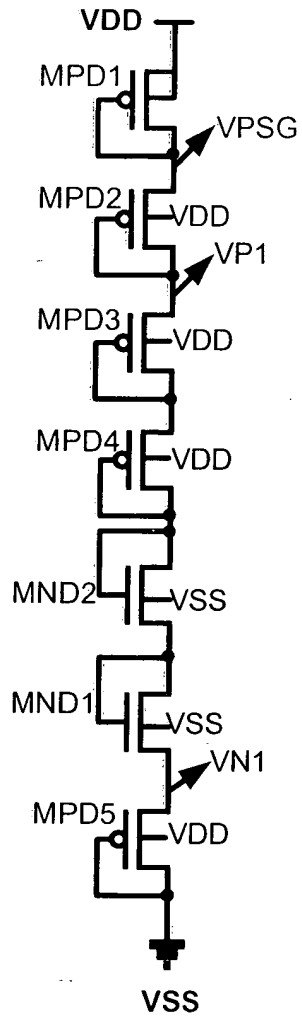
第 3 圖



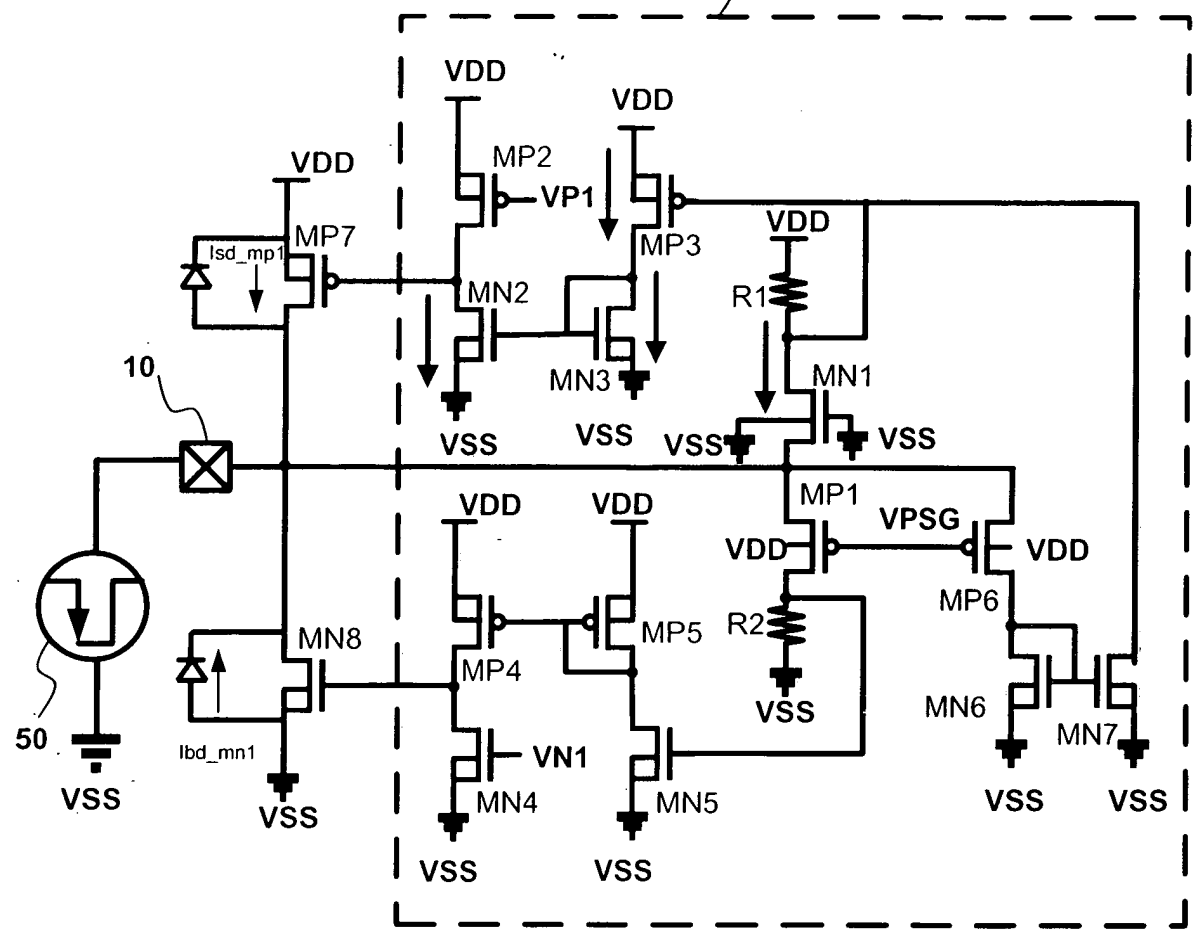
第 4 圖



第 5 圖



第 6 圖



第 7 圖