



(21) 申請案號：103122630

(22) 申請日：中華民國 103 (2014) 年 07 月 01 日

(51) Int. Cl. :

*H01L21/336 (2006.01)**H01L21/28 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：孟心飛 MENG, HSIN FEI (TW)；冉曉雯 ZAN, HSIAO WEN (TW)；趙宇強 CHAO,

YU CHIANG (TW)；洪勝富 HORNG, SHENG FU (TW)；陳兆軒 CHEN, CHAO

HSUAN (TW)；鄭羽彬 CHENG, YU WEN (TW)；張哲豪 CHANG, CHE HAO (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：14 項 圖式數：5 共 23 頁

(54) 名稱

電晶體之製法

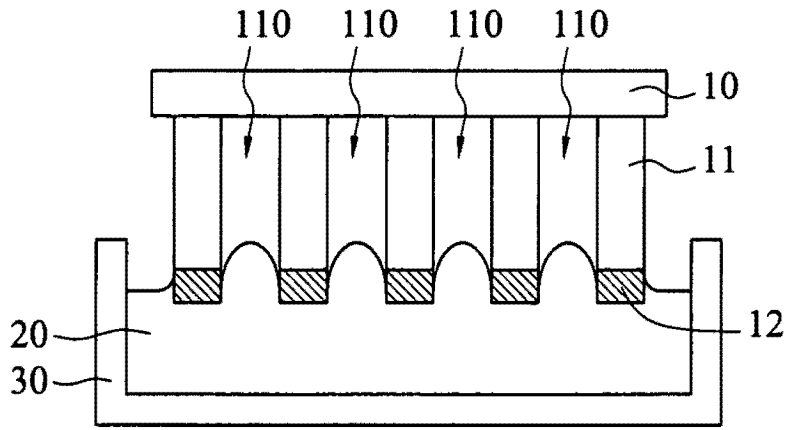
A METHOD OF MANUFACTURING A TRANSISTOR

(57) 摘要

一種電晶體之製法，係先提供一基材與一承載件，該基材上形成有絕緣層，該絕緣層具有複數外露該基材之通道，且該絕緣層上形成有導體層，又該承載件之表面上形成有流體包覆材料；接著，將該基材設於該承載件上，使該導體層接觸該流體包覆材料，之後再移動該基材，使該基材遠離該承載件，以令該流體包覆材料擴散包覆該導體層，待該導體層完全離開該承載件上之流體包覆材料之表面後，使該導體層上之流體包覆材料作為包覆層，故藉由控制該流體包覆材料之濃度及該基材之上升速度，以決定該包覆層的成形範圍，因而可避免成膜厚度太薄之問題。

The present invention discloses a method of manufacturing a transistor. First, a substrate and a carrier are provided. An insulating layer is formed on the substrate and a conducting layer is formed on the insulating layer. The insulating layer has a plurality of channels exposed the substrate and fluid coating material is formed on the surface of the carrier. Second, the substrate is disposed on the carrier so that the conducting layer contacts the fluid coating material. Then the substrate moves away from the carrier so as to the conducting layer is coated with the fluid coating material. After the conducting layer completely moving away from the surface of the fluid coating material on the carrier, the coating layer is formed by the fluid coating material on the conducting layer. Thus, by controlling the concentration of the fluid coating material and the speed of the substrate to determine the scope of the coating layer, the present invention can avoid the problem of thin film thickness.

指定代表圖：



符號簡單說明：

10 . . . 基材

11 . . . 絕緣層

110 . . . 通道

12 . . . 導體層

20 . . . 流體包覆材  
料

30 . . . 承載件

第2B圖

201603143

## 發明摘要

※申請案號 : 107122670  
 ※申請日 : 103. 7. 01

※IPC 分類 :

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

電晶體之製法

A METHOD OF MANUFACTURING A TRANSISTOR

【中文】

一種電晶體之製法，係先提供一基材與一承載件，該基材上形成有絕緣層，該絕緣層具有複數外露該基材之通道，且該絕緣層上形成有導體層，又該承載件之表面上形成有流體包覆材料；接著，將該基材設於該承載件上，使該導體層接觸該流體包覆材料，之後再移動該基材，使該基材遠離該承載件，以令該流體包覆材料擴散包覆該導體層，待該導體層完全離開該承載件上之流體包覆材料之表面後，使該導體層上之流體包覆材料作為包覆層，故藉由控制該流體包覆材料之濃度及該基材之上升速度，以決定該包覆層的成形範圍，因而可避免成膜厚度太薄之問題。

## 【英文】

The present invention discloses a method of manufacturing a transistor. First, a substrate and a carrier are provided. An insulating layer is formed on the substrate and a conducting layer is formed on the insulating layer. The insulating layer has a plurality of channels exposed the substrate and fluid coating material is formed on the surface of the carrier. Second, the substrate is disposed on the carrier so that the conducting layer contacts the fluid coating material. Then the substrate moves away from the carrier so as to the conducting layer is coated with the fluid coating material. After the conducting layer completely moving away from the surface of the fluid coating material on the carrier, the coating layer is formed by the fluid coating material on the conducting layer. Thus, by controlling the concentration of the fluid coating material and the speed of the substrate to determine the scope of the coating layer, the present invention can avoid the problem of thin film thickness.



**【代表圖】**

**【本案指定代表圖】**：第（ 2B ）圖。

**【本代表圖之符號簡單說明】**：

10	基材
11	絕緣層
110	通道
12	導體層
20	流體包覆材料
30	承載件

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

電晶體之製法

A METHOD OF MANUFACTURING A TRANSISTOR

## 【技術領域】

本發明係關於一種電晶體，特別是關於一種空間電荷限制之電晶體之製法。

## 【先前技術】

空間電荷限制電晶體(Space-Charge-Limited Transistor; SCLT)的結構概念與操作原理類似於真空三極管。其射極(Emitter)對應到真空管中的加熱陰極，作為載子注入端；集極(Collector)對應到陽極金屬板，負責收集從通道通過的載子；基極(Base)對應到網柵(grid)，作用為控制通道中電流的開關；真空層則對應到載子的半導體傳輸層。

所述之 SCLT 的作動方式係在 SCLT 為開啓狀態時，輸出的電流最高達  $50\text{mA}/\text{cm}^2$ ，以此電流密度可驅動主動矩陣有機發光二極體(Active-matrix organic light-emitting diode, AMOLED)，但在 SCLT 為關閉狀態時，卻會產生  $10^{-3}\sim 10^{-4}$  的漏電流。

因此，遂藉由薄膜包覆該導體層，以克服電晶體之漏電流的問題。

現今奈米薄膜的製備方法相當多樣化，其大致可分為乾式塗佈法(Dry Coating method)及溼式塗佈法(Wet

Coating method)。近年來於電晶體製程中係廣泛運用該溼式塗佈法，其原因在於該溼式塗佈法具有高效率、低成本之特點。例如，該溼式塗佈法中最廣泛之方式係為旋轉塗佈法（Spin coating）及浸沾式塗佈法（Dip coating）。

然而，旋轉塗佈法通常侷限於在平整表面進行塗佈，若以旋轉塗佈法在不規則表面（如柱狀結構）上形成薄膜時，則會有填滿孔洞或薄膜飄浮在該不規則表面的情況發生。

再者，浸沾式塗佈法雖可在不規則表面上形成薄膜，但受限於液體黏度及重力作用之影響，則會限制成膜厚度而無法具備絕緣效果的問題。

因此，如何克服上述習知技術的種種問題，實已成為目前亟欲解決之問題。

### **【發明內容】**

本發明係提供一種電晶體之製法，包括：提供一基材與一承載件，俾於該基材上形成一具有複數外露部份該基材之通道的絕緣層，並於該絕緣層上形成導體層，及於該承載件之表面上形成流體包覆材料；將該基材設於該承載件上，使該導體層接觸該流體包覆材料；移動該基材，使該基材遠離該承載件，以令該流體包覆材料擴散包覆該導體層；以及令該導體層完全離開該承載件上之流體包覆材料之表面，以使該導體層上之流體包覆材料作為包覆層。

前述之製法中，該基材具有集極層，且該絕緣層係為奈米結構。

前述之製法中，該些通道係相互連通，使該絕緣層形成為具有複數柱體之結構。

前述之製法中，該導體層係為基極層，例如，形成該導體層之材質係為金屬材。

前述之製法中，該流體包覆材料係以聚乙烯比咯酮粉末溶於去離子水所配製而成，且該流體包覆材料的濃度為1~5 wt%。

前述之製法中，該流體包覆材料之濃度及該基材遠離該承載件之速度係用以控制該流體包覆材料包覆該導體層之表面面積。

前述之製法中，形成該包覆層之材質係為絕緣材。

前述之製法中，在該導體層完全離開該流體包覆材料之表面後，復包括固化該包覆層。

前述之製法中，該包覆層復延伸至該通道之表面上。

前述之製法中，復包括形成半導體層，以覆蓋該絕緣層與包覆層；又包括形成射極層於該半導體層上。

由上可知，本發明之電晶體之製法，係藉由包覆層包覆該導體層，以克服習知技術中之漏電流的問題。

再者，藉由該流體包覆材料的表面張力與該導體層間的虹吸現象，以於移動該基材而使該基材遠離該承載件時，令該流體包覆材料擴散包覆該導體層而形成薄膜，且可克服成膜厚度太薄的問題。

### 【圖式簡單說明】

第1圖係為本發明之電晶體之剖面示意圖；

第 2A 至 2F 圖為本發明之電晶體之製法之第一實施例之剖面示意圖；

第 3A 至 3E 圖為本發明之電晶體之製法之第二實施例之剖面示意圖；

第 4 圖為以本發明之電晶體之製法所製成之電晶體的第一 SEM 圖像；以及

第 5 圖為以本發明之電晶體之製法所製成之電晶體的第二 SEM 圖像。

### 【實施方式】

以下藉由特定之具體實施例加以說明本案之實施方式，而熟悉此技術之人士可由本說明書所揭示之內容輕易地瞭解本案之其他優點和功效，亦可藉由其他不同的具體實施例加以施行或應用。因此，以下本案涵蓋本文揭示的任何特定實施例之任何部件或方法，可與本文揭示的任何其他實施例之任何部件或方法相結合。

第 1 圖係為本發明之電晶體 1 之剖面示意圖。如第 1 圖所示，所述之電晶體 1 係包括一基材 10、形成於該基材 10 上之一絕緣層 11、形成於該絕緣層 11 上之一導體層 12、包覆該導體層 12 之包覆層 13、覆蓋該絕緣層 11 與包覆層 13 之一半導體層 14、以及設於該半導體層 14 上之一射極層 15。

所述之基材 10 係具有玻璃板 100 與設於該玻璃板 100 上之如氧化銦錫材料(ITO)之集極層 101。

所述之絕緣層 11 係具有複數外露該基材 10 (如集極

層 101) 之通道 110，且各該通道 110 係為奈米尺寸，使該絕緣層 11 成為奈米結構。於製作該奈米結構時，若該些通道 110 相互連通，該絕緣層 11 將形成具有複數奈米柱體之結構。

所述之導體層 12 係為基極層且蒸鍍於該絕緣層 11 之頂面，使該導體層 12 成為網格狀。於本實施例中，該導體層 12 的材料係為金屬材，如鋁。除了蒸鍍外，亦可採濺鍍、E-beam 等製程技術，本案並不以此為限。

所述之包覆層 13 係延伸至該通道 110 之部分表面上，使該電晶體 1 之防止漏電流的效果最佳化。於本實施例中，該包覆層 13 之材質係為絕緣材，例如，聚乙烯四氫吡喃(PVP)、氟化橡膠(CYTOP)或聚乙烯醇(PVA)等，但是並不限於此。

所述之半導體層 14 之材質係為有機材，如聚噻吩共軛高分子(Poly(3-hexylthiophene-2,5-diyl)，簡稱 P3HT)。

所述之射極層 15 之材質係為鋁或包覆有三氧化鉬( $\text{MoO}_3$ )的鋁。

在本發明之電晶體 1 中，當該導體層 12 被該包覆層 13 覆蓋時，該導體層 12 與該半導體層 14 之間的能障變高，即能達到漏電流變小之結果。

因此，該包覆層 13 僅覆蓋該導體層 12 之頂面即可達到防止漏電流之目的。較佳者，該包覆層 13 可覆蓋該導體層 12 的頂面及側面，以提升防止漏電流的效果。更佳者，該包覆層 13 係延伸至該絕緣層 11 之側面，更能提升防止

漏電流的效果。

以下藉由第一至第二實施例說明該包覆層 13 之製程。

第 2A 至 2F 圖係為本發明之電晶體 1 之製法之第一實施例之剖面示意圖。

如第 2A 圖所示，提供一基材 10，該基材 10 上形成有一絕緣層 11，該絕緣層 11 具有複數外露該基材 10 之通道 110，且該絕緣層 11 上形成有導體層 12。

如第 2B 圖所示，提供一如容器之承載件 30，且該承載件 30 中裝有流體包覆材料 20，再將該基材 10 倒置朝向該流體包覆材料 20 之上方，並使該導體層 12 與部分該絕緣層 11 垂直浸入該流體包覆材料 20 中。

於本實施例中，不可將該基材 10 與全部該導體層 12 浸入該流體包覆材料 20 中。

再者，該流體包覆材料 20 係以聚乙烯吡咯烷酮 (Polyvinylpyrrolidone, PVP) 粉末溶於去離子水所配製而成，且濃度為 1 至 5 wt%。換言之，該流體包覆材料 20 係以大量溶劑及少量溶質所調配而成之液體。

另外，該流體包覆材料 20 亦可以氟化橡膠 (CYTOP) 或聚乙烯醇 (PVA) 來配製成一定濃度，並無特別限制。

如第 2C 圖所示，以一固定速度緩慢移動該基材 10，即緩慢升起該基材 10，使該基材 10 遠離該承載件 30 直至該導體層 12 完全離開該流體包覆材料 20 之表面。於該基材 10 之上升過程中，藉由該流體包覆材料 20 的表面張力，令該流體包覆材料 20 擴散至該導體層 12 之頂面與側面而

包覆該導體層 12，且可擴散至該通道 110 之部分表面上。

於本實施例中，由於該流體包覆材料 20 的表面張力、及該流體包覆材料 20 與該絕緣層 11 之間的虹吸現象，使該流體包覆材料 20' 會產生毛細現象而鑽進絕緣層 11 的通道 110 內，進而包覆該導體層 12。

再者，該流體包覆材料 20 之濃度及該基材 10 遠離該承載件 30 之速度（即上升速度）會影響該流體包覆材料 20' 包覆該導體層 12 之表面的佈設面積。具體地，該導體層 12 接觸該流體包覆材料 20 之表面後，該流體包覆材料 20 與導體層 12 之間將形成一接觸角，本實施例之流體包覆材料 20' 因產生較大接觸角而會留在通道 110 靠近導體層 12 的表面。

又，所述之固定速度係指維持一定且不會改變移動方向。

如第 2D 至 2E 圖所示，移除該承載件 30 及其內的流體包覆材料 20，使保留於該導體層 12 上與該通道 110 之部分表面上之流體包覆材料 20' 作為該包覆層 13。之後，再固化（如烘烤）該包覆層 13。

於本實施例中，係在氮氣（ $N_2$ ）環境下利用紫外光 40 之光源照射包覆該導體層 12 上的流體包覆材料 20'，以產生光交聯反應。該紫外光 40 具體可為 30 mW 之功率、波長 257.9nm 的紫外光，但本案並不以此為限。因此，包覆該導體層 12 的流體包覆材料 20' 在產生光交聯反應後，將會固化形成該包覆層 13。



如第 2F 圖所示，形成一半導體層 14 以覆蓋該絕緣層 11 與該包覆層 13，再形成一射極層 15 於該半導體層 14 上。

第 3A 至 3E 圖係為本發明之電晶體之製法之第二實施例之剖面示意圖。本實施例中係以控制流體包覆材料之濃度及基材的上升速度，來決定經光交聯作用後形成的包覆層是否要延伸包覆至基材或絕緣層的表面上。

如第 3A 圖所示，提供一基材 10，該基材 10 上形成有一絕緣層 11，該絕緣層 11 具有複數外露該基材 10 之通道 110，且該絕緣層 11 上形成有導體層 12。

如第 3B 圖所示，將該基材 10 倒置向下而使該導體層 12 垂直浸入流體包覆材料 50 中，使該導體層 12 水平接觸該流體包覆材料 50 的表面。需注意的是，不可將該導體層 12 整個浸入該流體包覆材料 50 中，僅需使該導體層 12 輕微接觸到該流體包覆材料 50 之表面即可。

於本實施例中，該流體包覆材料 50 之濃度不同於第一實施例之流體包覆材料 20 之濃度。具體地，該流體包覆材料 50 之濃度係會使其接觸角小於第一實施例中的流體包覆材料 20 之接觸角，即本實施例的流體包覆材料 50 之濃度低於第一實施例之流體包覆材料 20 之濃度。因此，該流體包覆材料 50 將因毛細現象而流入該通道 110 內並延伸至可接觸到該通道 110 內之絕緣層 11 表面，進而接觸該基材 10 之外露表面。

如第 3C 圖所示，將該基材 10 以一固定速度上升，使該導體層 12 完全離開該流體包覆材料 50 的表面，此時，

該流體包覆材料 50' 將包覆該導體層 12、通道 110 中的絕緣層 11 及基材 10 之表面。

如第 3D 至 3E 圖所示，可參照第 2D 至 2E 圖所示，使保留於該導體層 12 上與該通道 110 內之流體包覆材料 50' 作為該包覆層 13'。

本發明之包覆層 13,13' 之薄膜塗佈方法除了藉由控制該流體包覆材料 20,50 之濃度來決定該包覆層 13,13' 的包覆範圍外，亦需配合該基材 10 的上升速度，以有效控制該包覆層 13,13' 的包覆範圍。

前述第一實施例中的流體包覆材料係為低濃度之溶液，而第二實施例中的流體包覆材料係為高濃度之溶液。具體地，如第 4 圖所示，流體包覆材料係為低濃度之溶液，例如為 1wt%~2wt%。在使用低濃度的流體包覆材料且在基材的上升速度慢之情況下，因所吸附的流體包覆材料較少，故可形成如第 3C 圖的階梯覆蓋（conformal）結構。在相同濃度的情況下，基材的上升速度較快時，因所吸附的流體包覆材料較多，則容易出現把奈米柱狀結構的孔洞（如通道 110）填滿的情況，如第 4 圖中濃度 2wt%、速度 0.20 mm/s 所示的結構。

另如第 5 圖所示，流體包覆材料為高濃度之溶液，例如為 4wt%~5wt%。在使用高濃度的流體包覆材料且在基材的上升速度慢之情況下，因所吸附的流體包覆材料較少，故可形成如第 2C 圖的頂端包覆結構。在相同濃度的情況下，基材的上升速度較快時，因所吸附的流體包覆材料較

多，則流體包覆材料容易懸浮在奈米柱狀結構的孔洞（如通道 110）上方的情況，如第 5 圖中上升速度為 0.04mm/s、濃度為 4wt% 及 5wt% 所示的結構。

換言之，上升速度的增加，將造成殘留在該基材上的流體包覆材料的量越多，而針對流體包覆材料的濃度之不同，而分別有懸浮在孔洞上方、孔洞填滿的情況。

綜上所述，本發明之製法係依據流體包覆材料的不同濃度及基材之上升速度進行調變，以獲得不同形式的包覆層。

再者，亦可配合導體層水平接觸該流體包覆材料表面後停止之技術手段，方能有效利用虹吸現象以均勻成膜，並可將成膜之厚度從數奈米提昇至數十奈米，故本發明之製法可於不規則表面上完成塗佈薄膜作業，更能克服因成膜厚度太薄而無絕緣效果之問題，且具備成本低廉、製作簡單快速之功效。

另外，本發明之包覆層之薄膜成形方法亦可應用於有機半導體元件製程，用以製造如垂直式空間限制電晶體（space charge-limited transistor, SCLT）、氣體感測元件及 IGZO 電晶體等元件。

上述實施形態僅為例示性說明本案之技術原理、特點及其功效，並非用以限制本案之可實施範疇，任何熟習此技術之人士均可在不違背本案之精神與範疇下，對上述實施形態進行修飾與改變。然任何運用本案所教示內容而完成之等效修飾及改變，均仍應為下述之申請專利範圍所涵

蓋。而本案之權利保護範圍，應如下述之申請專利範圍所列。

**【符號說明】**

1	電晶體
10	基材
100	玻璃板
101	集極層
11	絕緣層
110	通道
12	導體層
13、13'	包覆層
14	半導體層
15	射極層
20、20'、50、50'	流體包覆材料
30	承載件
40	紫外光

## 申請專利範圍

1. 一種電晶體之製法，包括：

提供一基材與一承載件，俾於該基材上形成一具有複數外露部份該基材之通道的絕緣層，並於該絕緣層上形成導體層，及於該承載件之表面上形成流體包覆材料；

將該基材設於該承載件上，使該導體層接觸該流體包覆材料；

移動該基材，使該基材遠離該承載件，以令該流體包覆材料擴散包覆該導體層；以及

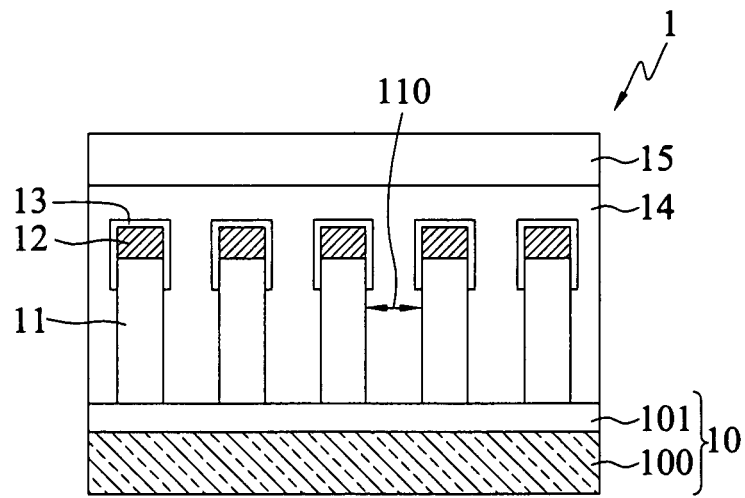
令該導體層完全離開該承載件上之流體包覆材料之表面，以使該導體層上之流體包覆材料作為包覆層。

2. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該基材具有集極層。
3. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該絕緣層係為奈米結構。
4. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該些通道係相互連通，使該絕緣層形成為具有複數柱體之結構。
5. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該導體層係為基極層。
6. 如申請專利範圍第 1 項所述之電晶體之製法，其中，形成該導體層之材質係為金屬材。
7. 如申請專利範圍第 1 項所述之電晶體之製法，其中，

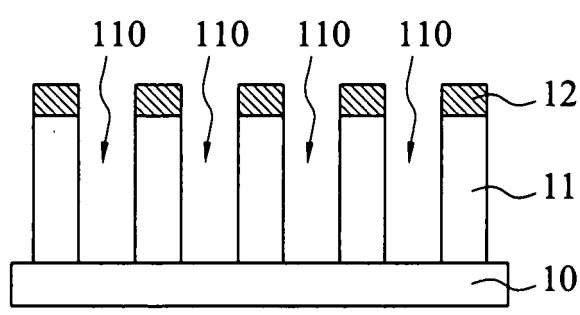
該流體包覆材料係以聚乙烯比咯酮粉末溶於去離子水所配製而成。

8. 如申請專利範圍第 7 項所述之電晶體之製法，其中，該流體包覆材料的濃度為 1~5 wt%。
9. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該流體包覆材料之濃度及該基材遠離該承載件之速度係用以控制該流體包覆材料包覆該導體層之表面面積。
10. 如申請專利範圍第 1 項所述之電晶體之製法，在該導體層完全離開該流體包覆材料之表面後，復包括固化該包覆層。
11. 如申請專利範圍第 1 項所述之電晶體之製法，其中，形成該包覆層之材質係為絕緣材。
12. 如申請專利範圍第 1 項所述之電晶體之製法，其中，該包覆層復延伸至該通道之表面上。
13. 如申請專利範圍第 1 項所述之電晶體之製法，復包括形成半導體層，以覆蓋該絕緣層與包覆層。
14. 如申請專利範圍第 13 項所述之電晶體之製法，復包括形成射極層於該半導體層上。

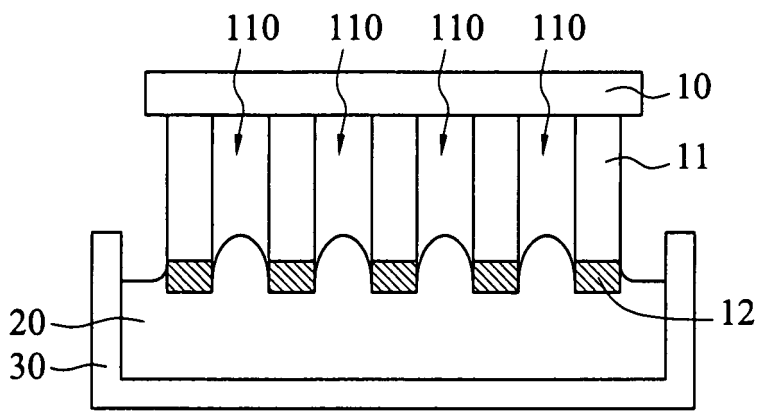
圖式



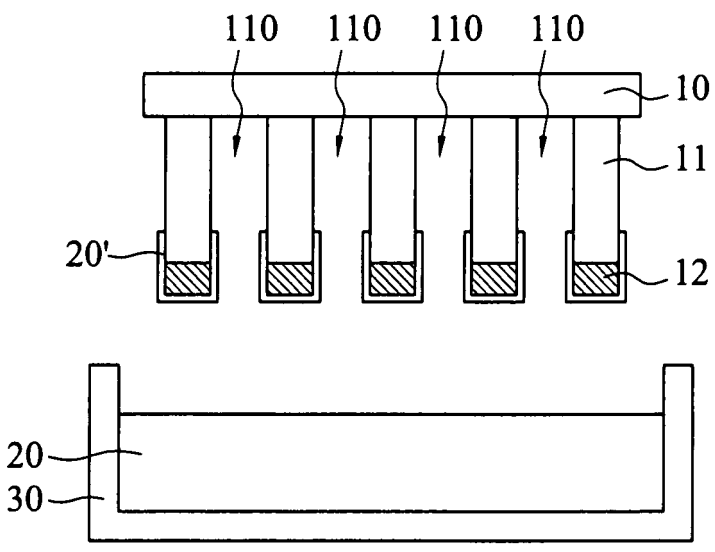
第1圖



第2A圖

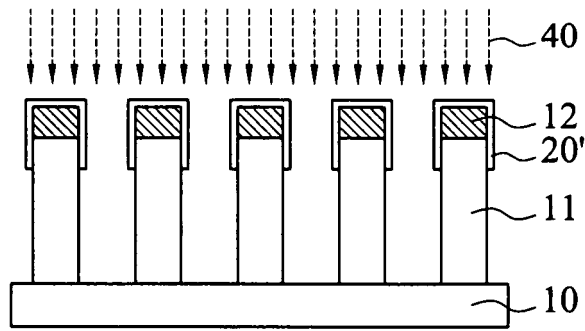


第2B圖

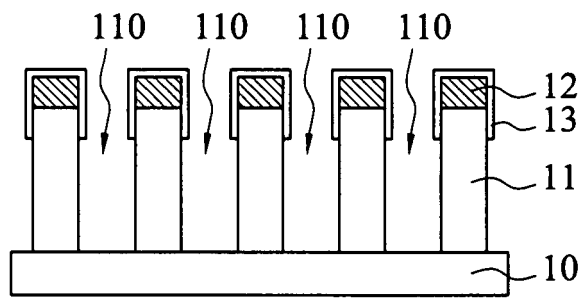


第2C圖

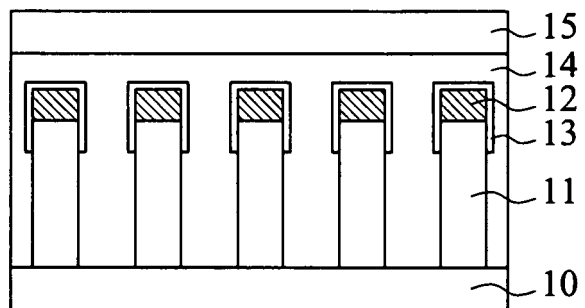




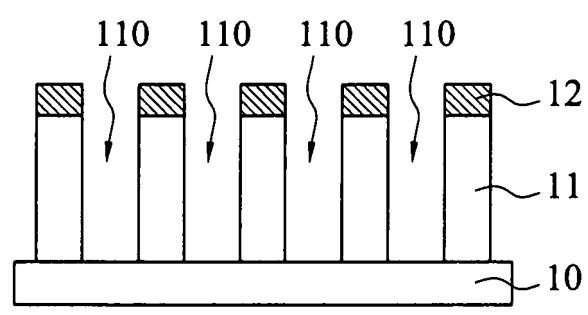
第2D圖



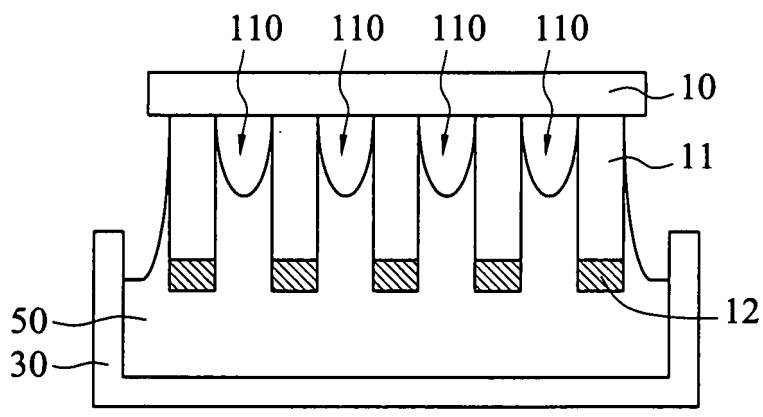
第2E圖



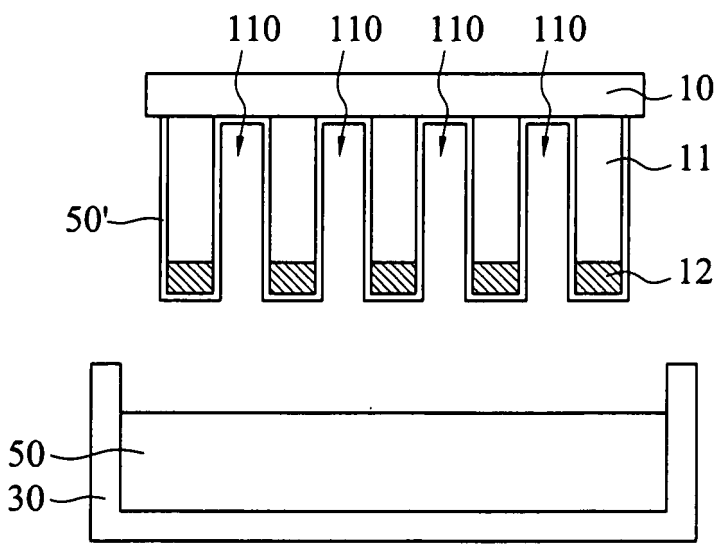
第2F圖



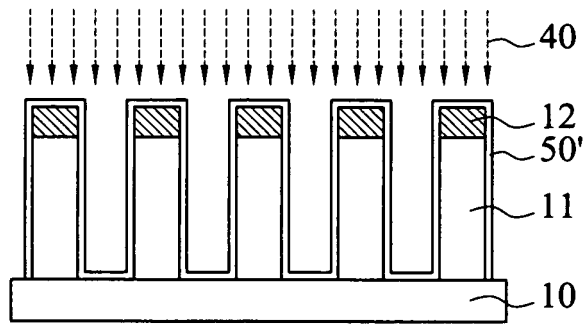
第3A圖



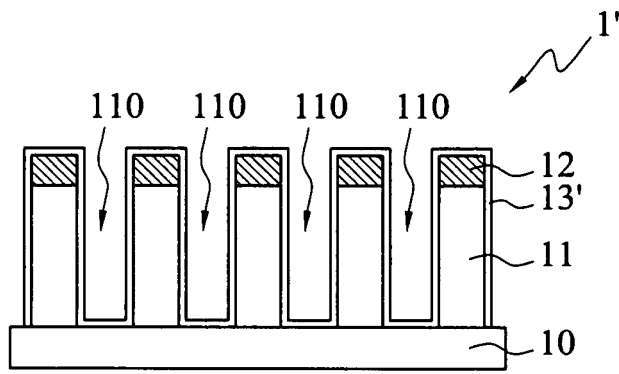
第3B圖



第3C圖

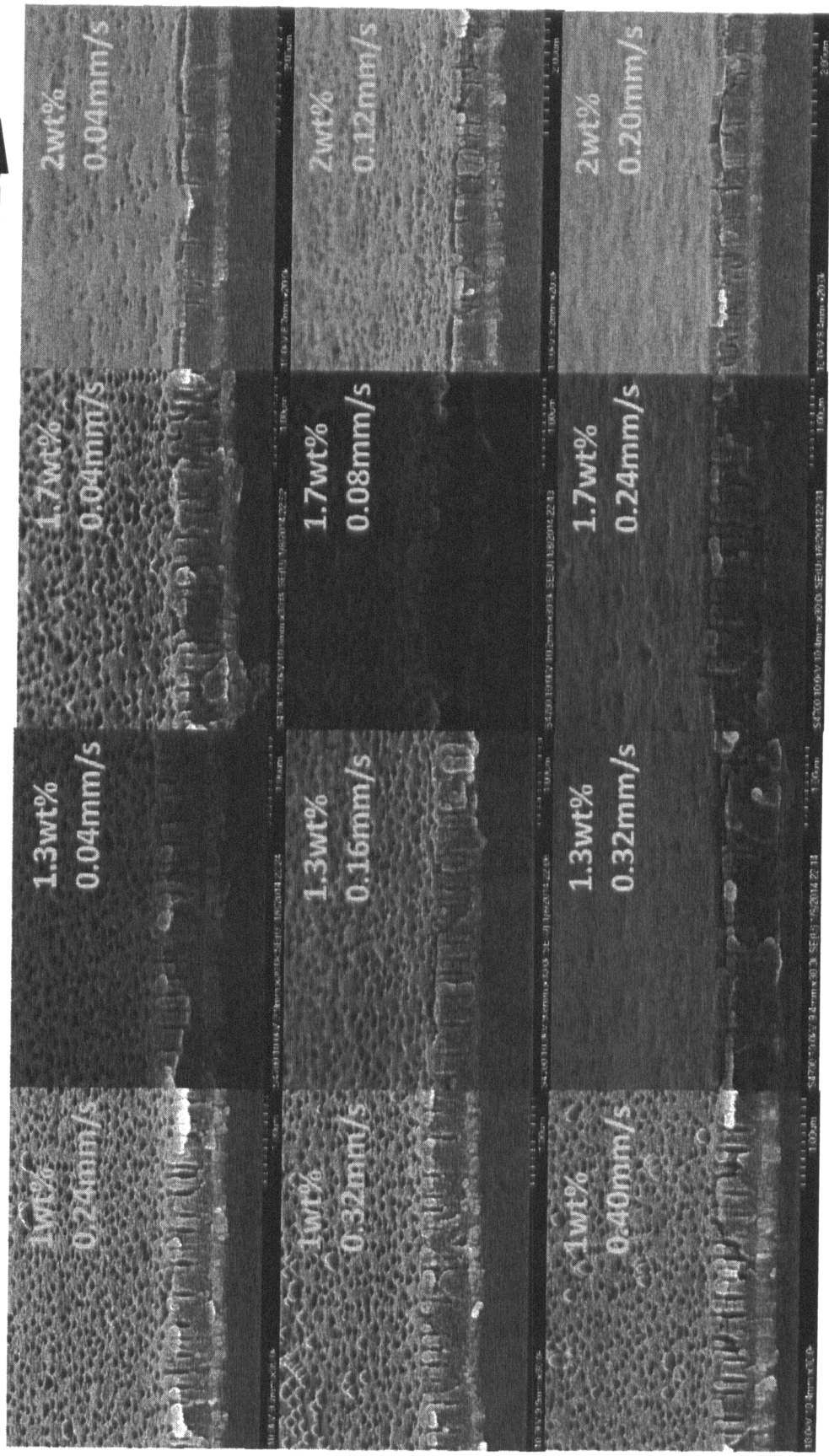


第3D圖



第3E圖

濃度

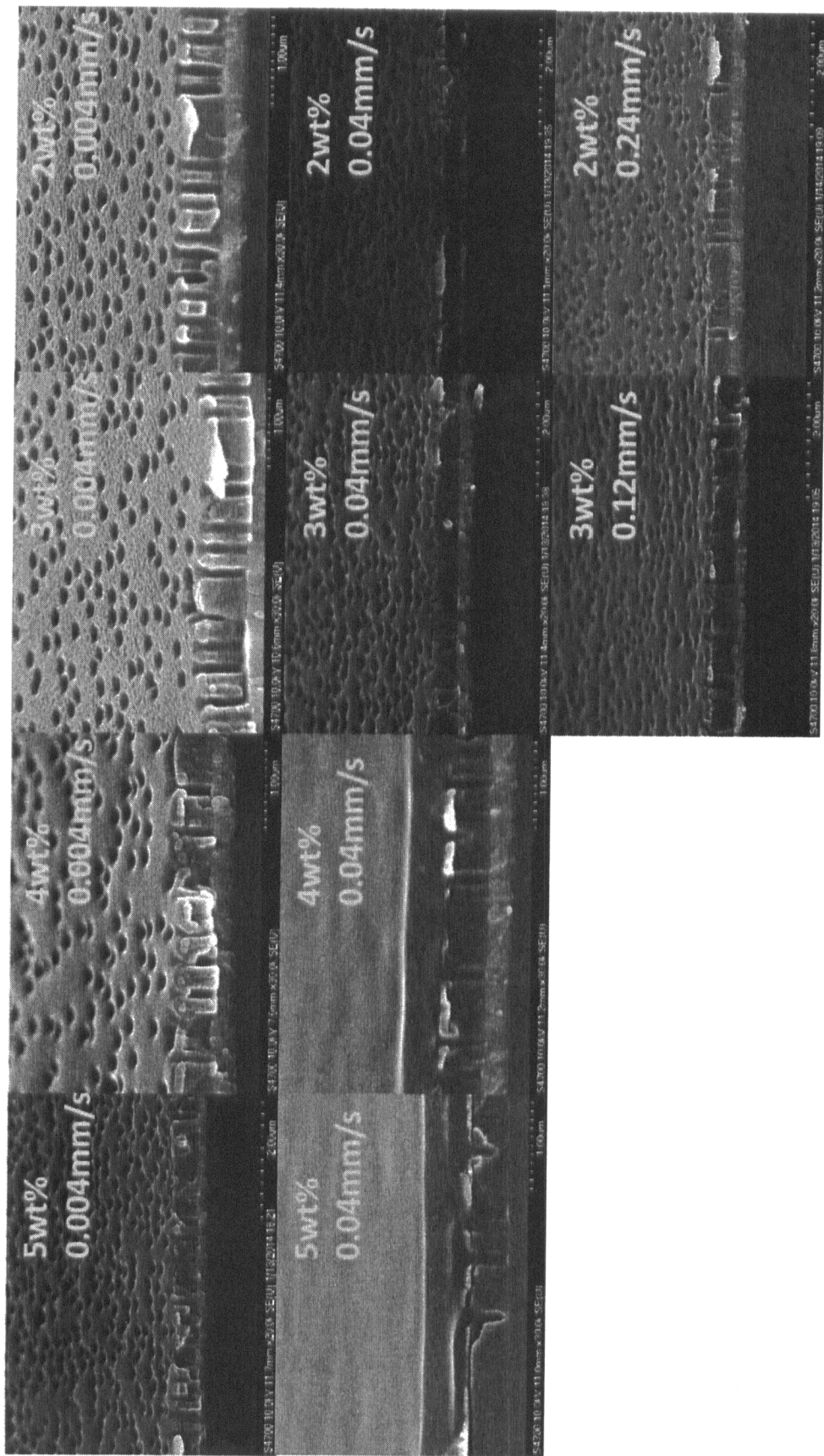


速度

第4圖



濃度



速度

第5圖