



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201611243 A

(43) 公開日：中華民國 105 (2016) 年 03 月 16 日

(21) 申請案號：103130596

(22) 申請日：中華民國 103 (2014) 年 09 月 04 日

(51) Int. Cl. :

*H01L27/115 (2006.01)**H01L21/28 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, POTSUN (TW)；范揚順 FAN, YANGSHUN (TW)；陳鈞罄 CHEN, CHUNCHING (TW)

(74) 代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 25 頁

(54) 名稱

記憶體結構及其製備方法

MEMORY STRUCTURE AND PREPARATION METHOD THEREOF

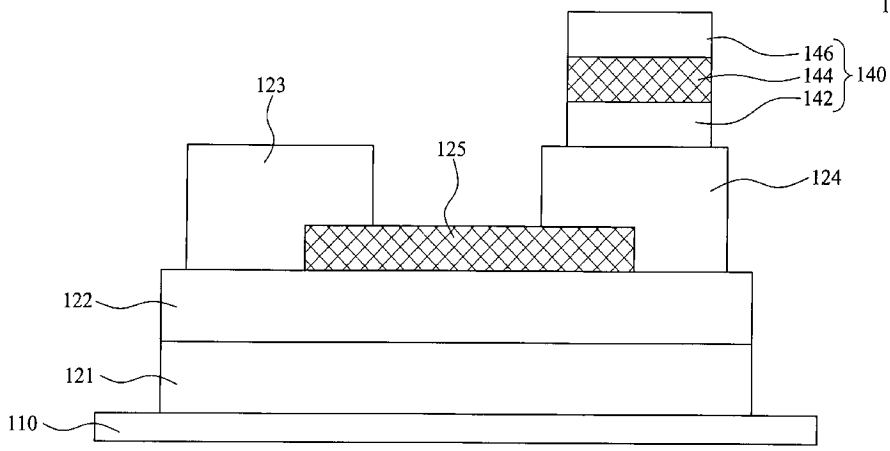
(57) 摘要

一種記憶體結構，包含一控制單元以及一記憶單元電性連接至控制單元。控制單元包含一源極與一汲極；一主動層，接觸源極之一部分及汲極之一部分；一閘極層；以及一閘極絕緣層，位於主動層與閘極層之間。記憶單元包含一底電極層；一頂電極層；以及一電阻切換層，電阻切換層位於底電極層以及頂電極層之間，其中電阻切換層與主動層之材質為氧化鋁鋅錫。

A memory structure includes a control unit and a memory unit electrically connected to the control unit. The control unit includes a source and a drain; an active layer contacted with a part of the source and a part of the drain; a gate layer; and a gate insulating layer between the active layer and the gate layer. The memory unit includes a bottom electrode layer; a top electrode layer; and a resistance switching layer disposed between the bottom electrode layer and the top electrode layer, which the resistance switching layer and the active layer are formed of aluminum zinc tin oxide.

指定代表圖：

100



第 1 圖

符號簡單說明：

121
122
123
124
125

} 120

- 100 . . . 記憶體結構
- 110 . . . 基板
- 120 . . . 控制單元
- 121 . . . 閘極層
- 122 . . . 閘極絕緣層
- 123 . . . 源極
- 124 . . . 汲極
- 125 . . . 主動層
- 140 . . . 記憶單元
- 142 . . . 底電極層
- 144 . . . 電阻切換層
- 146 . . . 頂電極層

發明摘要

※申請案號：103130596

※申請日：103. 9. 04

※IPC 分類：

【發明名稱】(中文/英文)

記憶體結構及其製備方法

MEMORY STRUCTURE AND PREPARATION METHOD
THEREOF

H01L 27/115 2006.01

H01L 21/28 2006.01

【中文】

一種記憶體結構，包含一控制單元以及一記憶單元電性連接至控制單元。控制單元包含一源極與一汲極；一主動層，接觸源極之一部分及汲極之一部分；一閘極層；以及一閘極絕緣層，位於主動層與閘極層之間。記憶單元包含一底電極層；一頂電極層；以及一電阻切換層，電阻切換層位於底電極層以及頂電極層之間，其中電阻切換層與主動層之材質為氧化鋁銻錫。

【英文】

A memory structure includes a control unit and a memory unit electrically connected to the control unit. The control unit includes a source and a drain; an active layer contacted with a part of the source and a part of the drain; a gate layer; and a gate insulating layer between the active

layer and the gate layer. The memory unit includes a bottom electrode layer; a top electrode layer; and a resistance switching layer disposed between the bottom electrode layer and the top electrode layer, which the resistance switching layer and the active layer are formed of aluminum zinc tin oxide.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100：記憶體結構

110：基板

120：控制單元

121：閘極層

122：閘極絕緣層

123：源極

124：汲極

125：主動層

140：記憶單元

142：底電極層

144：電阻切換層

146：頂電極層

發明專利說明書

【發明名稱】(中文/英文)

記憶體結構及其製備方法

MEMORY STRUCTURE AND PREPARATION METHOD
THEREOF

【技術領域】

【0001】本發明是有關於一種記憶體結構及其製備方法，特別是有關於一種藉由電晶體控制的電阻式記憶體結構及其製備方法。

【先前技術】

【0002】記憶體主要可分為揮發性記憶體(volatile memory)和非揮發性記憶體(non-volatile memory)，其中揮發性記憶體可分為 DRAM 和 SRAM 兩種，因有著快速存取速度的優點，所以被廣泛的運用。而現今使用最廣泛的非揮發性記憶體為快閃記憶體(flash memory)，但其具有操作電壓過高、操作速度慢及耐久度低等缺點。此外，在元件不斷微縮的趨勢下，閘極絕緣層變薄進而導致漏電流變大，而使可靠度降低等問題。

【0003】近年來，電阻式記憶體之發展被視為下世代高密度低功耗非揮發性記憶體的關鍵新技術。其具有結構簡單、低操作電壓、操作時間快速、可多位元記憶、耐久性佳、記憶元件面積縮小、非破壞性讀取和低成本等優點，而被

廣泛地研究中。電阻式記憶體最常用的基本結構為金屬-絕緣層-金屬(metal-insulator-metal, MIM)結構，藉由外加偏壓來改變電阻值，以執行寫入與抹除的動作，使元件形成高、低電阻的狀態，也就是數位訊號中的「0」與「1」。而由金屬氧化物形成之電阻切換層，更被廣泛的應用與研究中。然而電阻式記憶體在電阻切換時，常會因量測機台的反應時間過慢而導致過多的電流驟升(current overshoot)，更嚴重會造成電阻式記憶體的崩潰。

【0004】 因此，如何設計一個具有控制單元的電阻式記憶體，在電阻的連續切換下仍具有良好的穩定性，乃為此一業界亟待解決的問題。

【發明內容】

【0005】 因此，本發明提供一種具有控制單元的電阻式記憶體及其製備方法，用以降低電阻式記憶體電流驟升的情形發生，並能增加電阻式記憶體的操作穩定性。

【0006】 本發明之一態樣係提供一種記憶體結構，包含一控制單元以及一記憶單元電性連接至控制單元。控制單元包含一源極與一汲極；一主動層，接觸該源極之一部分及該汲極之一部分；一閘極層；以及一閘極絕緣層，位於該主動層與該閘極層之間。記憶單元包含一底電極層；一頂電極層；以及一電阻切換層，該電阻切換層位於該底電極層以及該頂電極層之間，其中該電阻切換層與該主動層之材質為氧化鋁鋅錫。

【0007】 根據本發明一實施方式，其中閘極層之材質為矽，閘極絕緣層之材質為二氧化矽。

【0008】 根據本發明一實施方式，其中源極以及汲極之材質為鈦。

【0009】 根據本發明一實施方式，其中頂電極層之材質為鈦、氮化鈦或氧化銻錫，底電極層之材質為金或鉑。

【0010】 根據本發明一實施方式，其中更包含一氧化鉛層位於電阻切換層以及底電極層之間。

【0011】 根據本發明一實施方式，其中記憶單元係位於源極或汲極上。

【0012】 本發明之一態樣係提供一種形成記憶體結構的方法，包含形成一控制單元以及形成一記憶單元。先提供一閘極層，並濕氧退火閘極層以形成一閘極絕緣層於閘極層上。濺鍍一主動層於該閘極絕緣層上，以及蒸鍍一源極以及一汲極於主動層之兩側。接著蒸鍍一底電極層於汲極上，並濺鍍一電阻切換層於底電極層上，其中電阻切換層與主動層之材質為氧化鋁鋅錫。最後蒸鍍一頂電極層於電阻切換層上。

【0013】 根據本發明一實施方式，其中形成該控制單元之溫度範圍為 400°C 至 450°C。

【0014】 根據本發明一實施方式，其中形成該記憶單元之溫度範圍為 15°C 至 35°C。

【0015】 根據本發明一實施方式，更包含形成一氧化鉛層於該電阻切換層以及該底電極層之間。

【圖式簡單說明】**【0016】**

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1 圖繪示根據本發明部分實施方式之一種記憶體結構的剖面圖。

第 2 圖繪示根據本發明其他部分實施方式之一種記憶體結構的剖面圖。

第 3 圖繪示根據本發明部分實施方式對閘極層施加不同偏壓下的電壓及電流關係圖。

第 4 圖繪示根據本發明部分實施方式之不同電阻態的電阻值與資料維持時間的關係圖。

第 5 圖繪示依據本發明部分實施方式之一種製備記憶體結構的流程圖。

【實施方式】

【0017】 為了使本揭示內容的敘述更加詳盡與完備，下文將參照附隨圖式來描述本發明之實施態樣與具體實施例；但這並非實施或運用本發明具體實施例的唯一形式。以下所揭露的各實施例，在有益的情形下可相互組合或取代，也可在一實施例中附加其他的實施例，而無須進一步的記載或說明。

【0018】 此外，相對詞彙，如『下』或『底部』與『上』或『頂部』，用來描述文中在附圖中所示的一元件與另一元件

之關係。相對詞彙是用來描述裝置在附圖中所描述之外的不同方位是可以被理解的。例如，如果一附圖中的裝置被翻轉，元件將會被描述原為位於其它元件之『下』側將被定向為位於其他元件之『上』側。例示性的詞彙『下』，根據附圖的特定方位可以包含『下』和『上』兩種方位。同樣地，如果一附圖中的裝置被翻轉，元件將會被描述原為位於其它元件之『下方』或『之下』將被定向為位於其他元件上之『上方』。例示性的詞彙『下方』或『之下』，可以包含『上方』和『上方』兩種方位。

【0019】 電阻式記憶體係利用高電阻態 (high resistance state, HRS) 與低電阻態 (low resistance state, LRS) 切換時讀取電流的改變，判斷資料儲存值為 0 或 1。通常係利用量測機台來限制電流大小，以達成高電阻態與低電阻態之間的切換。但量測機台在切換過程中電流會過度驟升 (overshoot) 並產生漏電流，而導致電阻值的不穩定。為了解決漏電流造成的影響，在每個記憶體單元上必須串接一個控制單元。其中電晶體較量測機台具備更穩定的操作特性，使用一電晶體一記憶體的陣列結構 (one transistor-one resistor, 1T1R) 能有效降低電流驟升的情形發生。

【0020】 請參閱第 1 圖，第 1 圖繪示依據本發明部分實施方式之一種記憶體結構的剖面圖。一記憶體控制單元 100 包含一基板 110、一控制單元 120 以及一記憶單元 140。其中基板 110 為矽基板、玻璃基板、金屬基板或高分子薄膜基板。

【0021】 控制單元 120 為反交錯式底部閘極薄膜電晶體 (Inverted Staggered Bottom Gate Thin Film Transistors)，包含一閘極層 121，其材質為低電阻係數的矽 (Si)；一閘極絕緣層 122 位於閘極層 121 上，其材質為二氧化矽；一源極 123 與一汲極 124 位於閘極絕緣層 122 上，其材質為鈦；以及一主動層 125 位於閘極絕緣層 122 上並接觸源極 123 之一部分及汲極 124 之一部分，其中主動層 125 之材質為氧化鋁鋅錫 (Aluminum Zinc Tin Oxide)。

【0022】 氧化鋁鋅錫為一種非晶態透明氧化物半導體，其可取代無機類的非晶矽或複晶矽作為主動層 125，以解決非晶矽的載子移動率低、操作電壓大、電特性不穩定等問題。或是解決複晶矽的製作成本過高、製程複雜、元件均勻性較差等問題。絕緣鋁鋅錫之電子遷移率可達到 $5\text{cm}^2/\text{V}\cdot\text{s}$ ，相較於傳統非晶矽之電子遷移率僅約 $0.1\text{cm}^2/\text{V}\cdot\text{s}$ 。

【0023】 在本發明之部分實施例中，閘極層 121 之材質亦可為金屬導體，如鋁 (Al)、鉬 (Mo)、鈦 (Ti)、鎢 (W) 或相關合金。在本發明之其他部分實施例中，可另外沉積五環素 (pentacene) 或聚 3-己基噻吩 (P3HT) 於主動層 125 上，使控制單元 120 能利用電子或電洞兩種載子進行傳輸。

【0024】 請繼續參閱第 1 圖，記憶體控制單元 100 更包含記憶單元 140，其中記憶單元 140 位於控制單元 120 的汲極 124 上並電性連接至汲極 124。記憶單元 140 為一電阻式記憶體，其具有金屬-絕緣體-金屬 (metal-insulator-metal, MIM) 之層狀結構。藉由外加偏壓來改變記憶單元 140 的電阻值，

以執行寫入與抹除的動作。在本發明之其他實施例中，記憶單元 140 亦可位於控制單元 120 的源極 123 上。

【0025】 記憶單元 140 包含一底電極層 142，其材質為金或鉑金；一電阻切換層 144 位於底電極層 142 上，其材質與主動層 125 同為氧化鋁鋅錫；以及一頂電極層 146，其材質為鈦、氮化鈦或氧化銻錫。記憶單元 140 藉由形成與切斷電阻切換層 144 中的導電路徑而達成電阻切換特性，而此導電路徑通常被認為係由偏壓導致電阻切換層 144 內的缺陷產生。此缺陷的組成可能為金屬離子或是氧空缺。

【0026】 在本發明之部分實施例中，電阻切換層 144 為一雙層電阻切換層，其包含一氧化鋁鋅錫層以及一氧化鉛層。使用雙層結構能降低記憶單元之工作電流，並同時增加電阻切換之均勻性。

【0027】 其中，主動層 125 以及電阻切換層 144 之材質同為氧化鋁鋅錫。氧化鋁鋅錫具有新穎的透明特性、高載子遷移率、優越的低溫沉積條件以及非晶態面積均勻等特性，可同時用於製備主動層 125 以及電阻切換層 144。此外，氧化鋁鋅錫中並不含有昂貴的銻元素與鎵元素，更能有效降低元件製作成本，並維持良好的資料儲存特性。但控制單元 120 中的主動層 125 以及記憶單元 140 中的電阻切換層 144 之材質不以此為限，其亦可同為其他不含有銻元素與鎵元素的非晶態透明氧化物半導體。

【0028】 應用本揭示內容之優點係在於以氧化鋁鋅錫製備主動層 125 與電阻切換層 144 之設計，可藉由其透明非晶

態特性，在低溫下應用於軟性基板形成記憶體結構 100，並可與如顯示面板之開關元件製程整合，適用於低功耗軟性電子領域，而輕易地達到上述之目的。

【0029】 在本發明之其他實施例中，電阻切換層 144 可直接位於源極 123 或汲極 124 上，直接以源極 123 或汲極 124 做為記憶體單元 140 的底電極層 142。

【0030】 在此必須說明，下述實施例省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，下述實施例不再重複贅述。

【0031】 請繼續參閱第 2 圖，第 2 圖繪示依據本發明其他部分實施方式之一種記憶體結構的剖面圖。一記憶體控制單元 200 包含一基板 210、一控制單元 220 以及一記憶單元 240。

【0032】 控制單元 220 為反交錯式頂部閘極薄膜電晶體 (Inverted Staggered Top Gate Thin Film Transistors)，包含一源極 223 與一汲極 224 位於基板 210 上；一主動層 225 位於基板 210 上並接觸源極 223 之一部分及汲極 224 之一部分；一閘極絕緣層 222 位於源極 223、汲極 224 與主動層 225 上；以及一閘極層 221 位於閘極絕緣層 222 上。

【0033】 請繼續參閱第 2 圖，記憶體控制單元 200 更包含記憶單元 240，其中記憶單元 240 位於控制單元 220 的汲極 224 上並電性連接至汲極 224。記憶單元 240 包含一底電極層 242；一電阻切換層 244 位於底電極層 242 上，其中電阻切換層 244 與主動層 225 的材質同為氧化鋁鋅錫；以及一

頂電極層 246 位於電阻切換層 244 上。

【0034】請參閱第 3 圖，第 3 圖繪示本發明部分實施方式對閘極層 121 施加不同偏壓下的電壓及電流關係圖。在第 2 圖中，實驗例 310 以圓形點連接繪製閘極電壓為 10 伏特時，電阻切換層 144 進行設定及重置的曲線。實驗 320 以三角形點繪製閘極電壓為 20 伏特時，電阻切換層 144 進行設定及重置的曲線。而實驗 330 以方形點繪製閘極電壓為 30 伏特時，電阻切換層 144 進行設定及重置的曲線。

【0035】在實驗 310~330 中，係給予閘極層 121 不同電壓值使控制單元 120 輸出電流至汲極 124，因汲極 124 電性連結至記憶單元 140 的底電極層 142，此電流值即為電阻切換層 144 的設定電流 (I_{set})。在設定 (set) 的過程中，係於頂電極層 146 與底電極層 142 之間施加正向偏壓，此時流過電阻切換層 144 之電流值於設定電壓 (V_{set}) 時將急遽上升，並改變電阻使電阻切換層 144 進入低電阻態。

【0036】在重置 (reset) 過程中，係於頂電極層 146 與底電極層 142 之間施加負向偏壓，流過電阻切換層 144 之電流值將於重置電壓 (V_{reset}) 時將急遽下降，使電阻切換層 144 回到高電阻態。此時控制單元 120 輸出至汲極 124 的電流值即為電阻切換層 144 的重置電流 (I_{reset})。一次設定與一次重置的過程稱為一個循環。據此，電阻切換層 144 利用高電阻態與低電阻態切換時電阻的改變，判斷資料儲存值為 0 或 1。由於此過程係利用電阻值的變化來達成儲存資料的特性，因此又稱為電阻式記憶體。

【0037】 實驗 310、320 以及 330 中閘極電壓分別為 10 伏特、20 伏特以及 30 伏特，當閘極電壓越大，控制單元 120 輸出至汲極 124 的電流值也越大。據此，電阻切換層 144 的設定電流與重置電流同時隨著閘極電壓的增加而變大。由於設定電流與重置電流的大小會隨著閘極電壓而改變，實驗 310、320 以及 330 中的電阻切換層 144 在進入低電阻態時，可分別具有不同的電阻值。

【0038】 請同時參閱第 4 圖以進一步了解本發明，第 4 圖繪示本發明部分實施方式之不同電阻態的電阻值與資料維持時間的關係圖。實驗 310 中的電阻切換層 144 在設定過程中，會由一高電阻態 440 進入一第一低電阻態 410；實驗 320 中的電阻切換層 144 在設定過程中，會由高電阻態 440 進入第二低電阻態 420；以及實驗 330 中的電阻切換層 144 在設定過程中，會由高電阻態 440 進入一第三低電阻態 430。其中高電阻態 440 的電阻值大於第一低電阻態 410 的電阻值；第一低電阻態 410 的電阻值大於第二低電阻態 420 的電阻值；以及第二低電阻態 420 的電阻值大於第三低電阻態的電阻值 430。據此，調控控制單元 120 的閘極電壓能使記憶單元 140 形成多個不同的電阻狀態，顯現出兩位元四階層的儲存區間。利用高電阻態與多個低電阻態之間切換時電阻的改變，能判斷資料儲存值為 00、10、01 或 11。

【0039】 在本發明之其他實施例中，可持續調控不同閘極電壓值來達成更多位元的儲存區間。

【0040】 由第 4 圖能得知，使用氧化鋁鋅錫作為電阻切換層

144 的材料能使電阻切換層 144 有明顯的記憶區間。各個電阻態間的電阻值有著明顯差距，易於判斷資料儲存值，展現出優良的記憶體功能。此外，在個別切換至高電阻態 440 或多個低電阻態 410、420 以及 430 後，持續施加外加的讀取電壓 200 毫伏特，在室溫(攝氏 27 度)下的環境隨著時間放置量測這些電阻態的電阻值。可以觀察到在至少 10^4 秒內電阻值的變化幅度不大，資料保持的特性均可維持。

【0041】 由於氧化鋁鋅錫相對常用以形成電阻切換層 144 而在生產供應鏈具競爭的銮元素及鎵元素來說，可做為有效的替代材料，更具有良好的記憶體特性。其材料成本較低，製程全程更可在低溫進行。同時，以氧化鋁鋅錫形成主動層 125 更能提升載子遷移率，採用相同的材料製備電阻切換層 144 以及主動層 125 將更有效地降低成本，並達到簡化製程的目的。

【0042】 請參閱第 5 圖，第 5 圖繪示依據本發明部分實施方式之一種製備記憶體結構的流程圖。其中控制單元 120 採用反交錯式底部閘極薄膜電晶體結構。請先參閱步驟 510，提供低阻質的矽晶圓作為閘極層 121，並濕氧退火閘極層 121 成長二氧化矽做為閘極絕緣層 122。在本發明之其他實施例中，可使用金屬導體作為閘極層 121，如鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金，並再另外沉積二氧化矽於閘極層 121 上。

【0043】 請繼續參閱步驟 520，濺鍍氧化鋁鋅錫於閘極絕緣層 122 上作為主動層 125。主動層 125 中的氧化鋁鋅錫為非

晶態透明氧化物半導體材料，其中不含銦元素與鎵元素，因此能有效降低元件製作成本。此外，更能降低製程溫度，形成該控制單元 120 之溫度範圍約為 400°C 至 450°C。在本發明其他實施例中，可另外沉積五環素(pentacene)或聚 3-己基噻吩(P3HT)於主動層 125 上，使控制單元 120 能利用電子或電洞兩種載子進行傳輸。

【0044】請繼續參閱步驟 530，使用電子束蒸鍍法將鈦金屬蒸鍍於主動層 125 的兩側作為源極 123 與汲極 124。源極 123 與汲極 124 形成於閘極絕緣層 122 上，且主動層 125 接觸源極 123 之一部分及汲極 124 之一部分。當施加外加偏壓於閘極層 121 時，主動層 125 作為通道使電流能由源極 123 流向汲極 124。

【0045】接著請參閱步驟 540，使用電子束蒸鍍法將金或鉑蒸鍍於汲極 124 上作為底電極 142。在本發明之其他實施例中，金或鉑亦可蒸鍍於源極 123 上作為底電極 142。

【0046】請繼續參閱步驟 550，濺鍍氧化鋁鋅錫於底電極 142 上作為電阻切換層 144。承前所述，氧化鋁鋅錫具有良好的記憶體特性，其資料維持時間能維持至少 10^4 秒，在產業上具有多樣的應用性。更能降低製程溫度，形成記憶單元 140 之溫度範圍約為 15°C 至 35°C。又，氧化鋁鋅錫中不含銦元素與鎵元素，有效降低製程成本。同時參閱步驟 520 能得知，電阻切換層 144 與主動層 125 的材質均為氧化鋁鋅錫，採用相同的材料製作記憶單元 120 以及控制單元 140 將更有效地降低成本，並達到簡化製程的目的。

【0047】 在本發明之其他實施例中，係先濺鍍氧化鉛於底電極 142 上，再濺鍍氧化鋁鋅錫於氧化鉛上形成雙層(bi-layer)電阻切換層。雙層電阻切換層能降低工作電流並增加電阻切換的均勻性。

【0048】 請繼續參閱步驟 560，使用電子束蒸鍍法將鈦、氮化鈦或絕緣銮錫蒸鍍於電阻切換層 144 上作為頂電極層 146。底電極層 142、電阻切換層 144 以及頂電極層 146 為一電阻式記憶體，其具有金屬-絕緣體-金屬(metal-insulator-metal, MIM)之層狀結構。藉由外加偏壓來改變記憶單元的電阻值，以執行寫入與抹除的動作。

【0049】 由上述本發明實施例可知，本發明具有下列優點。本發明使用電晶體作為電阻式記憶體的控制單元，能避免電阻式記憶體在電阻切換時產生電流驟升的情形。此外，電阻式記憶體更可在多階操作下維持良好的資料保持特性，其記憶區間明顯更展現優良的記憶體功能。

【0050】 又，電晶體的主動層以及電阻式記憶體的電阻切換層之材質同為絕緣鋁鋅錫，其具有新穎的透明特性、高載子遷移率、優越的低溫沉積條件以及非晶態面積均勻等特性。據此，電晶體與電阻式記憶體均可於低溫下製備，適合應用於軟性電子領域。更重要的是，主動層與電阻切換層選用相同的材質，能達到系統整合與減少成本等目的。

【0051】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範

圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0052】

100：記憶體結構	240：記憶單元
110：基板	242：底電極層
120：控制單元	244：電阻切換層
121：閘極層	246：頂電極層
122：閘極絕緣層	310-330：實驗例
123：源極	410：第一低電阻態
124：汲極	420：第二低電阻態
125：主動層	430：第三低電阻態
140：記憶單元	440：高電阻態
142：底電極層	510-560：步驟
144：電阻切換層	
146：頂電極層	
200：記憶體結構	
210：基板	
220：控制單元	
221：閘極層	
222：閘極絕緣層	
223：源極	
224：汲極	
225：主動層	

申請專利範圍

1. 一種記憶體結構，包含：

一控制單元，包含

一源極與一汲極；

一主動層，接觸該源極之一部分及該汲極之一部分；

一閘極層；以及

一閘極絕緣層，位於該主動層與該閘極層之間；

以及

一記憶單元電性連接該控制單元，包含：

一底電極層；

一頂電極層；以及

一電阻切換層，該電阻切換層位於該底電極層以及該頂電極層之間，其中該電阻切換層與該主動層之材質為氧化鋁鋅錫。

2. 如請求項 1 所述之記憶體結構，其中該閘極層之材質為矽，該閘極絕緣層之材質為二氧化矽。

3. 如請求項 1 所述之記憶體結構，其中該源極以及該汲極之材質為鈦。

4. 如請求項 1 所述之記憶體結構，其中該頂電極層之材質為鈦、氮化鈦或絕緣鈦錫，該底電極層之材質為金或

鉑。

5. 如請求項 1 所述之記憶體結構，更包含一氧化鉛層位於該電阻切換層以及該底電極層之間。

6. 如請求項 1 所述之記憶體結構，其中該記憶單元係位於該源極或該汲極上。

7. 一種形成記憶體結構的方法，包含：

形成一控制單元，包含：

提供一閘極層；

濕氧退火該閘極層以形成一閘極絕緣層於該閘極層上；

濺鍍一主動層於該閘極絕緣層上；以及

蒸鍍一源極以及一汲極於該主動層之兩側；以及

形成一記憶單元於該控制單元上，包含：

蒸鍍一底電極層於該汲極上；

濺鍍一電阻切換層於該底電極層上，其中該電阻切換層與該主動層之材質為氧化鋁鋅錫；以及

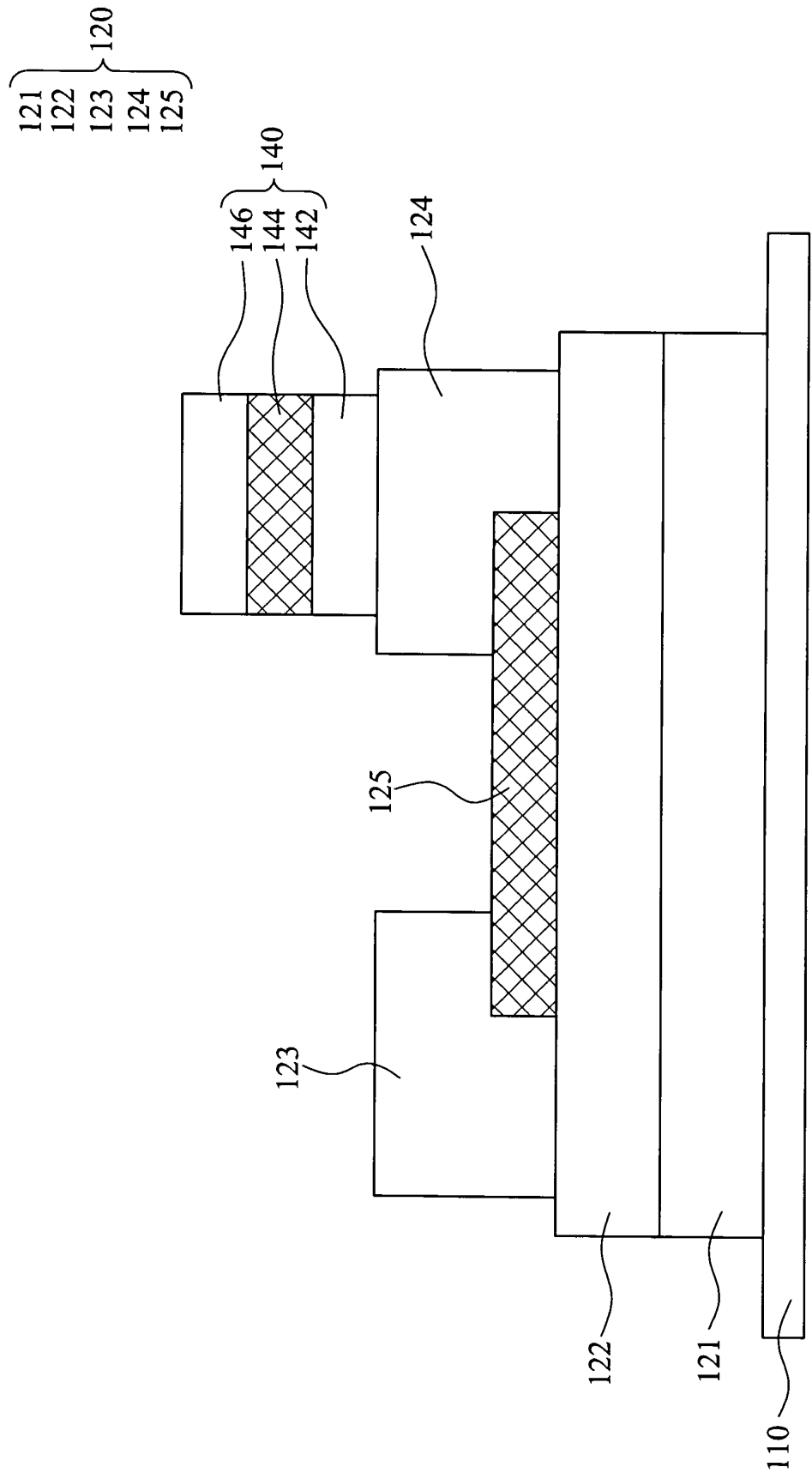
蒸鍍一頂電極層於該電阻切換層上。

8. 如請求項 7 所述之方法，其中形成該控制單元之溫度範圍為 400°C 至 450°C。

9. 如請求項 7 所述之方法，其中形成該記憶單元之溫度範圍為 15°C 至 35°C。

10. 如請求項 7 所述之方法，更包含形成一氧化鉛層於該電阻切換層以及該底電極層之間。

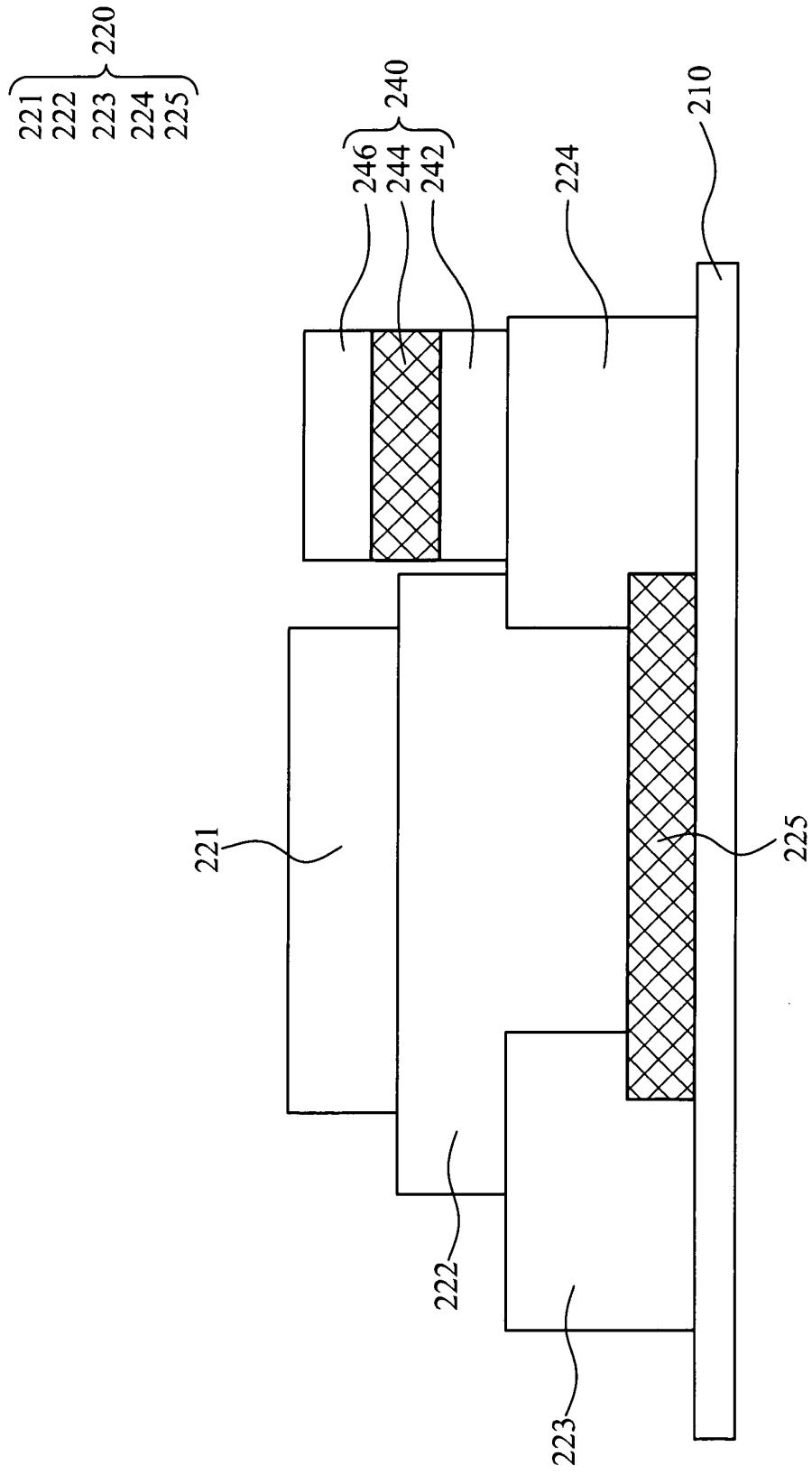
100



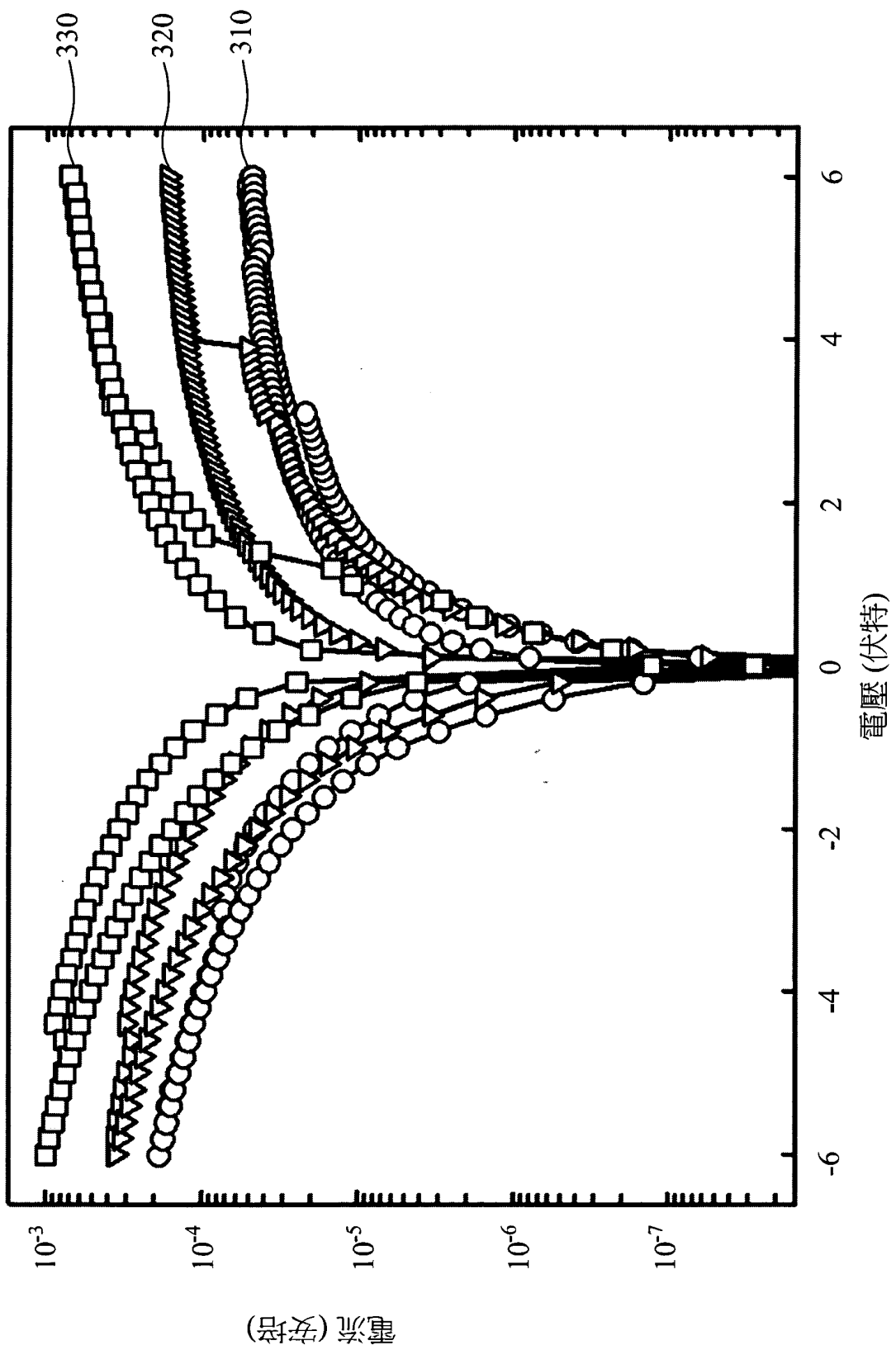
圖式

第1圖

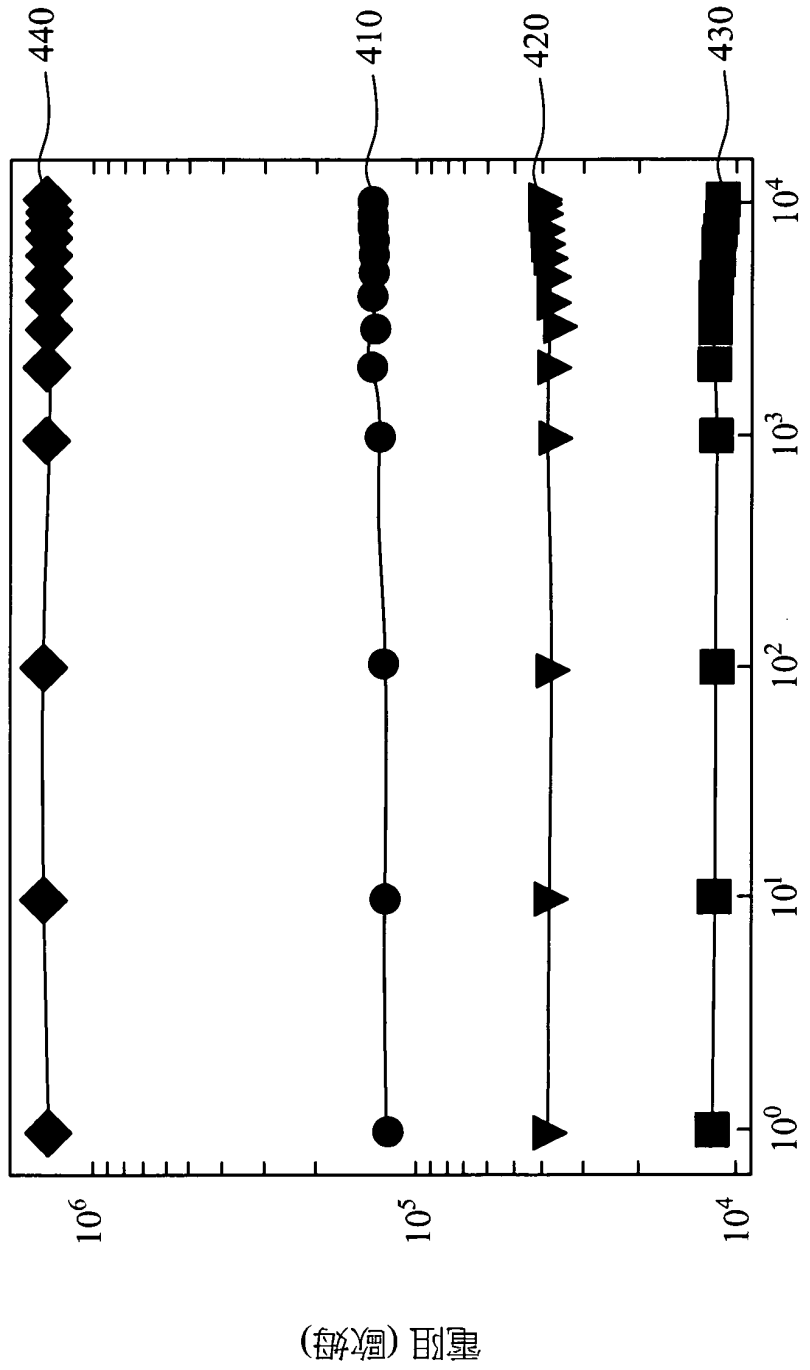
200



第2圖

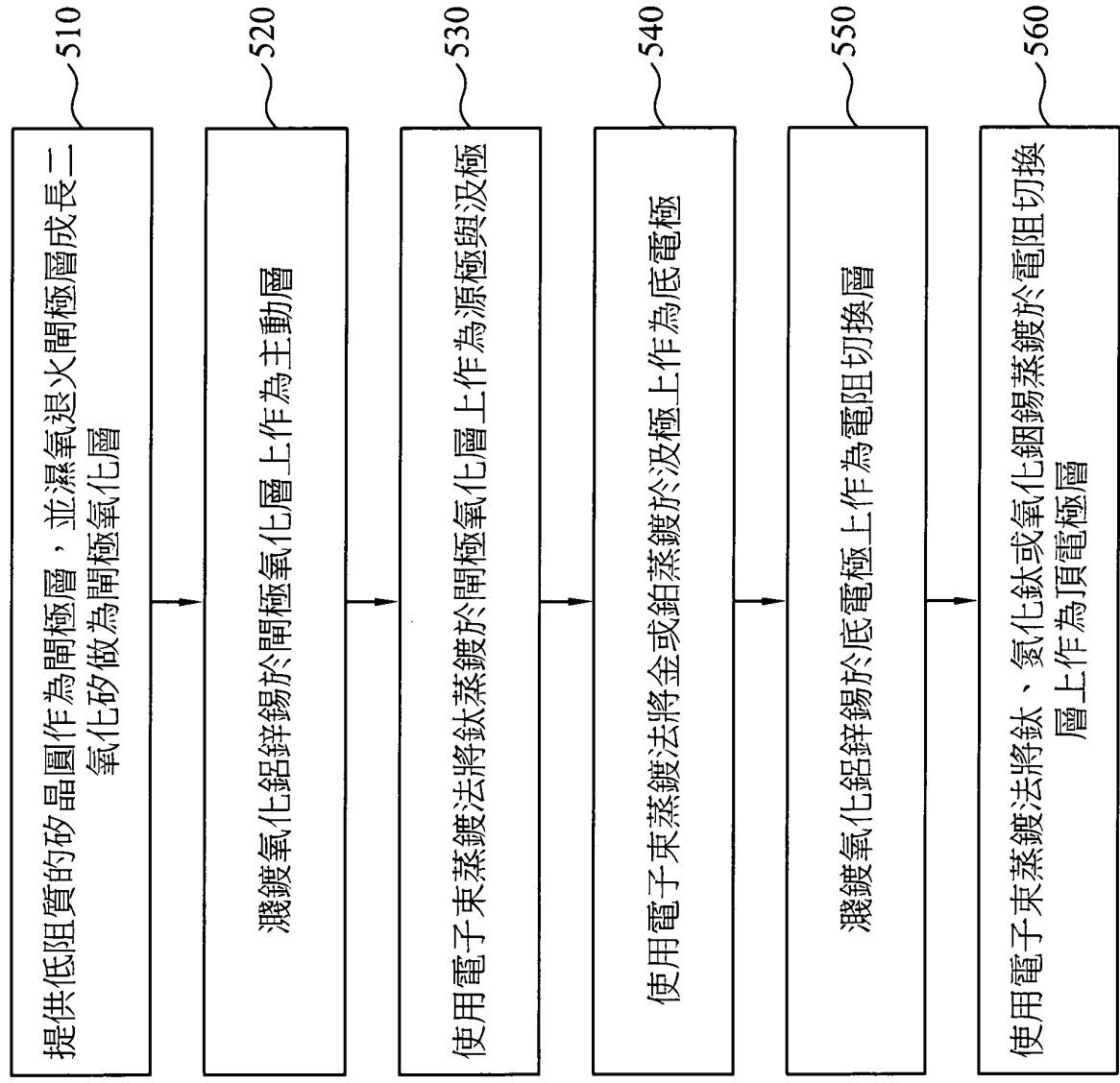


第3圖



資料維持時間 (秒)

第 4 圖



第 5 圖