



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201611526 A

(43) 公開日：中華民國 105 (2016) 年 03 月 16 日

(21) 申請案號：103130762

(22) 申請日：中華民國 103 (2014) 年 09 月 05 日

(51) Int. Cl. : *H03M1/50 (2006.01)*(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：蘇俊仁 SU, CHUN JEN (TW)；洪崇智 HUNG, CHUNG CHIH (TW)

(74) 代理人：林火泉

申請實體審查：有 申請專利範圍項數：15 項 圖式數：6 共 26 頁

(54) 名稱

環狀微刻度時間數位轉換器

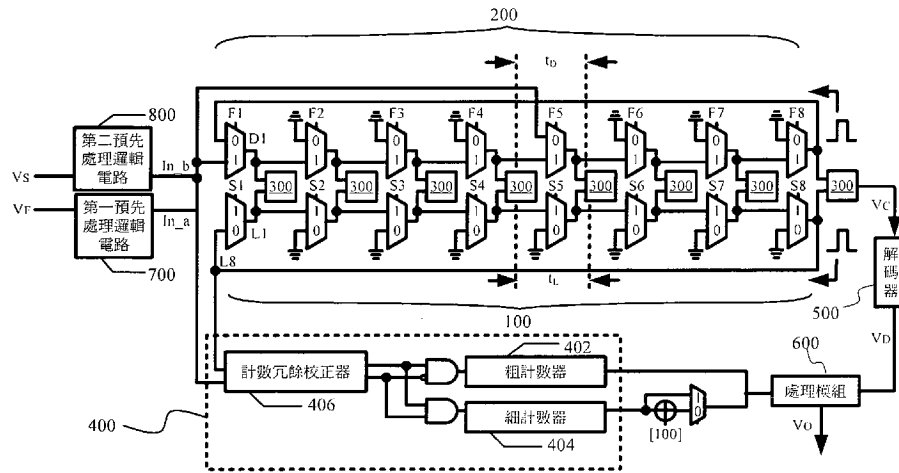
CYCLIC VERNIER RING TIME-TO-DIGITAL CONVERTER

(57) 摘要

一種環狀微刻度時間數位轉換器，其係利用環狀形式重複偵測一領先訊號與一落後訊號的相位差距，並透過複數個多階延遲單元，控制脈波訊號可以在迴路中持續運行，達到很寬的偵測範圍，細的精準度，以及低功率消耗等優勢。一預先處理邏輯電路更可用以決定落後訊號進入延遲迴路的位置，用以加速偵測速度，並提供一計數冗餘校正器來做校正用途。計數冗餘校正器則使用預先處理邏輯的偵測結果來決定從粗計數器切換成細計數器運作的時間。藉由此兩種技術，本發明同時降低電路的硬體消耗成本、達成低功率消耗與解決計數錯誤的問題。

An cyclic Vernier ring TDC is presented, which changes the conventional Vernier delay cells and arbiters into a ring format to reuse them to measure the time difference between two input signals. This novel MS-CVRTDC achieves wide detection range, fine time resolution, and low power consumption simultaneously. A pre-logic used in the TDC compares the slow signal with the pulse in the lower ring of the MS-CVRTDC. Consequently, the pre-logic decides which path in the upper ring of the MS-CVRTDC the slow signal should enter, and accelerates detected time of the detection process. The Counter redundancy corrector uses the detected result of the pre-logic to determine when to switch the coarse counter to fine counter. Thus, the present invention decreases the hardware cost, achieves low power consumption, and improves the counting error simultaneously.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 第一多階延遲迴路
- 200 . . . 第二多階延遲迴路
- 300 . . . 比較器
- 400 . . . 運算模組
- 402 . . . 粗計數器
- 404 . . . 細計數器
- 406 . . . 計數冗餘校正器
- 500 . . . 解碼器
- 600 . . . 處理模組
- 700 . . . 第一預先處理邏輯電路
- 800 . . . 第二預先處理邏輯電路

※ 申請案號：107170762
103. 9. 05.

※ 申請日：

※ IPC分類：H03M 1/50 (2006.01)

【發明名稱】(中文/英文)

環狀微刻度時間數位轉換器 / Cyclic Vernier Ring Time-to-Digital Converter

【中文】

一種環狀微刻度時間數位轉換器，其係利用環狀形式重複偵測一領先訊號與一落後訊號的相位差距，並透過複數個多階延遲單元，控制脈波訊號可以在迴路中持續運行，達到很寬的偵測範圍，細的精準度，以及低功率消耗等優勢。一預先處理邏輯電路更可用以決定落後訊號進入延遲迴路的位置，用以加速偵測速度，並提供一計數冗餘校正器來做校正用途。計數冗餘校正器則使用預先處理邏輯的偵測結果來決定從粗計數器切換成細計數器運作的時間。藉由此兩種技術，本發明同時降低電路的硬體消耗成本、達成低功率消耗與解決計數錯誤的問題。

【英文】

An cyclic Vernier ring TDC is presented, which changes the conventional Vernier delay cells and arbiters into a ring format to reuse them to measure the time difference between two input signals. This novel MS-CVRTDC achieves wide detection range, fine time resolution, and low power consumption simultaneously. A pre-logic used in the TDC compares the slow signal with the pulse in the lower ring of the MS-CVRTDC. Consequently, the pre-logic decides

which path in the upper ring of the MS-CVRTDC the slow signal should enter, and accelerates detected time of the detection process. The Counter redundancy corrector uses the detected result of the pre-logic to determine when to switch the coarse counter to fine counter. Thus, the present invention decreases the hardware cost, achieves low power consumption, and improves the counting error simultaneously.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 100 第一多階延遲迴路
- 200 第二多階延遲迴路
- 300 比較器
- 400 運算模組
- 402 粗計數器
- 404 細計數器
- 406 計數冗餘校正器
- 500 解碼器
- 600 處理模組
- 700 第一預先處理邏輯電路
- 800 第二預先處理邏輯電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

環狀微刻度時間數位轉換器 / Cyclic Vernier Ring Time-to-Digital Converter

【技術領域】

【0001】 本發明係有關於一種時間數位轉換器，特別是一種使用多階延遲單元之環狀微刻度時間數位轉換器。

【先前技術】

【0002】 按，時間數位轉換器 (time-to-digital converter, TDC) 係為一種相對於一參考事件之時間資訊進行量化之轉換單元，其係常用於數位鎖相迴圈 (Phase Lock Loop, PLL)、物理或雷射測距儀 (Physics and Laser range finder) 當中。其中，時間數位轉換器之效能可由表示時間資訊的數位化最小單元 (resolution) 所表示。

【0003】 一般而言，時間數位轉換器通常可由包括多個延遲單元的延遲線 (delay line) 所實現，而上述多個延遲單元產生間隔相對相等的相位。每個延遲單元具有傳遞延遲的特性，而該傳遞延遲係限制電路輸出的數位化最小單元。因此，時間數位轉換器的效能與每個延遲單元之傳遞延遲的精確度有關。然而，實際上，由製程變動而產生之延遲單元的偏移多會導致時間數位轉換器之效能下降。

【0004】 再者，對於習見常用的時間數位轉換器而言，其延遲單元多使用正反器，且必須串接奇數級方可產生震盪使得電路正常運作，因此需要使用較為複雜的編碼電路。除此之外，由於延遲迴路中每個相鄰節點的

波形皆互為相反，所以每個節點各需要額外設置兩組的比較器來比較相位，其中一組比較訊號之正緣（rising edge）相位差，也就是訊號上升的先後順序；而另外一組比較訊號之負緣（falling edge）相位差，也就是比較訊號下降的先後順序。最後，在迴路偵測完成後，必須再重置訊號從輸入端進入，然後再經由所有的正反器延遲時間後才能夠完成重置的動作，於此，也耗費較長的時間，不僅使得電路的設計複雜度過高，更在無形中增加許多設計成本。

【0005】 緣是，為了解決習知技術存有的眾多缺失，本發明人有感上述缺失之可改善，且依據多年來從事此方面之相關經驗，悉心觀察且研究之，並配合學理之運用，而提出一種設計新穎且有效改善上述缺失之本發明，其係揭露一種環狀微刻度時間數位轉換器，其具體之架構及實施方式將詳述於下。

【發明內容】

【0006】 為解決習知技術存在的問題，本發明之一目的係在於提供一種環狀微刻度時間數位轉換器（Vernier Ring Time-to-Digital Converter），其係使用正向的延遲單元，使得每個相鄰節點不具備習見訊號反向的問題，如此一來，每個節點僅需要單一組比較器即可偵測出兩訊號間的先後關係，大幅簡化了習見之電路設計。

【0007】 本發明之又一目的係在於提供一種環狀微刻度時間數位轉換器，其係利用多工器取代習見之延遲單元，不僅符合輸出訊號不會反向之要求，更達到可以利用多工器本身自動歸零之特性，加速電路重置的速度，藉此減少電路之設計複雜度並降低設計成本。

【0008】 本發明之再一目的係在於提供一種環狀微刻度時間數位轉換器，其係簡化了先前技術較為複雜之電路架構，並藉由此電路設計概念，可進一步地延伸至脈波調變電路或是展頻電路應用之中，藉此增加電路之效能。

【0009】 是以，根據本發明所揭露之環狀微刻度時間數位轉換器，其係將所接收到的一領先訊號與一落後訊號之時間差轉換為一數位訊號輸出，該環狀微刻度時間數位轉換器包括有：一第一多階延遲迴路、一第二多階延遲迴路、複數個比較器、一運算模組、一解碼器以及一處理模組。

【0010】 根據本發明之實施例，其中，第一多階延遲迴路係接收領先訊號，並控制該領先訊號經多階延遲後形成一第一脈波訊號週期性地在該第一多階延遲迴路中重覆運行；一第二多階延遲迴路係接收落後訊號，並控制該落後訊號經多階延遲後形成一第二脈波訊號週期性地在該第二多階延遲迴路中重覆運行；該些比較器係耦接於第一多階延遲迴路與第二多階延遲迴路，並比較該第一脈波訊號與該第二脈波訊號之時間差，據以輸出一比較訊號。運算模組耦接該第一多階延遲迴路與該第二多階延遲迴路，以計數該第一脈波訊號與該第二脈波訊號分別於該第一多階延遲迴路與該第二多階延遲迴路中的運行次數。解碼器耦接該些比較器，當該比較訊號由高準位切換至低準位時，代表該第一脈波訊號係同步於該第二脈波訊號，此時解碼器係將該比較訊號解碼為一解碼訊號輸出。最後，處理模組耦接該解碼器與該運算模組，以接收該解碼訊號與該運算模組之計數結果，據以產生該數位訊號輸出。

【0011】 在一實施例中，本發明所揭露之環狀微刻度時間數位轉換器

更可包括預先處理邏輯電路，配合一預先比較器，以決定該落後訊號進入該第二多階延遲迴路之位置，藉此加速偵測速度，並提供計數冗餘校正器進行校正用途。

【0012】 在一實施例中，該運算模組更包括一粗計數器、一細計數器與計數冗餘校正器。其中，該領先訊號進入該第一多階延遲迴路時，粗計數器係開始計數，直到該落後訊號進入該第二多階延遲迴路時，粗計數器係停止計數，而細計數器開始計數，以分別利用粗計數器計算該第一脈波訊號於該第一多階延遲迴路中的運行次數，以及利用細計數器計算該第二脈波訊號於該第二多階延遲迴路中的運行次數。

【0013】 再者，計數冗餘校正器更可利用預先處理邏輯電路的偵測結果來決定由上述之粗計數器運作切換成細計數器運作的時間。藉由此些技術特徵，本發明同時降低電路的硬體消耗成本、達成低功率消耗與避免習見轉換器常有計數錯誤之問題發生。

【0014】 底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0015】

第1圖係為根據本發明實施例環狀微刻度時間數位轉換器之電路示意圖。

第2A圖係為根據本發明實施例第一預先處理邏輯電路之電路示意圖。

第2B圖係為根據本發明實施例第二預先處理邏輯電路之電路示意

圖。

第3圖係為根據本發明實施例之計數冗餘校正器之電路示意圖。

第4A圖與第4B圖係為根據第3圖所示之計數冗餘校正器中節點之訊號波形示意圖。

第4C圖係為根據第3圖所示之計數冗餘校正器提早切換粗計數器關閉而細計數器導通之示意圖。

第4D圖係為根據第3圖所示之計數冗餘校正器延後切換粗計數器關閉而細計數器導通之示意圖。

第5圖與第6圖係為根據本發明實施例之環狀微刻度時間數位轉換器的詳細時間運作示意圖。

【實施方式】

【0016】 以上有關於本發明的內容說明，與以下的實施方式係用以示範與解釋本發明的精神與原理，並且提供本發明的專利申請範圍更進一步的解釋。有關本發明的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

【0017】 請參閱第1圖所示，其係為根據本發明實施例環狀微刻度時間數位轉換器之電路示意圖，包括：一第一多階延遲迴路100、一第二多階延遲迴路200、複數個比較器300、運算模組400、解碼器500、處理模組600、一第一預先處理邏輯電路700以及一第二預先處理邏輯電路800。第2A圖與第2B圖係分別為該第一預先處理邏輯電路與第二預先處理邏輯電路之電路示意圖。以下關於本發明之詳細技術內容，請同時參照第1、2A~2B圖所示，茲詳細說明如下。

【0018】 根據本發明之實施例，第一多階延遲迴路100係用以接收一領先訊號In_a，且第一多階延遲迴路100包括複數個第一延遲單元S1~S8，使得該領先訊號In_a每經過一個第一延遲單元係被延遲一第一延遲時間 t_L ，該領先訊號In_a在經過複數個該第一延遲時間 t_L 後係為一第一脈波訊號週期性地在第一多階延遲迴路100中重覆運行。在本實施例中係以第一延遲單元之數量為8個作為一示範例之說明，然本發明並不以此數量為限。設計者當可根據其電路之規格自行調整之，惟依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【0019】 同樣地，第二多階延遲迴路200係用以接收一落後訊號In_b，且第二多階延遲迴路200包括複數個第二延遲單元F1~F8，使得該落後訊號In_b每經過一個第二延遲單元係被延遲一第二延遲時間 t_D ，該落後訊號In_b在經過複數個該第二延遲時間 t_D 後係為一第二脈波訊號週期性地在第二多階延遲迴路200中重覆運行。

【0020】 每一比較器300係耦接於每一第一延遲單元與第二延遲單元之間，例如：第一延遲單元S1與第二延遲單元F1、第一延遲單元S2與第二延遲單元F2.....第一延遲單元S8與第二延遲單元F8之間，以比較出第一脈波訊號在經過各個第一延遲時間 t_L 與第二脈波訊號在經過各個第二延遲時間 t_D 後之時間差，並且根據該些時間差輸出比較訊號 V_c 。根據本發明之實施例，其中第一延遲單元S1~S8與第二延遲單元F1~F8例如可為一多工器(MUX)延遲單元。

【0021】 運算模組400係電性耦接於該第一多階延遲迴路100與該第二多階延遲迴路200，以計數第一脈波訊號與第二脈波訊號分別於該第一多

階延遲迴路100與該第二多階延遲迴路200中的運行次數。根據本發明之實施例，其中運算模組400更包括有一粗計數器（coarse counter）402、一細計數器（fine counter）404、以及一計數冗餘校正器（counter redundancy corrector）406。當領先訊號In_a進入第一多階延遲迴路100之第一延遲單元S1經過一時間 t_1 後，第一延遲單元S1係切換成閉迴路，並產生一個脈寬等於 t_1 的第一脈波訊號持續在第一多階延遲迴路100中運行，此時的偵測模式類似一般的傳統延遲序列的時間數位轉換器，每當脈波訊號經過節點L8時，粗計數器402的值即會加一。至於，當落後訊號In_b進入第二多階延遲迴路200後，此時間數位轉換器即會轉變為微刻度偵測模式，也就是粗計數器402會關閉，然後切換成細計數器404開始計數。換言之，本發明係利用領先訊號In_a進入第一多階延遲迴路100時，粗計數器402開始計數，直到落後訊號In_b進入第二多階延遲迴路200時，粗計數器402乃停止計數，而切換至細計數器404開始計數。本發明即可分別利用粗計數器402計算該第一脈波訊號於該第一多階延遲迴路100中的運行次數，以及利用該細計數器404計算第二脈波訊號於該第二多階延遲迴路200中的運行次數。

【0022】 解碼器500係電性耦接於比較器300，並接收上述之比較訊號 V_c 。根據本發明之實施例，由於該第二延遲時間 t_b 係設計為小於該第一延遲時間 t_a ，因此在第二多階延遲迴路200中的第二脈波訊號會逐漸追上第一多階延遲迴路100的第一脈波訊號，此時的運作模式係會與傳統的微刻度時間數位轉換器類似。故，當比較器300偵測到比較訊號 V_c 由高準位切換至低準位時，代表第一脈波訊號與第二脈波訊號之間已不具有時間差，也就是第一脈波訊號已同步於第二脈波訊號。此時偵測完畢，解碼器500係將這時候

的比較訊號 V_c 解碼為一解碼訊號 V_D 輸出。最後，耦接該解碼器500與該運算模組400之一處理模組600係接收該解碼訊號 V_D 以及上述運算模組400之計數結果，據以產生一數位訊號 V_O 輸出。藉此，本發明所揭露之環狀微刻度時間數位轉換器係可將領先訊號 In_a 與落後訊號 In_b 之時間差轉換為該數位訊號 V_O 輸出。

【0023】 更進一步而言，第2A圖與第2B圖所示之第一預先處理邏輯電路700與第二預先處理邏輯電路800係分別由複數個多階延遲單元組成。如第2A圖所示，第一預先處理邏輯電路700係包括複數個第一預先延遲單元P1~P8，在本實施例中同樣地係以8階多工器延遲單元來說明，然本發明當不以此為限。其中，每一第一預先延遲單元P1~P8係對應產生一第三延遲時間，一起始領先訊號 V_r 係由第一預先處理邏輯電路700之第一預先延遲單元P1所接收，並控制該起始領先訊號 V_r 在經過複數個該第三延遲時間後成為前述的領先訊號 In_a 。同樣地，第二預先處理邏輯電路800係包括複數個第二預先延遲單元Q1~Q8，在本實施例中同樣地係以8階多工器延遲單元來說明，然本發明當不以此為限。其中，每一第二預先延遲單元Q1~Q8係對應產生一第四延遲時間，一起始落後訊號 V_s 係由第二預先處理邏輯電路800之第二預先延遲單元Q1所接收，並控制該起始落後訊號 V_s 在經過複數個該第四延遲時間後成為前述的落後訊號 In_b 。本發明係控制預先處理邏輯電路中的延遲時間（即第三延遲時間與第四延遲時間）等於環狀微刻度時間數位轉換器中的第一延遲時間 t_L ，以期幫助選擇落後訊號 In_b 該輸入上排迴路之第二延遲單元F1或F5，更可以提供計數冗餘校正器406做判斷，藉此可以減少時間數位轉換器的偵測時間以及校正運算模組的計數錯誤（容後詳

述)。

【0024】 詳細而言，落後訊號In_b該由第二延遲單元F1或F5進入是由預先處理邏輯電路來做決定。如第2B圖所示，一預先比較器10係用以比較一半落後訊號 Q_{D4} 與一全延遲訊號L8，以決定落後訊號In_b進入第二多階延遲迴路200之位置。如前所述，在本實施例中，當第一延遲單元、第二延遲單元、第一預先延遲單元與第二預先延遲單元之數量係各自為N個，且N之值等於8時，起始落後訊號 V_s 在經過 $(t_L * 8/2)$ 的延遲時間 $(4t_L)$ 後會成為該半落後訊號 Q_{D4} ，而領先訊號In_a在經過 $(t_L * 8)$ 的延遲時間後成為該全延遲訊號L8。是以，根據本發明之實施例，當起始落後訊號 V_s 進入第二預先處理邏輯電路800後，預先比較器10會比較半落後訊號 Q_{D4} 與全延遲訊號L8這兩個訊號，當全延遲訊號L8領先半落後訊號 Q_{D4} ，落後訊號In_b會經由該第二多階延遲迴路200中之第五個第二延遲單元F5進入延遲迴路中；至於，當半落後訊號 Q_{D4} 領先全延遲訊號L8時，落後訊號In_b係由該第二多階延遲迴路200中之第一個第二延遲單元F1所接收，藉由此預先處理邏輯電路之判斷，本發明可大幅地減少時間數位轉換器所需的偵測時間，而根據實際的模擬結果，本發明約可提供高達1.5GHz的操作速度。

【0025】 再者，請參閱第3圖所示，其係為根據本發明實施例之計數冗餘校正器之電路示意圖。其中，計數冗餘校正器406係包括複數個正反器301a,301b,301c,301d與多工器303a,303b。承前所述，當領先訊號In_a進入多階延遲單元之環狀微刻度時間數位轉換器後，粗計數器402係開始運作，此時細計數器404係為關閉狀態。以8階延遲單元時間數位轉換器為例子，計數冗餘校正器406中具有相位誤差偵測之功效，其係比較起始落後訊號 V_s

與全延遲訊號L8，並在該二訊號 V_s 和L8相位差距小於或等於計數冗餘校正器406之緩衝時間 t_c 時會有值輸出於節點B1和B2。根據本發明之實施例，計數冗餘校正器406之緩衝時間 t_c 例如可設定為100ps，該緩衝時間 t_c 之數值大小係根據本發明之模擬結果在切換粗計數器402至細計數器404不會產生計數錯誤的情況下所決定。

【0026】 第4A圖與第4B圖係各自為計數冗餘校正器中節點L8a與ena之訊號波形示意圖，其中計數冗餘校正器406係利用其相位誤差偵測之功效，判斷起始落後訊號 V_s 與全延遲訊號L8間之時間差，當起始落後訊號 V_s 領先全延遲訊號L8之時間為 t_c 之內，則節點B₂會上升至高電位，而節點B₁維持為0，此時計數冗餘校正器406會控制粗計數器402提早關閉，而切換至細計數器404開始計數，如第4C圖所示。相反地，根據本發明之實施例，當全延遲訊號L8領先起始落後訊號 V_s 之時間為 t_c 之內，那麼節點B₁會上升至高電位而節點B₂維持為0，在此情況下，如第4D圖所示，則計數冗餘校正器406會控制延後切換粗計數器402到細計數器404的時間，以延遲細計數器404開始計數，是以，利用此技術特徵，本發明所提出之計數冗餘校正器不僅能夠使用較少的硬體消耗，更可進一步藉由相位偵測，達到校正計數錯誤之目的。

【0027】 以下，本發明係提供第5圖與第6圖，其係為根據本發明實施例之環狀微刻度時間數位轉換器的詳細時間運作示意圖，以說明當領先訊號In_a與落後訊號In_b之間存在一相位差等於 T_p 時，多階延遲單元之環狀微刻度時間數位轉換器係如何將該相位差轉換為數位碼輸出。其中，如圖所示， T_p 係為領先訊號In_a與落後訊號In_b之時間差， N_c 係為粗計數器之計數

結果， t_L 係為第一多階延遲迴路100中第一延遲單元之第一延遲時間， N_F 係為細計數器之計數結果， t_D 係為第二多階延遲迴路200中第二延遲單元之第二延遲時間， V_D 係為解碼器500將比較器300提供之比較訊號 V_c 解碼後的訊號， T_L 係為第一脈波訊號在經過（S1～S8）之延遲後的時間差（ $T_L=8t_L$ ）， T_D 係為第二脈波訊號在經過（F1～F8）之延遲後的時間差（ $T_D=8t_D$ ）， T_p 係為 T_L 除以 T_L 之餘數， t_R 係等於 t_L-t_D ，L1、D1、D5係分別為第一延遲單元S1、第二延遲單元F1以及F5的輸出波形，如第5圖與第6圖所示，本發明係解釋當領先訊號In_a與落後訊號In_b之間存在一相位差等於 T_p 時，多階延遲單元之環狀微刻度時間數位轉換器係如何將該相位差轉換為數位碼輸出。

【0028】 首先，如第5圖所示，當 $T_p - N_c \times 8 \times t_L < \frac{1}{2} T_L$ 時，落後訊號In_b係會由第二多階延遲迴路200中的第一個延遲單元F1進入迴路，此時相位差係符合下式（1）：

$$T_p = N_c \times 8 \times t_L + N_F \times 8 \times (t_L - t_D) + V_D \times (t_L - t_D) \quad (1)$$

，以確定第二多階延遲迴路200中的落後訊號In_b會逐漸追上領先訊號In_a。另一方面而言，如第6圖所示，當 $\frac{1}{2} T_L < T_p - N_c \times 8 \times t_L < T_L$ 時，則落後訊號In_b係會由第二多階延遲迴路200中的第五個延遲單元F5進入迴路，此時相位差則符合下式（2）：

$$T_p = N_c \times 8 \times t_L + (N_F + 4) \times 8 \times (t_L - t_D) + [(V_D + 4) \bmod 8] \times (t_L - t_D) \quad (2)$$

【0029】 是以，綜上所述，本發明係大幅簡化習見技術之時間數位轉換器，並藉由相關控制電路的整合，使得本發明所揭露之環狀微刻度時間數位轉換器可以透過較少的硬體消耗來達成運作。除此之外，利用正向的多工器作為多階延遲迴路中的延遲單元，更可符合相鄰輸出訊號不具有反

向的問題，且每個多工器延遲單元都具有自動歸零以及加速重置速度之特性，更可進一步地增加本發明環狀微刻度時間數位轉換器之重置速度，藉此降低電路的設計複雜度及設計成本。

【0030】 再者，爲了加速偵測速度，本發明所揭露之環狀微刻度時間數位轉換器，更可進一步地利用預先處理邏輯電路判斷出落後訊號進入環狀微刻度延遲迴路中的位置。除此之外，利用該預先處理邏輯電路之偵測結果，本發明所揭露之計數冗餘校正器更可進一步地決定由粗計數器切換至細計數器之時間，藉此達到校正習見計數錯誤之問題。

【0031】 以上所述之諸多實施例僅係爲說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0032】

- 10 預先比較器
- 100 第一多階延遲迴路
- 200 第二多階延遲迴路
- 300 比較器
- 301a 正反器
- 301b 正反器
- 301c 正反器
- 301d 正反器

- 303a 多工器
- 303b 多工器
- 400 運算模組
- 402 粗計數器
- 404 細計數器
- 406 計數冗餘校正器
- 500 解碼器
- 600 處理模組
- 700 第一預先處理邏輯電路
- 800 第二預先處理邏輯電路

申請專利範圍

1. 一種環狀微刻度時間數位轉換器，其係將所接收到的一領先訊號與一落後訊號之時間差轉換為一數位訊號輸出，該環狀微刻度時間數位轉換器包括：
 - 第一多階延遲迴路，係接收該領先訊號，並控制該領先訊號經多階延遲後形成一第一脈波訊號週期性地在該第一多階延遲迴路中重覆運行；
 - 第二多階延遲迴路，係接收該落後訊號，並控制該落後訊號經多階延遲後形成一第二脈波訊號週期性地在該第二多階延遲迴路中重覆運行；
 - 複數個比較器，耦接於該第一多階延遲迴路與該第二多階延遲迴路，該些比較器係比較該第一脈波訊號與該第二脈波訊號之時間差，並據以輸出一比較訊號；
 - 運算模組，耦接該第一多階延遲迴路與該第二多階延遲迴路，以計數該第一脈波訊號與該第二脈波訊號分別於該第一多階延遲迴路與該第二多階延遲迴路中的運行次數；
 - 解碼器，耦接該些比較器，其中當該比較訊號由高準位切換至低準位時，該第一脈波訊號係與該第二脈波訊號同步，並且該解碼器係將該比較訊號解碼為一解碼訊號輸出；以及
 - 處理模組，耦接該解碼器與該運算模組，該處理模組係接收該解碼訊號以及該運算模組之計數結果，以產生該數位訊號輸出。
2. 如請求項1所述之環狀微刻度時間數位轉換器，其中該第一多階延遲迴路

更包括複數個第一延遲單元，使得該領先訊號每經過一個該第一延遲單元係被延遲一第一延遲時間，該領先訊號在經過複數個該第一延遲時間後係為該第一脈波訊號，該第二多階延遲迴路更包括複數個第二延遲單元，使得該落後訊號每經過一個該第二延遲單元係被延遲一第二延遲時間，該落後訊號在經過複數個該第二延遲時間後係為該第二脈波訊號，每一該比較器係耦接於各該第一延遲單元與各該第二延遲單元之間，以比較該第一脈波訊號在經過各該第一延遲時間與該第二脈波訊號在經過各該第二延遲時間後之時間差，並根據該些時間差輸出該比較訊號。

3. 如請求項2所述之環狀微刻度時間數位轉換器，其中該第一延遲單元與該第二延遲單元係為一多工器（MUX）延遲單元。
4. 如請求項2所述之環狀微刻度時間數位轉換器，更包括一第一預先處理邏輯電路，該第一預先處理邏輯電路係包括複數個第一預先延遲單元，每一該第一預先延遲單元係對應產生一第三延遲時間，其中該第一預先處理邏輯電路係接收一起始領先訊號，並控制該起始領先訊號在經過複數個該第三延遲時間後成為該領先訊號。
5. 如請求項4所述之環狀微刻度時間數位轉換器，更包括一第二預先處理邏輯電路，該第二預先處理邏輯電路係包括複數個第二預先延遲單元，每一該第二預先延遲單元係對應產生一第四延遲時間，其中該第二預先處理邏輯電路係接收一起始落後訊號，並控制該起始落後訊號在經過複數個該第四延遲時間後成為該落後訊號。
6. 如請求項5所述之環狀微刻度時間數位轉換器，其中該第三延遲時間與該第四延遲時間係等於該第一延遲時間，且該第二延遲時間係小於該第一

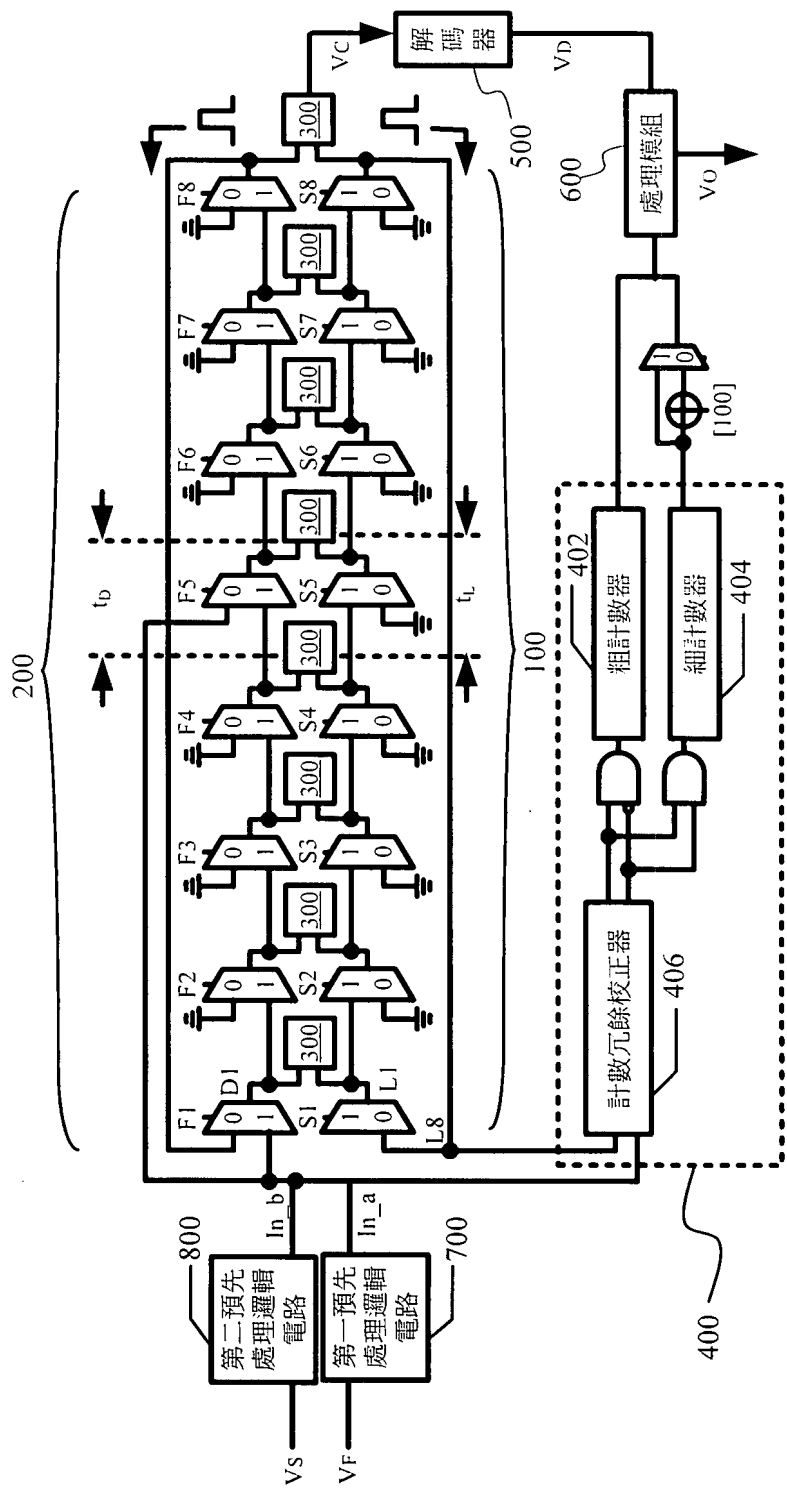
延遲時間。

7. 如請求項5所述之環狀微刻度時間數位轉換器，更包括一預先比較器，該預先比較器係比較一半落後訊號與一全延遲訊號，以決定該落後訊號進入該第二多階延遲迴路之位置，其中該些第一延遲單元、該些第二延遲單元、該些第一預先延遲單元與該些第二預先延遲單元之數量係各自為N個，該第一延遲時間、該第三延遲時間與該第四延遲時間係為 t_L ，該第二延遲時間係為 t_D ，該起始落後訊號在經過 $(t_L * N/2)$ 的延遲時間後成為該半落後訊號，該領先訊號在經過 $(t_L * N)$ 的延遲時間後成為該全延遲訊號。
8. 如請求項7所述之環狀微刻度時間數位轉換器，其中該N=8。
9. 如請求項8所述之環狀微刻度時間數位轉換器，其中該半落後訊號領先該全延遲訊號時，該落後訊號係由該第二多階延遲迴路中之第一個該第二延遲單元所接收。
10. 如請求項8所述之環狀微刻度時間數位轉換器，其中該全延遲訊號領先該半落後訊號時，該落後訊號係由該第二多階延遲迴路中之第五個該第二延遲單元所接收。
11. 如請求項5所述之環狀微刻度時間數位轉換器，其中該運算模組更包括一粗計數器與一細計數器，其係各自耦接於該第一多階延遲迴路與該第二多階延遲迴路，其中該領先訊號進入該第一多階延遲迴路時，該粗計數器係開始計數，直到該落後訊號進入該第二多階延遲迴路時，該粗計數器係停止計數，而該細計數器開始計數，以分別利用該粗計數器計算該第一脈波訊號於該第一多階延遲迴路中的運行次數，以及利用該細計數

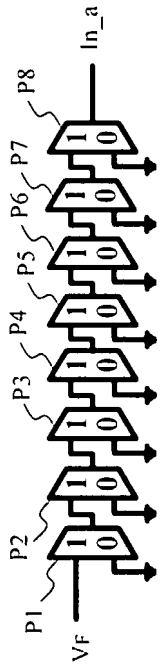
器計算該第二脈波訊號於該第二多階延遲迴路中的運行次數。

12. 如請求項11所述之環狀微刻度時間數位轉換器，其中該運算模組更包括一計數冗餘校正器，其係比較該起始落後訊號與一全延遲訊號，以決定該細計數器是否開始計數，其中該些第一延遲單元、該些第二延遲單元、該些第一預先延遲單元與該些第二預先延遲單元之數量係各自為N個，該第一延遲時間、該第三延遲時間與該第四延遲時間係為 t_1 ，該第二延遲時間係為 t_2 ，該領先訊號在經過 $(t_1 * N)$ 的延遲時間後成為該全延遲訊號。
13. 如請求項12所述之環狀微刻度時間數位轉換器，其中該起始落後訊號領先該全延遲訊號時，該粗計數器係提早關閉，以切換至該細計數器開始計數。
14. 如請求項12所述之環狀微刻度時間數位轉換器，其中該全延遲訊號領先該起始落後訊號時，該粗計數器係延後關閉，以延遲該細計數器開始計數。
15. 如請求項12所述之環狀微刻度時間數位轉換器，其中該計數冗餘校正器係具有一緩衝時間，該起始落後訊號與該全延遲訊號間之時間差係小於或等於該緩衝時間。

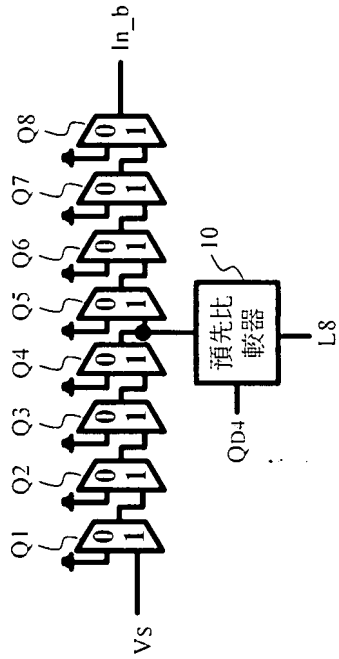
圖式



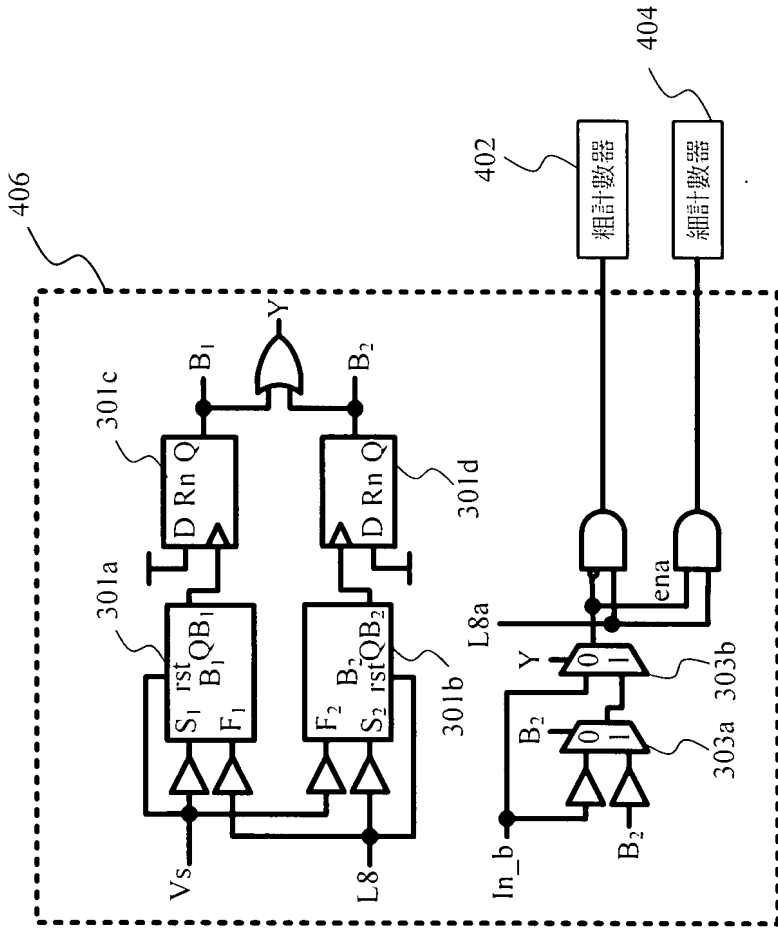
第1圖



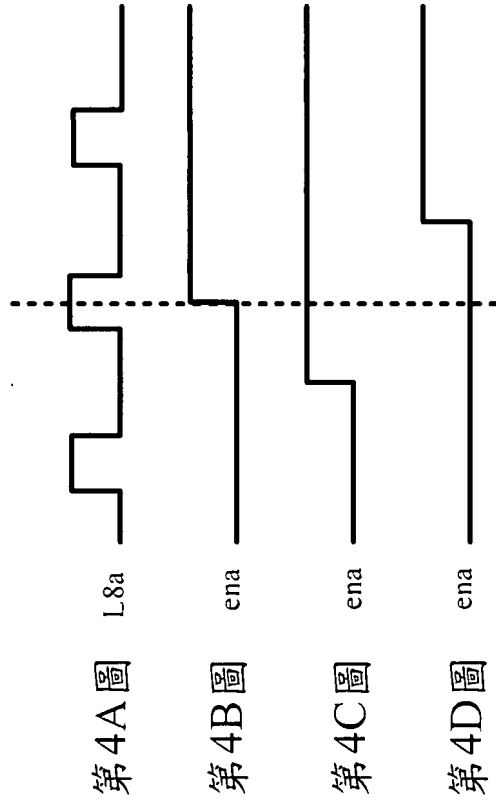
第2A圖

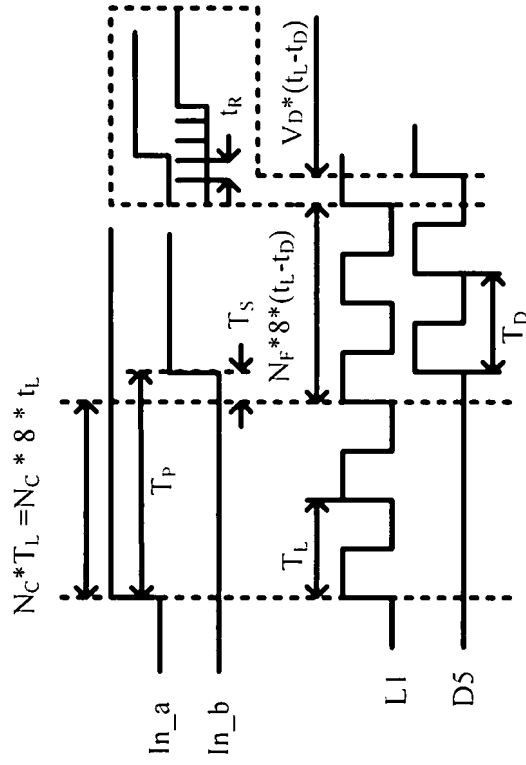


第2B圖



第3圖





$$T_P = N_C * 8 * t_L + (N_F + 4) * 8 * (t_L - t_D) + [((V_D + 4) \bmod 8) * (t_L - t_D)]$$

第6圖

