



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201613276 A

(43) 公開日：中華民國 105 (2016) 年 04 月 01 日

(21) 申請案號：103132039

(22) 申請日：中華民國 103 (2014) 年 09 月 17 日

(51) Int. Cl. : **H03L7/091 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：陳巍仁 CHEN, WEI ZEN (TW)；黃宇平 HUANG, YU PING (TW)；劉曜嘉 LIU, YAO CHIA (TW)；洪政豪 HONG, ZHENG HAO (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：10 項 圖式數：3 共 37 頁

(54) 名稱

嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路

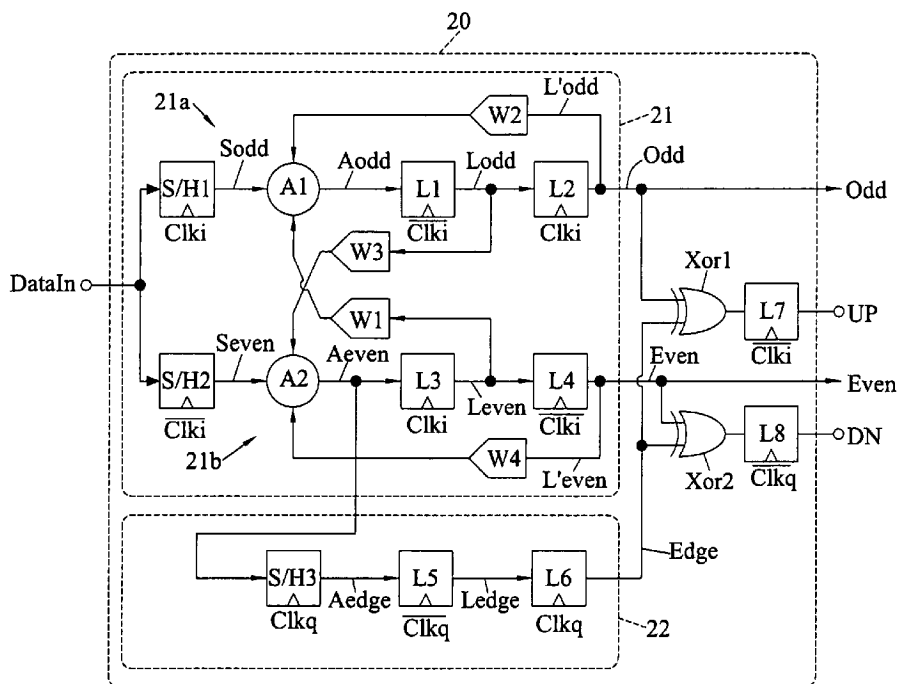
PHASE DETECTING DEVICE AND CLOCK DATA RECOVERY CIRCUIT EMBEDDED DECISION FEEDBACK EQUALIZER

(57) 摘要

一種嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路，該相位偵測裝置包括具有第一與第二取樣維持電路之決策回授等化器、具有第三取樣維持電路之邊際偵測器、第一互斥或閘與第二互斥或閘。第一取樣維持電路、第二取樣維持電路及第三取樣維持電路分別取得第一取樣資料、第二取樣資料及轉態資料後，第一互斥或閘對第一取樣資料與轉態資料進行互斥或運算以產生第一時脈相位移動資訊，而第二互斥或閘對第二取樣資料與轉態資料進行互斥或運算以產生第二時脈相位移動資訊。藉此，本發明至少可避免習知之時脈資料回復電路與決策回授等化器所產生之高頻雜訊干擾。

The invention is a phase detecting device and clock data recovery circuit embedded decision feedback equalizer. The phase detecting device comprises a decision feedback equalizer with a first and a second sample-hold circuit, an edge detector with a third sample-hold circuit, a first XOR gate and a second XOR gate. The first sample-hold circuit, the second sample-hold circuit and the third sample-hold circuit obtain a first sample data, a second sample data and a transition data, respectively. Then, the first XOR gate executes a XOR operation for the first sample data and the transition data to generate first clock phase shift information. The second XOR gate executes a XOR operation for the second sample data and the transition data to generate second clock phase shift information. Thereby, the invention can at least avoid high-frequency noise disturbance generating from prior clock data recovery circuit and decision feedback equalizer.

指定代表圖：



第2A圖

符號簡單說明：

20 . . . 相位偵測裝置

21 . . . 決策回授等化器

21a . . . 第一回授等化電路

21b . . . 第二回授等化電路

22 . . . 邊際偵測器

A1 . . . 第一加法器

A2 . . . 第二加法器

Aedge、Edge、

Ledge . . . 轉態資料

Aeven、Leven、

L'even、Seven . . .

第二取樣資料

Aodd、Lodd、

L'odd、Sodd . . . 第一取樣資料

Clki . . . 正向時脈信號

$\overline{\text{Clki}}$  . . . 反向時脈信號

Clkq . . . 邊際時脈信號

$\overline{\text{Clkq}}$  . . . 反向邊際時脈信號

DataIn . . . 輸入資料信號

DN . . . 第二時脈相位移動資訊

Even . . . 第二序列資料

L1 . . . 第一門鎖器

L2 . . . 第二門鎖器

L3 . . . 第三門鎖器

L4 . . . 第四門鎖器

L5 . . . 第五門鎖器  
L6 . . . 第六門鎖器  
L7 . . . 第七門鎖器  
L8 . . . 第八門鎖器  
Odd . . . 第一序列  
資料  
S/H1 . . . 第一取樣  
維持電路  
S/H2 . . . 第二取樣  
維持電路  
S/H3 . . . 第三取樣  
維持電路  
UP . . . 第一時脈相  
位移動資訊  
W1 . . . 第一乘法器  
W2 . . . 第二乘法器  
W3 . . . 第三乘法器  
W4 . . . 第四乘法器  
Xor1 . . . 第一互斥  
或閘  
Xor2 . . . 第二互斥  
或閘

## 發明摘要

※申請案號：103 132039

※申請日：103.9.17

※IPC分類：

H03L 7/091 (2006.01)

### 【發明名稱】(中文/英文)

嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路

PHASE DETECTING DEVICE AND CLOCK DATA

RECOVERY CIRCUIT EMBEDDED DECISION

FEEDBACK EQUALIZER

### 【中文】

一種嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路，該相位偵測裝置包括具有第一與第二取樣維持電路之決策回授等化器、具有第三取樣維持電路之邊際偵測器、第一互斥或閘與第二互斥或閘。第一取樣維持電路、第二取樣維持電路及第三取樣維持電路分別取得第一取樣資料、第二取樣資料及轉態資料後，第一互斥或閘對第一取樣資料與轉態資料進行互斥或運算以產生第一時脈相位移動資訊，而第二互斥或閘對第二取樣資料與轉態資料進行互斥或運算以產生第二時脈相位移動資訊。藉此，本發明至少可避免習知之時脈資料回復電路與決策回授等化器所產生之高頻雜訊干擾。

**【英文】**

The invention is a phase detecting device and clock data recovery circuit embedded decision feedback equalizer. The phase detecting device comprises a decision feedback equalizer with a first and a second sample-hold circuit, an edge detector with a third sample-hold circuit, a first XOR gate and a second XOR gate. The first sample-hold circuit, the second sample-hold circuit and the third sample-hold circuit obtain a first sample data, a second sample data and a transition data, respectively. Then, the first XOR gate executes a XOR operation for the first sample data and the transition data to generate first clock phase shift information. The second XOR gate executes a XOR operation for the second sample data and the transition data to generate second clock phase shift information. Thereby, the invention can at least avoid high-frequency noise disturbance generating from prior clock data recovery circuit and decision feedback equalizer.

## 【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

20	相位偵測裝置
21	決策回授等化器
21a	第一回授等化電路
21b	第二回授等化電路
22	邊際偵測器
A1	第一加法器
A2	第二加法器
Aedge、Edge、Ledge	轉態資料
Aeven、Leven、L'even、Seven	第二取樣資料
Aodd、Lodd、L'odd、Sodd	第一取樣資料
Clki	正向時脈信號
$\overline{\text{Clki}}$	反向時脈信號
Clkq	邊際時脈信號
$\overline{\text{Clkq}}$	反向邊際時脈信號
DataIn	輸入資料信號
DN	第二時脈相位移動資訊
Even	第二序列資料
L1	第一閘鎖器
L2	第二閘鎖器
L3	第三閘鎖器

L4	第四門鎖器
L5	第五門鎖器
L6	第六門鎖器
L7	第七門鎖器
L8	第八門鎖器
Odd	第一序列資料
S/H1	第一取樣維持電路
S/H2	第二取樣維持電路
S/H3	第三取樣維持電路
UP	第一時脈相位移動資訊
W1	第一乘法器
W2	第二乘法器
W3	第三乘法器
W4	第四乘法器
Xor1	第一互斥或閘
Xor2	第二互斥或閘

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

本案無化學式。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路

PHASE DETECTING DEVICE AND CLOCK DATA  
RECOVERY CIRCUIT EMBEDDED DECISION  
FEEDBACK EQUALIZER

## 【技術領域】

本發明係關於一種相位偵測裝置與時脈資料回復電路，特別是指一種嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路。

## 【先前技術】

在接收器的架構中，為了將衰減的數位訊號解調回正確的資訊，等化器(Equalizer, EQ)及時脈資料回復電路(Clock Data Recovery Circuit, CDR)是不可或缺的區塊。

等化器大多是使用線性等化器(LEQ)加上一級消除後指標(Post-cursor)之離散式等化器(Discrete Equalizer, DEQ)，其中最廣泛使用的離散式等化器為決策回授等化器(Decision Feedback Equalizer, DFE)。

此外，時脈資料回復電路可採用許多的方式實現之，且其大致可分為類比式時脈資料回復電路與數位式時脈資料回復電路。類比式時脈資料回復電路可將時脈相位誤差資訊經過積分後作為壓控震盪器的控制電壓以校準相位，



而數位式時脈資料回復電路則將時脈相位誤差資訊透過邏輯電路轉換成相位移動數位碼，再透過相位內插器(Phase Interpolator, PI)校準相位。

但是，目前技術遇到的瓶頸在於等化器與時脈資料回復電路之擺置順序。如果將時脈資料回復電路擺在離散式等化器的前面，則線性等化器的等化效果要夠大，才能讓時脈資料回復電路正常運作，缺點就是雜訊也會同時被放大，功耗也會增加。然而，如果時脈資料回復電路擺在離散式等化器的後面，則訊號的邊界值會被等化器的取樣時脈所決定，故需採用等化器前的訊號搭配更多的邏輯運算校準之，以致大幅增加電路的複雜度及面積。

因此，最好的作法即是將時脈資料回復電路與離散式等化器兩者結合，以同時進行等化及校準功能。然而，目前將時脈資料回復電路與離散式等化器結合的創作都是使用離散式等化器與 Hogge 型相位偵測裝置，但該相位偵測裝置僅適用於類比式時脈資料回復電路。

第 1A 圖係繪示先前技術中 Alexander 相位偵測裝置 1 之電路圖，第 1B 圖係繪示先前技術第 1A 圖中相位偵測裝置 1 之時序圖。如圖所示，相位偵測裝置 1 係包括三個 D 型正反器 Da、Db 與 Dc、第一互斥或閘 Xor1 及第二互斥或閘 Xor2。

該 D 型正反器 Da 係依據正向時脈信號 Clki 取得輸入資料信號 DataIn 之第一取樣資料 D1，並產生例如奇數序列資料之第一序列資料 Odd；而該 D 型正反器 Db 係依據

反向時脈信號  $\overline{\text{Clki}}$  取得該輸入資料信號 DataIn 之第二取樣資料 D2，並產生例如偶數序列資料之第二序列資料 Even；且該 D 型正反器 Dc 係依據邊際時脈信號 Clkq 取得該輸入資料信號 DataIn 之轉態資料 T1 並產生轉態資料 Edge。

該第一互斥或閘 Xor1 係對該第一序列資料 Odd 之第一取樣資料 D1 與該轉態資料 Edge 之轉態資料 T1 進行互斥或運算以取得第一時脈相位移動資訊 UP，而該第二互斥或閘 Xor2 係對該第二序列資料 Even 與該轉態資料 Edge 之轉態資料 T1 進行互斥或運算以取得第二時脈相位移動資訊 DN，進而利用第一時脈相位移動資訊 UP 與第二時脈相位移動資訊 DN 調整該些時脈信號 Clki、 $\overline{\text{Clki}}$  及 Clkq 之相位，使其同步向前領先或向後延遲之。

惟，上述相位偵測裝置 1 僅能取得該第一時脈相位移動資訊 UP 與該第二時脈相位移動資訊 DN，但其並不具有回授等化之功能，故無法同時對該輸入資料信號 DataIn 進行等化及校準。

因此，如何克服上述先前技術之問題，實已成為目前亟欲解決的課題。

### 【發明內容】

本發明係提供一種嵌入決策回授等化器之相位偵測裝置，其包括：決策回授等化器，係包括一具有第一取樣維持電路之第一回授等化電路與一具有第二取樣維持電路之第二回授等化電路，該第一取樣維持電路係依據正向時脈信號取得輸入資料信號之第一取樣資料，且該第二取樣維

持電路係依據對應該正向時脈信號之反向時脈信號取得該輸入資料信號之第二取樣資料；邊際偵測器，係具有第三取樣維持電路，且該邊際偵測器電性連接該第一回授等化電路或該第二回授等化電路，供該第三取樣維持電路依據對應該正向時脈信號之邊際時脈信號取得該輸入資料信號之轉態資料；第一互斥或閘，係電性連接該第一回授等化電路與該邊際偵測器，該第一互斥或閘用於對該第一取樣資料與該轉態資料進行互斥或運算以產生第一時脈相位移動資訊；以及第二互斥或閘，係電性連接該第二回授等化電路與該邊際偵測器，該第二互斥或閘用於對該第二取樣資料與該轉態資料進行互斥或運算以產生第二時脈相位移動資訊。

本發明亦提供一種嵌入決策回授等化器之時脈資料回復電路，其包括相位偵測裝置與時脈調整電路。該相位偵測裝置係包括：決策回授等化器，係包括一具有第一取樣維持電路之第一回授等化電路與一具有第二取樣維持電路之第二回授等化電路，該第一取樣維持電路係依據正向時脈信號取得輸入資料信號之第一取樣資料，且該第二取樣維持電路係依據對應該正向時脈信號之反向時脈信號取得該輸入資料信號之第二取樣資料；邊際偵測器，係具有第三取樣維持電路，且該邊際偵測器電性連接該第一回授等化電路或該第二回授等化電路，供該第三取樣維持電路依據對應該正向時脈信號之邊際時脈信號取得該輸入資料信號之轉態資料；第一互斥或閘，係電性連接該第一回授等

化電路與該邊際偵測器，以對該第一取樣資料與該轉態資料進行互斥或運算以產生第一時脈相位移動資訊；及第二互斥或閘，係電性連接該第二回授等化電路與該邊際偵測器，該第二互斥或閘用於對該第二取樣資料與該轉態資料進行互斥或運算以產生第二時脈相位移動資訊。該時脈調整電路，係電性連接該相位偵測裝置，該時脈調整電路用於依據該第一時脈相位移動資訊與該第二時脈相位移動資訊調整該正向時脈信號、反向時脈信號及邊際時脈信號之相位。

該第一回授等化電路可具有依序電性連接該第一取樣維持電路之第一加法器、第一閘鎖器與第二閘鎖器、電性連接該第二回授等化電路之第一乘法器、以及電性連接該第一加法器與該第二閘鎖器之第二乘法器，該第一取樣維持電路係取得該輸入資料信號之複數第一取樣資料，且該第一加法器、第一閘鎖器、第二閘鎖器、第一乘法器與第二乘法器係對該些第一取樣資料進行回授等化以產生第一序列資料。

該第二回授等化電路可具有依序電性連接該第二取樣維持電路之第二加法器、第三閘鎖器與第四閘鎖器、電性連接該第一回授等化電路之第三乘法器、以及電性連接該第二加法器與該第四閘鎖器之第四乘法器，該第二取樣維持電路係取得該輸入資料信號之複數第二取樣資料，且該第二加法器、第三閘鎖器、第四閘鎖器、第三乘法器與第四乘法器係對該些第二取樣資料進行回授等化以產生第二

序列資料。

該邊際偵測器可具有依序電性連接該第三取樣維持電路之第五門鎖器與第六門鎖器，該第三取樣維持電路係自該第一回授等化電路或該第二回授等化電路取得該輸入資料信號之複數轉態資料，該第五門鎖器與該第六門鎖器係對該些轉態資料進行數位化。

該相位偵測裝置可包括第七門鎖器與第八門鎖器，該第七門鎖器係電性連接該第一互斥或閘以輸出該第一時脈相位移動資訊，該第八門鎖器係電性連接該第二互斥或閘以輸出該第二時脈相位移動資訊。

由上述內容可知，本發明中嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路，主要是將具有至少二取樣維持電路之決策回授等化器嵌入時脈資料回復電路之相位偵測裝置，並將邊際偵測器結合至該決策回授等化器之二回授等化電路，且採用互斥或閘運算對輸入資料信號之取樣資料與轉態資料進行運算，藉此取得時脈相位移動資料(UP/DN)以調整正向、反向及邊際時脈信號之相位。

因此，本發明可用於高速、數位式與類比式時脈資料回復電路，並可構成半速率(或四分速率以上)之回授等化電路以減少第一及第二回授等化電路之頻寬之需求，且可同時對輸入資料信號進行等化及校準，亦能減少該相位偵測裝置與該時脈資料回復電路之複雜度，也能縮短該些時脈信號之相位校準時間，還能以更低功耗達到更準確的時脈資料回復效果，同時避免習知之時脈資料回復電路與決

策回授等化器分開或前後擺置所產生之高頻雜訊干擾。

### 【圖式簡單說明】

第 1A 圖係繪示先前技術中 Alexander 相位偵測裝置之電路圖；

第 1B 圖係繪示先前技術第 1A 圖中相位偵測裝置之時序圖；

第 2A 圖係繪示本發明中嵌入決策回授等化器之相位偵測裝置之電路圖；

第 2B 圖係繪示本發明第 2A 圖中嵌入決策回授等化器之相位偵測裝置之時序圖；

第 3A 圖係繪示本發明中嵌入決策回授等化器之時脈資料回復電路與接收器之電路圖；以及

第 3B 圖係繪示本發明第 3A 圖中決策回授等化器之解調信號模擬圖。

### 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技術之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效，亦可藉由其他不同的具體實施例加以施行或應用。

第 2A 圖係繪示本發明中嵌入決策回授等化器 21 之相位偵測裝置 20 之電路圖，第 2B 圖係繪示本發明第 2A 圖中嵌入決策回授等化器 21 之相位偵測裝置 20 之時序圖。

如圖所示，相位偵測裝置 20 主要包括決策回授等化器 21、邊際偵測器 (Edge Detector, ED) 22、第一互斥或閘 Xor1

與第二互斥或閘 Xor2。

在本實施例中，該決策回授等化器 21 係包括二個回授等化電路，例如一具有第一取樣維持電路 S/H1 之第一回授等化電路 21a 與一具有第二取樣維持電路 S/H2 之第二回授等化電路 21b，藉以構成半速率之決策回授等化器。

但在其他實施例中，該決策回授等化器 21 尚可包括更多的回授等化電路及其取樣維持電路，例如四或六個回授等化電路及其取樣維持電路，藉以構成四分速率或六分速度之決策回授等化器，本發明並不以此為限。

該第一取樣維持電路 S/H1 係依據正向時脈信號 Clki 取得輸入資料信號 DataIn 之第一取樣資料 Sodd(如奇數資料)，該第二取樣維持電路 S/H2 係依據對應該正向時脈信號 Clki 之反向時脈信號  $\overline{\text{Clki}}$  取得該輸入資料信號 DataIn 之第二取樣資料 Seven(如偶數資料)，且該反向時脈信號  $\overline{\text{Clki}}$  與該正向時脈信號 Clki 之相位差為 180 度。

該第一回授等化電路 21a 可具有依序電性連接該第一取樣維持電路 S/H1 之第一加法器 A1、第一門鎖器 L1 與第二門鎖器 L2、電性連接該第二回授等化電路 21b 之第一乘法器 W1、以及電性連接該第一加法器 A1 與該第二門鎖器 L2 之第二乘法器 W2。詳言之，該第一加法器 A1 係電性連接該第一取樣維持電路 S/H1 之輸出端，該第一門鎖器 L1 係電性連接該第一加法器 A1 之輸出端，該第二門鎖器 L2 係電性連接該第一門鎖器 L1 之輸出端，該第一乘法器 W1 係電性連接該第一加法器 A1 之輸入端與第三門鎖器 L3 之

輸出端，該第二乘法器 W2 係電性連接該第一加法器 A1 之輸入端與第二閃鎖器 L2 之輸出端。

該第一取樣維持電路 S/H1 係取得該輸入資料信號 DataIn 之複數第一取樣資料 Sodd，如第一取樣資料 D-1、D1、D3... 等。該第一加法器 A1、第一閃鎖器 L1、第二閃鎖器 L2、第一乘法器 W1 與第二乘法器 W2 係對該些第一取樣資料 Sodd 進行回授等化(如倍率補償)，以產生具有該第一取樣資料 D-1、D1、D3 等之第一序列資料 Odd(如奇數序列資料)。

具體而言，該第一加法器 A1 係加總該第一取樣資料 Sodd、第一乘法器 W1 所回授之第二取樣資料 Leven、與第二乘法器 W2 所回授之第一取樣資料 L'odd 以產生第一取樣資料 Aodd。藉此，利用該第一乘法器 W1 與該第二乘法器 W2 等二抽頭 TAP1、TAP2 之回授加法補償，以在該第一取樣資料 Sodd 中加入其前二筆之取樣資料，可提升該第一取樣資料 Aodd 之正確性。

再者，例如當該第一加法器 A1 於取樣該第一取樣資料 D3 時，在處理該第一取樣資料 D3 之前半時間(第一位元時間)，該第一取樣維持電路 S/H1 處於取樣狀態 Sample，且該第一乘法器 W1 所連接之第三閃鎖器 L3 與該第二乘法器 W2 所連接之第二閃鎖器 L2 均處於追蹤狀態 Track。而在處理該第一取樣資料 D3 之後半時間(第二位元時間)，該第一取樣維持電路 S/H1 處於維持狀態 Hold，且該第一乘法器 W1 所連接之第三閃鎖器 L3 與該第二乘法器



W2 所連接之第二閘鎖器 L2 均處於維持狀態 Hold。藉此，可使該第一乘法器 W1 與該第二乘法器 W2 之回授資訊處於軟決策 soft 而非硬決策 hard。

同時，由於該第三閘鎖器 L3 與該第二閘鎖器 L2 在處於追蹤狀態 Track 時，即可使該第一乘法器 W1 與該第二乘法器 W2 開始回授該第二取樣資料  $L_{even}$  及該第一取樣資料  $L'_{odd}$  至該第一加法器 A1，且回授過程最多僅需一半的時間(一位元時間)，故該軟決策之回授資訊具有處理速度快之優點。

而且，該第一加法器 A1 具有二位元時間處理該第一取樣資料  $S_{odd}$ ，故可降低對該第一加法器 A1 之速度需求，並能確保該第一加法器 A1 產生正確的第一取樣資料  $A_{odd}$ 。

另外，該第一閘鎖器 L1 係依據該反向時脈信號  $\overline{Clk_i}$  而處於追蹤狀態 Track 或維持狀態 Hold，並將該第一取樣資料  $A_{odd}$  轉換成第一取樣資料  $L_{odd}$ 。該第二閘鎖器 L2 係依據該正向時脈信號  $Clk_i$  而處於追蹤狀態 Track 或維持狀態 Hold，並將該第一取樣資料  $L_{odd}$  轉換成第一取樣資料  $L'_{odd}$ 。藉此，該第一閘鎖器 L1 與該第二閘鎖器 L2 兩者可等同於一 D 型正反器，並將該第一取樣資料  $A_{odd}$  轉換成具有數位資料 0 與 1 之第一序列資料  $Odd$ 。

該第二回授等化電路 21b 可具有依序電性連接該第二取樣維持電路 S/H2 之第二加法器 A2、第三閘鎖器 L3 與第四閘鎖器 L4、電性連接該第一回授等化電路 21a 之第三乘

法器 W3、以及電性連接該第二加法器 A2 與該第四門鎖器 L4 之第四乘法器 W4。詳言之，該第二加法器 A2 係電性連接該第二取樣維持電路 S/H2 之輸出端，該第三門鎖器 L3 係電性連接該第二加法器 A2 之輸出端，該第四門鎖器 L4 係電性連接該第三門鎖器 L3 之輸出端，該第三乘法器 W3 係電性連接該第二加法器 A2 之輸入端與該第一門鎖器 L1 之輸出端，該第四乘法器 W4 係電性連接該第一加法器 A1 之輸入端與該第四門鎖器 L4 之輸出端。

該第二取樣維持電路 S/H2 係取得該輸入資料信號 DataIn 之複數第二取樣資料 Seven，如第二取樣資料 D0、D2、D4... 等。該第二加法器 A2、第三門鎖器 L3、第四門鎖器 L4、第三乘法器 W3 與第四乘法器 W4 係對該些第二取樣資料 Seven 進行回授等化(如倍率補償)，以產生具有該第二取樣資料 D0、D2、D4 等之第二序列資料 Even(如偶數序列資料)。

具體而言，該第二加法器 A2 係加總該第二取樣資料 Seven、第三乘法器 W3 所回授之第一取樣資料 Lodd、與第四乘法器 W4 所回授之第二取樣資料 L'even 以產生第二取樣資料 Aeven。藉此，利用該第三乘法器 W3 與該第四乘法器 W4 等二抽頭 TAP1、TAP2 之回授加法補償，以在該第二取樣資料 Seven 中加入其前二筆之取樣資料，可提升該第二取樣資料 Aeven 之正確性。

再者，例如當該第二加法器 A2 於取樣該第二取樣資料 D4 時，在處理該第二取樣資料 D4 之前半時間(第一位

元時間)，該第二取樣維持電路 S/H2 處於取樣狀態 Sample，且該第三乘法器 W3 所連接之第一門鎖器 L1 與該第四乘法器 W4 所連接之第四門鎖器 L4 均處於追蹤狀態 Track。而在處理該第二取樣資料 D4 之後半時間(第二位元時間)，該第二取樣維持電路 S/H2 處於維持狀態 Hold，且該第三乘法器 W3 所連接之第一門鎖器 L1 與該第四乘法器 W4 所連接之第四門鎖器 L4 均處於維持狀態 Hold。藉此，可使該第三乘法器 W3 與該第四乘法器 W4 之回授資訊處於軟決策 soft 而非硬決策 hard。

同時，由於該第一門鎖器 L1 與該第四門鎖器 L4 在處於追蹤狀態 Track 時，即可使該第三乘法器 W3 與該第四乘法器 W4 開始回授該第一取樣資料 L<sub>odd</sub> 及該第二取樣資料 L<sub>even</sub> 至該第二加法器 A2，且回授過程最多僅需一半的時間(一位元時間)，故該軟決策之回授資訊具有處理速度快之優點。

而且，該第二加法器 A2 具有二位元時間處理該第二取樣資料 Seven，故可降低對該第二加法器 A2 之速度需求，並能確保該第二加法器 A2 產生正確的第二取樣資料 A<sub>even</sub>。

另外，該第三門鎖器 L3 係依據該正向時脈信號 Cl<sub>ki</sub> 而處於追蹤狀態 Track 或維持狀態 Hold，並將該第二取樣資料 A<sub>even</sub> 轉換成第二取樣資料 L<sub>even</sub>。該第四門鎖器 L4 係依據該反向時脈信號  $\overline{\text{Cl}_{ki}}$  而處於追蹤狀態 Track 或維持狀態 Hold，並將該第二取樣資料 L<sub>even</sub> 轉換成第二取樣資

料 L'even。藉此，該第三門鎖器 L3 與該第四門鎖器 L4 兩者可等同於一 D 型正反器，並將該第二取樣資料 Aeven 轉換成具有數位資料 0 與 1 之第二序列資料 Even。

該邊際偵測器 22 係具有第三取樣維持電路 S/H3 以電性連接該第一回授等化電路 21a 之第一加法器 A1 之輸出端、或該第二回授等化電路 21b 之第二加法器 A2 之輸出端，且該第三取樣維持電路 S/H3 可依據對應該正向時脈信號 Clki 之邊際時脈信號 Clkq，自該第一取樣資料 Aodd 或該第二取樣資料 Aeven 中取得經該第一回授等化電路 21a 或該第二回授等化電路 21b 回授等化後之轉態資料 Aedge，且該邊際時脈信號 Clkq 與該正向時脈信號 Clki 之相位差為 90 度。

該邊際偵測器 22 可具有依序電性連接該第三取樣維持電路 S/H3 之第五門鎖器 L5 與第六門鎖器 L6。該第三取樣維持電路 S/H3 係自該第一回授等化電路 21a 或該第二回授等化電路 21b 中取得該輸入資料信號 DataIn 之複數轉態資料 Aedge，如第 2B 圖之轉態資料 T1、T2... 等。

該第五門鎖器 L5 係依據對應該邊際時脈信號 Clkq 之反向邊際時脈信號  $\overline{\text{Clkq}}$  而處於追蹤狀態 Track 或維持狀態 Hold，並將該轉態資料 Aedge 轉換成轉態資料 Ledge。該第六門鎖器 L6 係依據該邊際時脈信號 Clkq 而處於追蹤狀態 Track 或維持狀態 Hold，並將該轉態資料 Ledge 轉換成轉態資料 Edge。藉此，該第五門鎖器 L5 與該第六門鎖器 L6 兩者可等同於或改換為一 D 型正反器，並可將該轉態資

料 Ledge 轉換成具有數位資料 0 與 1 之轉態資料 Edge。

該第一互斥或閘 Xor1 係電性連接該第一回授等化電路 21a 之第二門鎖器 L2 之輸出端與該邊際偵測器 22 之第六門鎖器 L6 之輸出端，並對該第一序列資料 Odd 之第一取樣資料 L'odd 與該轉態資料 Edge 進行互斥或運算以產生第一時脈相位移動資訊 UP，以便決定是否將該些時脈資料 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  向前領先(向左移動)。

該第二互斥或閘 Xor2 係電性連接該第二回授等化電路 21b 之第四門鎖器 L4 之輸出端與該邊際偵測器 22 之第六門鎖器 L6 之輸出端，並對該第二序列資料 Even 之第二取樣資料 L'even 與該轉態資料 Edge 進行互斥或運算以產生第二時脈相位移動資訊 DN，以便決定是否將該些時脈資料 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  向後延遲(向右移動)。

例如，在輸入資料信號 DataIn 中，該第一取樣資料 L'odd 之第一取樣資料 D1(見第 2B 圖)等於 0，該轉態資料 Edge 之轉態資料 T1 大於 0.5 且其經數位化後等於 1，該第二取樣資料 L'even 之第二取樣資料 D2 等於 1。所以，該第一互斥或閘 Xor1 將該第一取樣資料 D1 與該轉態資料 T1 進行互斥或運算後會得到等於 1 之第一時脈相位移動資訊 UP，而該第二互斥或閘 Xor2 將該第二取樣資料 D2 與該轉態資料 T1 進行互斥或運算後會得到等於 0 之第二時脈相位移動資訊 DN，表示該第一序列資料 Odd 之第一取樣資料 D1 不同於該轉態資料 Edge 之轉態資料 T1，且該第二序列資料 Even 之第二取樣資料 D2 相同於該轉態資料 Edge 之轉

態資料 T1，則可將該些時脈資料 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  同步向前領先一預定相位以校準之。

反之，例如該第一取樣資料 L'odd 之第一取樣資料 D3 等於 0，該轉態資料 Edge 之轉態資料 T2 小於 0.5 且其經數位化後等於 0，該第二取樣資料 L'even 之第二取樣資料 D4 等於 1。所以，該第一互斥或閘 Xor1 將該第一取樣資料 D3 與該轉態資料 T2 進行互斥或運算後會得到等於 0 之第一時脈相位移動資訊 UP，而該第二互斥或閘 Xor2 將該第一取樣資料 D3 與該轉態資料 T2 進行互斥或運算後會得到等於 1 之第二時脈相位移動資訊 DN，表示該第一序列資料 Odd 之第一取樣資料 D3 相同於該轉態資料 Edge 之轉態資料 T2，且該第二序列資料 Even 之第二取樣資料 D4 相同於該轉態資料 Edge 之轉態資料 T2，則可將該些時脈資料 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  同步向後延遲一預定相位以校準之。

若該轉態資料 Edge 之轉態資料 T1(或 T2)於未數位化前等於 0.5、或者等於該第一取樣資料 D1 與該第二取樣資料 D2 之中間值，表示該轉態資料 T1 位於該第一取樣資料 D1 與該第二取樣資料 D2 之正中間位置(縱軸)或零交叉點，但由於該輸入資料信號 DataIn 中通常含有雜訊，故該轉態資料 T1(或 T2)經數位化後必會等於 0 或 1，藉此可將該些時脈信號 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  同步向前領先或向後延遲一預定相位以校準之。

該相位偵測裝置 20 可包括第七閘鎖器 L7 與第八閘鎖器 L8，該第七閘鎖器 L7 係電性連接該第一互斥或閘 Xor1

並可正確輸出該第一時脈相位移動資訊 UP，該第八門鎖器 L8 係電性連接該第二互斥或閘 Xor2 並可正確輸出該第二時脈相位移動資訊 DN。

第 3A 圖係繪示本發明中嵌入決策回授等化器 21 之時脈資料回復電路 2 與接收器 3 之電路圖，第 3B 圖係繪示本發明第 3A 圖中決策回授等化器 21 之解調信號模擬圖。

如第 3A 圖與上述第 2A 圖至第 2B 圖所示，時脈資料回復電路 2 主要包括相位偵測裝置 20 與時脈調整電路 26，亦可包括適應式係數調整器 24 與選擇器 25 等，但不以此為限。

該相位偵測裝置 20 主要包括決策回授等化器 21、邊際偵測器 22 與互斥或閘 23，也可包括第七門鎖器 L7 與第八門鎖器 L8 等，且該互斥或閘 23 可包括第一互斥或閘 Xor1 與第二互斥或閘 Xor2。

該決策回授等化器 21 係包括一具有第一取樣維持電路 S/H1 之第一回授等化電路 21a 與一具有第二取樣維持電路 S/H2 之第二回授等化電路 21b，該第一取樣維持電路 S/H1 係依據正向時脈信號 Clki 取得輸入資料信號 DataIn 之第一取樣資料 Sodd，且該第二取樣維持電路 S/H2 係依據對應該正向時脈信號 Clki 之反向時脈信號  $\overline{\text{Clki}}$  取得該輸入資料信號 DataIn 之第二取樣資料 Seven。

該邊際偵測器 22 係具有第三取樣維持電路 S/H3，該邊際偵測器 22 電性連接該第一回授等化電路 21a 或該第二回授等化電路 21b，且該第三取樣維持電路 S/H3 係依據對

應該正向時脈信號 Clki 之邊際時脈信號 Clkq 取得該輸入資料信號 DataIn 之轉態資料 Aedge。

該第一互斥或閘 Xor1 係電性連接該第一回授等化電路 21a 與該邊際偵測器 22，該第一互斥或閘 Xor1 用於對該第一序列資料 Odd 之第一取樣資料 L'odd 與該轉態資料 Edge 進行互斥或運算以產生第一時脈相位移動資訊 UP。而該第二互斥或閘 Xor2 係電性連接該第二回授等化電路 21b 與該邊際偵測器 22，該第二互斥或閘 Xor2 用於對該第二序列資料 Even 之第二取樣資料 L'even 與該轉態資料 Edge 進行互斥或運算以產生第二時脈相位移動資訊 DN。

除此之外，該相位偵測裝置 20 之相關技術內容請參考上述第 2A 圖與第 2B 圖之詳細說明，於此不再重覆敘述。

該時脈調整電路 26 係電性連接該相位偵測裝置 20 之決策回授等化器 21、與該互斥或閘 23 之第一互斥或閘 Xor1 及第二互斥或閘 Xor2，以依據該第一時脈相位移動資訊 UP 與該第二時脈相位移動資訊 DN 調整該正向時脈信號 Clki、反向時脈信號  $\overline{\text{Clki}}$ 、邊際時脈信號 Clkq 及反向邊際時脈信號  $\overline{\text{Clkq}}$  之相位，俾將該些時脈信號 Clki、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  之相位同步向前領先或向後延遲一預定相位以校準之。

該時脈資料回復電路 2 可包括適應式係數調整器 24，係電性連接該決策回授等化器 21，該適應式係數調整器 24 用以調整該決策回授等化器 21 之第一乘法器 W1、第二乘法器 W2、第三乘法器 W3 與第四乘法器 W4 之倍率，藉以



回授等化該第一取樣資料  $A_{odd}$ 、第二取樣資料  $A_{even}$  及轉態資料  $A_{edge}$ 。而且，該適應式係數調整器 24 可具有臨界追蹤電路 (Threshold Tracking Circuit) 或誤差等化器 (Error Equalizer) 等元件，但不以此為限。

該時脈資料回復電路 2 可包括選擇器 25，係電性連接該決策回授等化器 21，該選擇器 25 用於選擇及排序該輸入資料信號  $DataIn$  之第一序列資料  $Odd$  與第二序列資料  $Even$  以產生輸出資料信號  $DataOut$ 。

該時脈調整電路 26 可具有迴路濾波器 27 以電性連接該互斥或閘 23 之第一互斥或閘  $Xor1$  與第二互斥或閘  $Xor2$ ，且該迴路濾波器 27 係接收該第一時脈相位移動資訊  $UP$  與該第二時脈相位移動資訊  $DN$ 。

該時脈調整電路 26 可具有鎖相迴路 (Phase Locked Loop, PLL) 28，用於電性連接該決策回授等化器 21 與該邊際偵測器 22，該鎖相迴路係接收參考時脈信號  $ClkRef$ ，以依據該第一時脈相位移動資訊  $UP$  與該第二時脈相位移動資訊  $DN$  調整該正向時脈信號  $Clk$ 、反向時脈信號  $\overline{Clk_i}$ 、邊際時脈信號  $Clk_q$  及反向邊際時脈信號  $\overline{Clk_q}$  之相位，可將該些時脈信號  $Clk$ 、 $\overline{Clk_i}$ 、 $Clk_q$  及  $\overline{Clk_q}$  同步向前領先或向後延遲以校準之，俾使該第一取樣維持電路  $S/H1$ 、第二取樣維持電路  $S/H2$  與第三取樣維持電路  $S/H3$  分別依據校準後之時脈信號  $Clk$ 、 $\overline{Clk_i}$  及  $Clk_q$  取得正確的取樣資料。

該鎖相迴路 28 可具有相位頻率偵測器 (Phase Frequency Detector, PFD)、低通濾波器 (Low Pass Filter,

LPF)、壓控振盪器(Voltage Controlled Oscillator, VCO)、除頻器(Frequency Divider)或相位內插器(PI)等元件，且該壓控振盪器可用以調整該些時脈信號 Clk、 $\overline{\text{Clki}}$ 、Clkq 及  $\overline{\text{Clkq}}$  之相位，但不以此為限。

又如第 3A 圖與第 3B 圖所示，接收器 3 係包括本發明之時脈資料回復電路 2、通道(channel)31 與類比等化器 32，該通道 31 可為印刷電路板之電路，該類比等化器 32 可為連續時間線性等化器(Continued Time Linear Equalizer, CTLE)。

該輸入資料信號 DataIn 通過該通道 31 後會帶有雜訊或形成衰減資料信號 Loss，該類比等化器 32 可將該衰減資料信號 Loss 先行等化以形成輸出資料信號 CtleOut，該決策回授等化器 21 則可將該輸出資料信號 CtleOut 進行等化以產生輸出資料信號 DataOut，俾使該輸出資料信號 DataOut 之時脈資料回復至相同於或吻合於該輸入資料信號 DataIn 之時脈資料。在其他實施例中，該接收器 3 亦可不具有該類比等化器 32，以使該決策回授等化器 21 直接將該輸入資料信號 DataIn 或其衰減資料信號 Loss 進行等化而產生該輸出資料信號 DataOut。

由上述內容可知，本發明中嵌入決策回授等化器之相位偵測裝置與時脈資料回復電路，主要是將具有至少二取樣維持電路之決策回授等化器嵌入時脈資料回復電路之相位偵測裝置，並將邊際偵測器結合至該決策回授等化器之二回授等化電路，且採用互斥或閘運算對輸入資料信號之

取樣資料與轉態資料進行運算，藉此取得時脈相位移動資料(UP/DN)以調整正向、反向及邊際時脈信號之相位。

因此，本發明可用於高速、數位式與類比式時脈資料回復電路，並可構成半速率(或四分速率以上)之回授等化電路以減少第一及第二回授等化電路之頻寬之需求，且可同時對輸入資料信號進行等化及校準，亦能減少該相位偵測裝置與該時脈資料回復電路之複雜度，也能縮短該些時脈信號之相位校準時間，還能以更低功耗達到更準確的時脈資料回復效果，同時避免習知之時脈資料回復電路與決策回授等化器分開或前後擺置所產生之高頻雜訊干擾。

上述實施例僅例示性說明本發明之原理、特點及其功效，並非用以限制本發明之可實施範疇，任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。任何運用本發明所揭示內容而完成之等效改變及修飾，均應為本發明之申請專利範圍所涵蓋。因此，本發明之權利保護範圍，應如申請專利範圍所列。

### 【符號說明】

1、20	相位偵測裝置
2	時脈資料回復電路
21	決策回授等化器
21a	第一回授等化電路
21b	第二回授等化電路
22	邊際偵測器

23	互斥或閘
24	適應式係數調整器
25	選擇器
26	時脈調整電路
27	迴路濾波器
28	鎖相迴路
3	接收器
31	通道
32	類比等化器
A1	第一加法器
A2	第二加法器
Aedge、Edge、Ledge、T1、T2	轉態資料
Aeven、D0、D2、D4、Leven、L'even、Seven	第二取樣資料
Aodd、D-1、D1、D3、Lodd、L'odd、Sodd	第一取樣資料
Clki	正向時脈信號
$\overline{\text{Clki}}$	反向時脈信號
Clkq	邊際時脈信號
$\overline{\text{Clkq}}$	反向邊際時脈信號
ClkRef	參考時脈信號
CtleOut、DataOut	輸出資料信號
Da、Db、Dc	D型正反器
DataIn	輸入資料信號
DN	第二時脈相位移動資訊
Even	第二序列資料

hard	硬決策
Hold	維持狀態
L1	第一門鎖器
L2	第二門鎖器
L3	第三門鎖器
L4	第四門鎖器
L5	第五門鎖器
L6	第六門鎖器
L7	第七門鎖器
L8	第八門鎖器
Loss	衰減資料信號
Odd	第一序列資料
Sample	取樣狀態
S/H1	第一取樣維持電路
S/H2	第二取樣維持電路
S/H3	第三取樣維持電路
soft	軟決策
TAP1、TAP2	抽頭
Track	追蹤狀態
UP	第一時脈相位移動資訊
W1	第一乘法器
W2	第二乘法器
W3	第三乘法器
W4	第四乘法器

Xor1

第一互斥或閘

Xor2

第二互斥或閘

# 申請專利範圍

1. 一種嵌入決策回授等化器之相位偵測裝置，其包括：

決策回授等化器，係包括一具有第一取樣維持電路之第一回授等化電路與一具有第二取樣維持電路之第二回授等化電路，該第一取樣維持電路係依據正向時脈信號取得輸入資料信號之第一取樣資料，且該第二取樣維持電路係依據對應該正向時脈信號之反向時脈信號取得該輸入資料信號之第二取樣資料；

邊際偵測器，係具有第三取樣維持電路，且該邊際偵測器電性連接該第一回授等化電路或該第二回授等化電路，供該第三取樣維持電路依據對應該正向時脈信號之邊際時脈信號取得該輸入資料信號之轉態資料；

第一互斥或閘，係電性連接該第一回授等化電路與該邊際偵測器，該第一互斥或閘用於對該第一取樣資料與該轉態資料進行互斥或運算以產生第一時脈相位移動資訊；以及

第二互斥或閘，係電性連接該第二回授等化電路與該邊際偵測器，該第二互斥或閘用於對該第二取樣資料與該轉態資料進行互斥或運算以產生第二時脈相位移動資訊。

2. 如申請專利範圍第 1 項所述之相位偵測裝置，其中，該第一回授等化電路復具有依序電性連接該第一取樣維持電路之第一加法器、第一閘鎖器與第二閘鎖器、

- 電性連接該第二回授等化電路之第一乘法器、以及電性連接該第一加法器與該第二門鎖器之第二乘法器，該第一取樣維持電路係取得該輸入資料信號之複數第一取樣資料，且該第一加法器、第一門鎖器、第二門鎖器、第一乘法器與第二乘法器係對該些第一取樣資料進行回授等化以產生第一序列資料。
3. 如申請專利範圍第 1 項所述之相位偵測裝置，其中，該第二回授等化電路復具有依序電性連接該第二取樣維持電路之第二加法器、第三門鎖器與第四門鎖器、電性連接該第一回授等化電路之第三乘法器、以及電性連接該第二加法器與該第四門鎖器之第四乘法器，該第二取樣維持電路係取得該輸入資料信號之複數第二取樣資料，且該第二加法器、第三門鎖器、第四門鎖器、第三乘法器與第四乘法器係對該些第二取樣資料進行回授等化以產生第二序列資料。
4. 如申請專利範圍第 1 項所述之相位偵測裝置，其中，該邊際偵測器復具有依序電性連接該第三取樣維持電路之第五門鎖器與第六門鎖器，該第三取樣維持電路係自該第一回授等化電路或該第二回授等化電路取得該輸入資料信號之複數轉態資料，該第五門鎖器或該第六門鎖器係對該些轉態資料進行數位化。
5. 如申請專利範圍第 1 項所述之相位偵測裝置，復包括第七門鎖器與第八門鎖器，該第七門鎖器係電性連接該第一互斥或閘以輸出該第一時脈相位移動資訊，該



第八門鎖器係電性連接該第二互斥或閘以輸出該第二時脈相位移動資訊。

6. 一種嵌入決策回授等化器之時脈資料回復電路，其包括：

相位偵測裝置，係包括：

決策回授等化器，係包括一具有第一取樣維持電路之第一回授等化電路與一具有第二取樣維持電路之第二回授等化電路，該第一取樣維持電路係依據正向時脈信號取得輸入資料信號之第一取樣資料，且該第二取樣維持電路係依據對應該正向時脈信號之反向時脈信號取得該輸入資料信號之第二取樣資料；

邊際偵測器，係具有第三取樣維持電路，且該邊際偵測器電性連接該第一回授等化電路或該第二回授等化電路，供該第三取樣維持電路依據對應該正向時脈信號之邊際時脈信號取得該輸入資料信號之轉態資料；

第一互斥或閘，係電性連接該第一回授等化電路與該邊際偵測器，該第一互斥或閘用於對該第一取樣資料與該轉態資料進行互斥或運算以產生第一時脈相位移動資訊；及

第二互斥或閘，係電性連接該第二回授等化電路與該邊際偵測器，該第二互斥或閘用於對該第二取樣資料與該轉態資料進行互斥或運算以產

生第二時脈相位移動資訊；以及

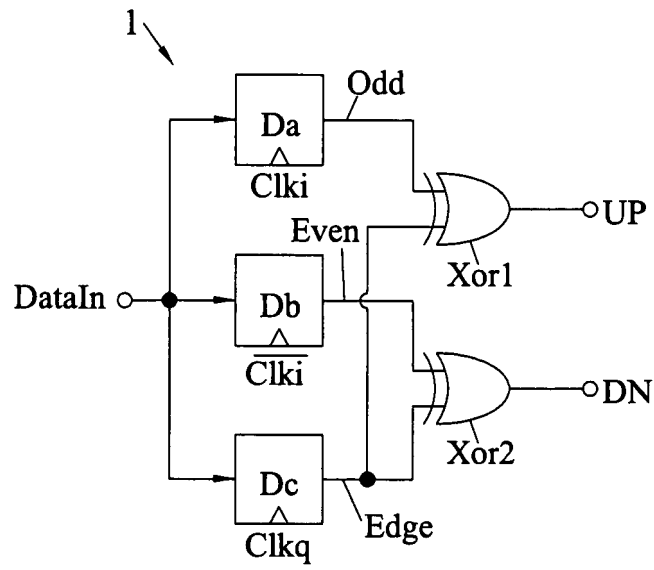
時脈調整電路，係電性連接該相位偵測裝置，以依據該第一時脈相位移動資訊與該第二時脈相位移動資訊調整該正向時脈信號、反向時脈信號及邊際時脈信號之相位。

7. 如申請專利範圍第 6 項所述之時脈資料回復電路，其中，該第一回授等化電路復具有依序電性連接該第一取樣維持電路之第一加法器、第一閃鎖器與第二閃鎖器、電性連接該第二回授等化電路之第一乘法器、以及電性連接該第一加法器與該第二閃鎖器之第二乘法器，該第一取樣維持電路係取得該輸入資料信號之複數第一取樣資料，且該第一加法器、第一閃鎖器、第二閃鎖器、第一乘法器與第二乘法器係對該些第一取樣資料進行回授等化以產生第一序列資料。
8. 如申請專利範圍第 6 項所述之時脈資料回復電路，其中，該第二回授等化電路復具有依序電性連接該第二取樣維持電路之第二加法器、第三閃鎖器與第四閃鎖器、電性連接該第一回授等化電路之第三乘法器、以及電性連接該第二加法器與該第四閃鎖器之第四乘法器，該第二取樣維持電路係取得該輸入資料信號之複數第二取樣資料，且該第二加法器、第三閃鎖器、第四閃鎖器、第三乘法器與第四乘法器係對該些第二取樣資料進行回授等化以產生第二序列資料。
9. 如申請專利範圍第 6 項所述之時脈資料回復電路，其

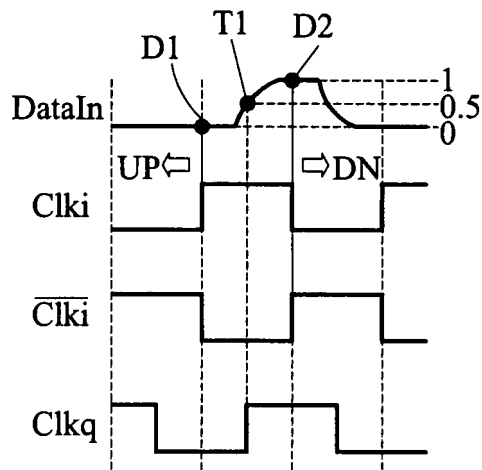
中，該邊際偵測器復具有依序電性連接該第三取樣維持電路之第五閘鎖器與第六閘鎖器，該第三取樣維持電路係自該第一回授等化電路或該第二回授等化電路取得該輸入資料信號之複數轉態資料，該第五閘鎖器與該第六閘鎖器係對該些轉態資料進行數位化。

10. 如申請專利範圍第 6 項所述之時脈資料回復電路，復包括第七閘鎖器與第八閘鎖器，該第七閘鎖器係電性連接該第一互斥或閘以輸出該第一時脈相位移動資訊，該第八閘鎖器係電性連接該第二互斥或閘以輸出該第二時脈相位移動資訊。

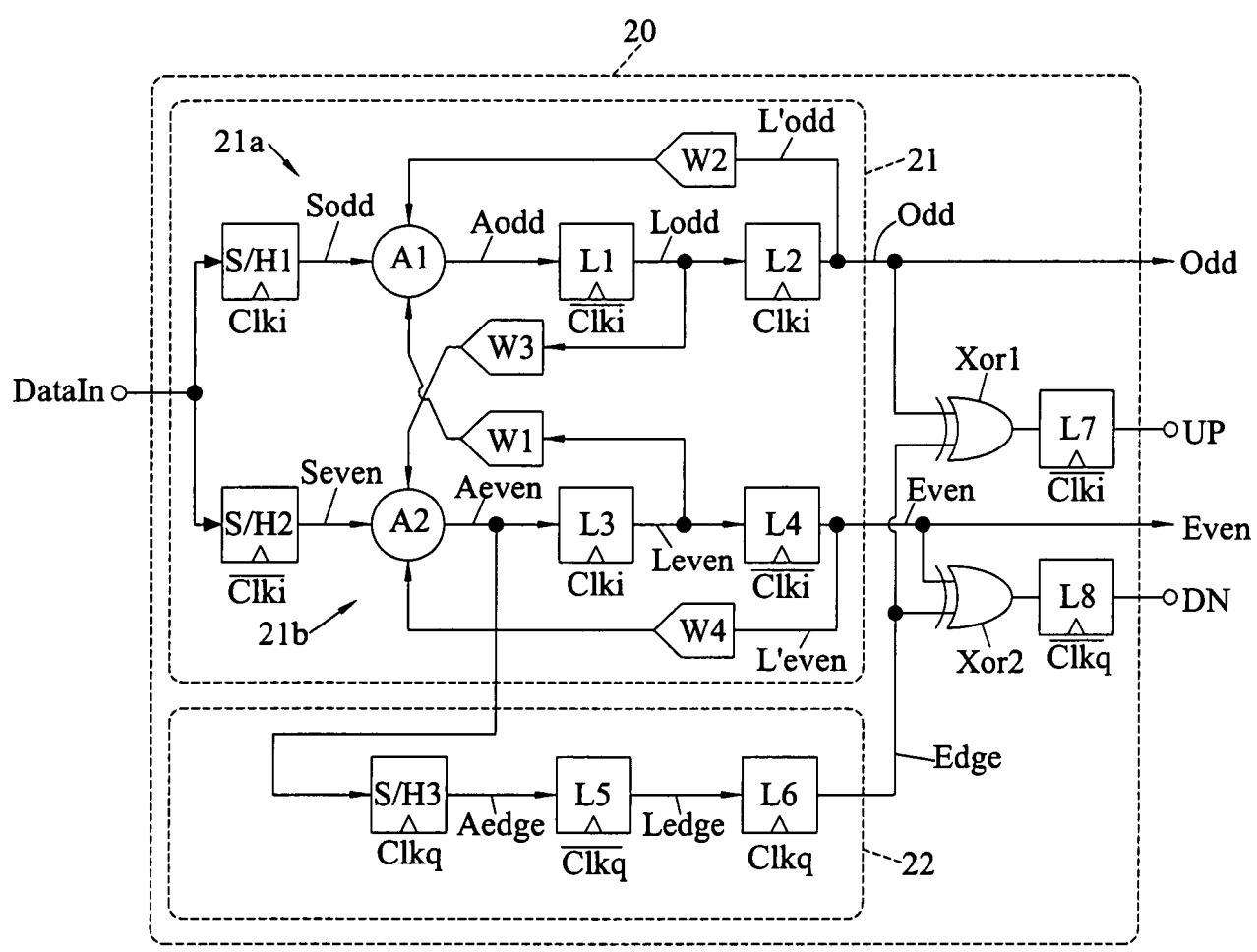
# 圖式



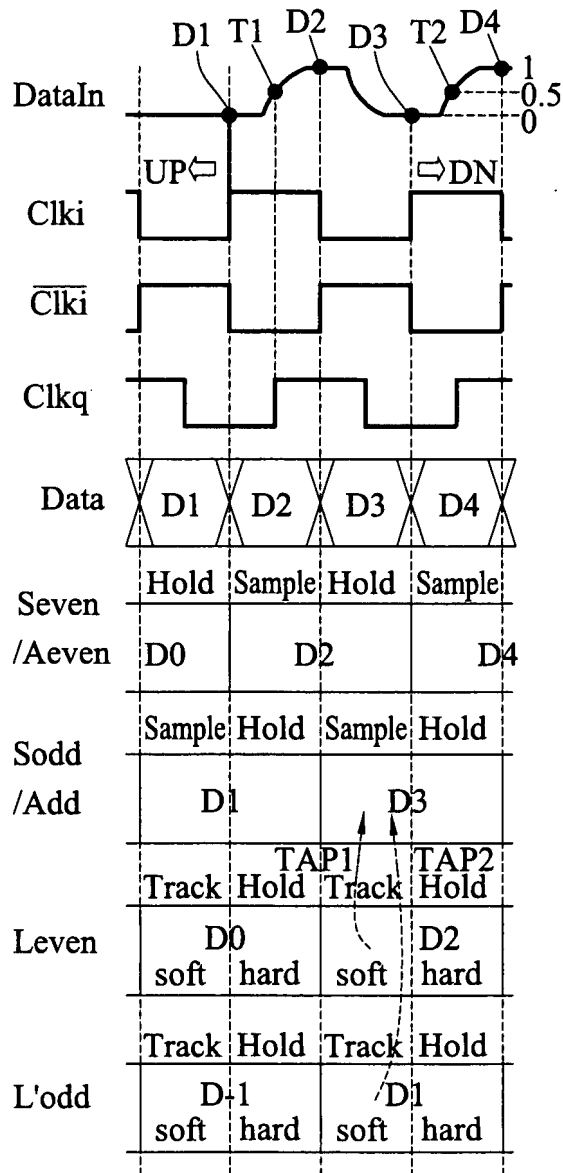
## 第1A圖



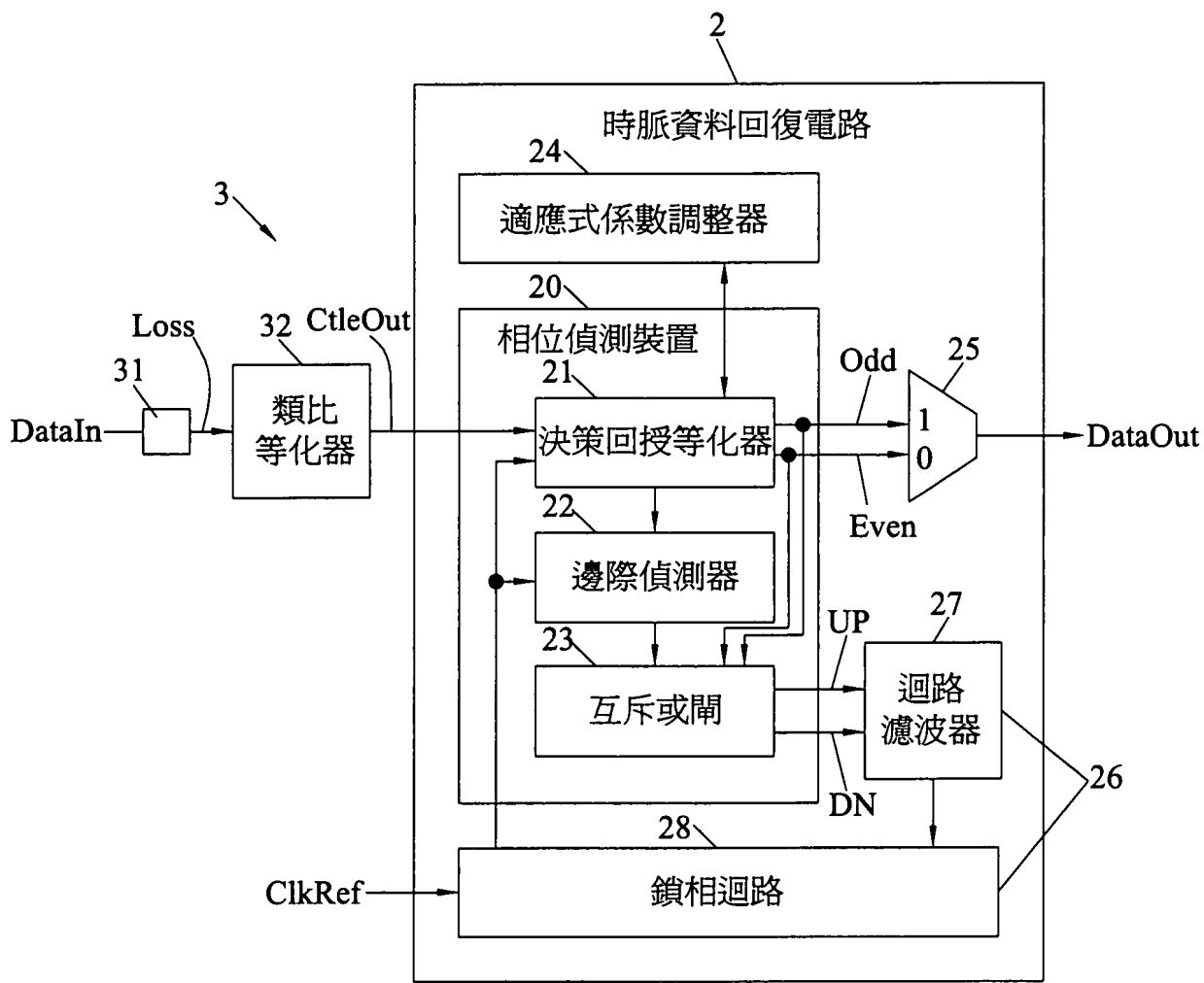
## 第1B圖



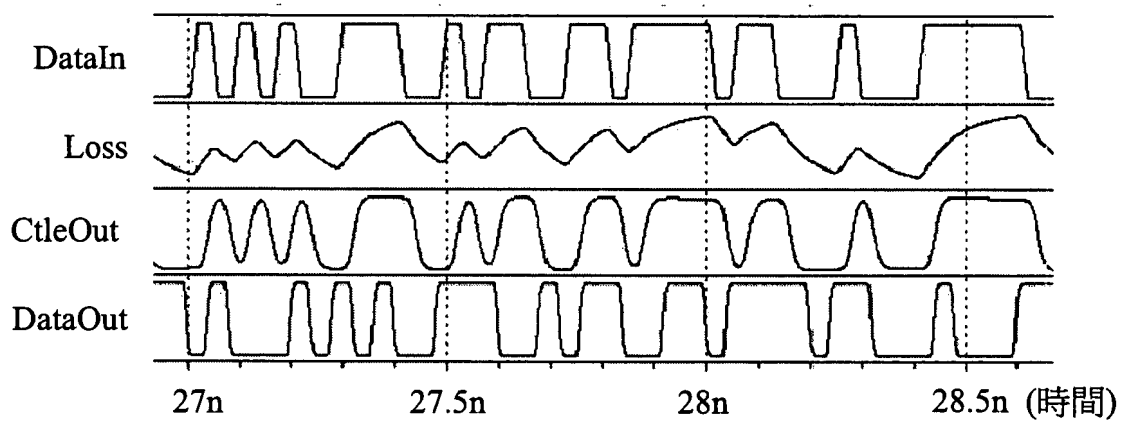
第2A圖



第2B圖



第3A圖



第3B圖