



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201618304 A

(43) 公開日：中華民國 105 (2016) 年 05 月 16 日

(21) 申請案號：103138491

(22) 申請日：中華民國 103 (2014) 年 11 月 06 日

(51) Int. Cl. :

*H01L29/778 (2006.01)**H01L21/28 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；林岳欽 LIN, YUEH-CHIN (TW)；謝廷恩  
HSIEH, TING-EN (TW)

(74) 代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：23 項 圖式數：6 共 20 頁

(54) 名稱

高電子遷移率電晶體及其製造方法

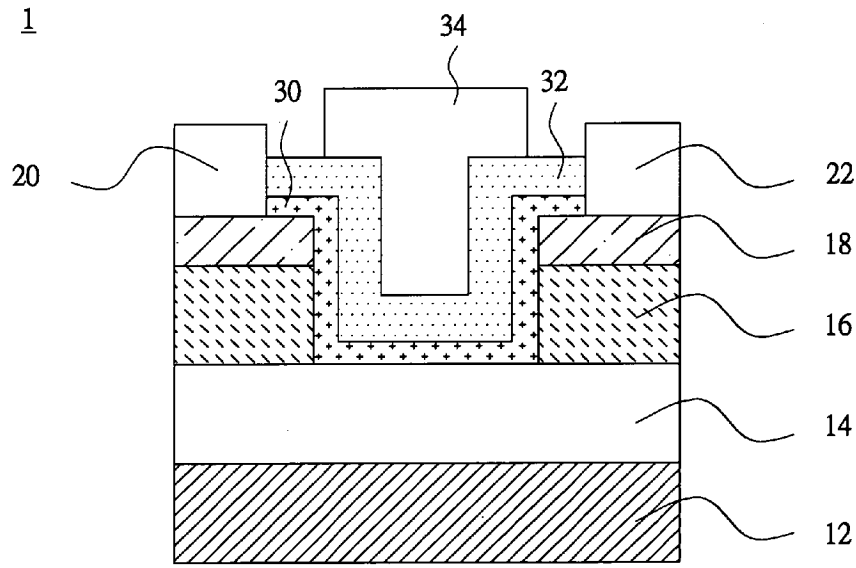
HIGH ELECTRON MOBILITY TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明提供一種高電子遷移率電晶體，以閘極掘入結構搭配高介電常數氧化層以及氮化物介面鈍化層，具有高臨界電壓、高轉導、高穩定之汲極輸出電流以及高可靠度等特性及優點。

A high electron mobility transistor is realized in the present invention by gate recessed structure with high dielectric constant oxide layer and nitride-based interfacial passivation layer. It has the characteristics and advantages of high threshold voltage, high transconductance, high steady drain output current, and high reliability.

指定代表圖：



符號簡單說明：

1 . . . 高電子遷移率  
電晶體

12 . . . 基板

14 . . . 通道層

16 . . . 施體供應層

18 . . . 保護層

20 . . . 汲極構件

22 . . . 源極構件

30 . . . 介面鈍化層

32 . . . 介電層

34 . . . 閘極構件

圖1



申請日: 103.11.06

201618304

【發明摘要】

IPC分類:

H01L 29/1778.2006.01

H01L 21/82.2006.01

【中文發明名稱】高電子遷移率電晶體及其製造方法

【英文發明名稱】HIGH ELECTRON MOBILITY TRANSISTOR AND

MANUFACTURING METHOD THEREOF

【中文】

本發明提供一種高電子遷移率電晶體，以閘極掘入結構搭配高介電常數氧化層以及氮化物介面鈍化層，具有高臨界電壓、高轉導、高穩定之汲極輸出電流以及高可靠度等特性及優點。

【英文】

A high electron mobility transistor is realized in the present invention by gate recessed structure with high dielectric constant oxide layer and nitride-based interfacial passivation layer. It has the characteristics and advantages of high threshold voltage, high transconductance, high steady drain output current, and high reliability.

【指定代表圖】圖1

【代表圖之符號簡單說明】

- 1 高電子遷移率電晶體
- 12 基板
- 14 通道層
- 16 施體供應層
- 18 保護層
- 20 汲極構件

- 22 源極構件
- 30 介面鈍化層
- 32 介電層
- 34 閘極構件

## 【發明說明書】

【中文發明名稱】高電子遷移率電晶體及其製造方法

【英文發明名稱】HIGH ELECTRON MOBILITY TRANSISTOR AND  
MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】本發明是有關一種電晶體及其製造方法，特別是一種高電子遷移率電晶體（high electron mobility transistor，HEMT）及其製造方法。

### 【先前技術】

【0002】氮化鎵高電子遷移率電晶體（GaN-HEMT）由於具有高輸出功率、高輸出電壓、耐高溫等優良特性，近年來已被廣泛應用於高功率電路系統中。而傳統之氮化鎵電晶體由於其結構中之氮化鎵／氮化鋁鎵具有大量之極化電荷以形成二維電子氣（two-dimensional electron gas，2DEG），在此模式下操作之電晶體，一般稱之為常開式（normally on）電晶體。由於常開模式之電晶體其臨界電壓（threshold voltage）為負值，即電晶體在零閘極電壓時，電晶體仍為導通狀態，形成額外之功率損耗。此外，由於高功率電路系統需操作在極高之偏壓環境下，容易產生瞬間脈衝電壓，倘若電晶體之臨界電壓不足以抵檔之，仍易導致高功率元件之不正常導通，造成此電路系統之誤動作，影響系統之穩定度。因此，發展常關式（normally off）之氮化鎵高電子遷移率電晶體乃未來之重要趨勢。

【0003】傳統之氮化鎵高電子遷移率電晶體，係沉積高介電常數氧化層於電晶體中，實現具有高臨界電壓以及低閘極漏電流之常關式氮化鎵電晶體元

件。由於高介電常數材料多數為金屬氧化物，在沉積於氮化鎵磊晶表面時，容易在介面處形成額外之氧化物。另一方面，氮化鎵內部之二維電子氣通道之二維電子也容易被閘極氧化層捕捉 (trap)，使得電子無法正常回到二維電子氣通道中。因此，傳統結構之常關式氮化鎵電晶體容易在操作時發生臨界電壓遲滯 (hysteresis) 之現象。

【0004】 綜上所述，如何改善電晶體之臨界電壓之穩定性及可靠度便是目前極需努力的目標。

#### 【發明內容】

【0005】 本發明提供一種具有高穩定性臨界電壓以及高可靠度之高電子遷移率電晶體及其製造方法。

【0006】 本發明一實施例之一種高電子遷移率電晶體包含一基板、一通道層、一施體供應層、一源極構件、一汲極構件、一介面鈍化層、一介電層以及一閘極構件。通道層包含一第一III-V族化合物，並設置於基板上。施體供應層包含與第一III-V族化合物相異之一第二III-V族化合物，並設置於通道層上；施體供應層具有一凹槽，使部分通道層曝露出來。源極構件以及汲極構件分別設置於施體供應層上，並與施體供應層形成歐姆接觸，其中源極構件以及汲極構件分別設置於凹槽之相對側。介面鈍化層設置於凹槽之一內側表面，而介電層設置於介面鈍化層上，且閘極構件對應凹槽設置於介電層上。

【0007】 本發明另一實施例之一種高電子遷移率電晶體之製造方法，包含：形成包含一第一III-V族化合物之一通道層於一基板上；形成包含一第二III-V族化合物之一施體供應層於通道層上；形成彼此分離之一源極構件以及一汲極構件於施體供應層上，且分別與施體供應層形成歐姆接觸；形成一凹槽於施體

供應層，以曝露出部分通道層，其中凹槽位於源極構件以及汲極構件之間；形成一介面鈍化層於凹槽之內側表面；形成一介電層於介面鈍化層上；以及形成一閘極構件於介電層上。

【0008】藉由本發明，可以克服常關式電晶體因其沉積高介電系數氧化層所產生之臨界電壓不穩之問題，有助於減少元件待機時之功率損耗，以及提升使常開式與常關式整合之氮化鎵數位邏輯電路之可行性。

【0009】以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

#### 【圖式簡單說明】

##### 【0010】

圖1為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之剖面圖。

圖2a至圖2d為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之製造步驟。

圖3為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之剖面圖。

圖4為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之汲極電流以及轉導對應於閘極偏壓變化之關係圖。

圖5a為一示意圖，顯示無介面鈍化層之高電子遷移率電晶體之汲極電流對應於閘極偏壓變化之關係圖。

圖5b為一示意圖，顯示無介面鈍化層之高電子遷移率電晶體之汲極電流對應於汲極偏壓變化之關係圖。

圖6a為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之汲極電流對應於閘極偏壓變化之關係圖。

圖6b為一示意圖，顯示本發明一實施例之高電子遷移率電晶體之汲極電流對應於汲極偏壓變化之關係圖。

### 【實施方式】

【0011】請參照圖1，本發明之一實施例之一種高電子遷移率電晶體1，其包含一基板12、一通道層14、一施體供應層16、一保護層18、一源極構件20、一汲極構件22、一介面鈍化層30、一介電層32以及一閘極構件34。基板12可為矽基板、碳化矽基板或藍寶石基板。於另一實施例中，如圖3所示，所屬技術領域中具有通常知識者，可設置一緩衝層13於基板12上，以利後續磊晶層的形成。緩衝層之材料可為氮化鋁層、氮化鋁鎵層以及氮化鎵層至少其中之一。

【0012】接續上述說明，請參照圖1，通道層14、施體供應層16、以及保護層18係依序設置於基板12上。通道層14可為一第一III-V族化合物層，例如：氮化鎵、砷化鎵或磷化銻等材質。施體供應層16可為與第一III-V族化合物相異之一第二III-V族化合物層，例如：氮化鋁鎵、砷化鋁鎵或磷化鋁銻等材質。其中，施體供應層16具有一凹槽，使部分通道層14曝露出來。可以理解的是，通道層14和施體供應層16之間具有不連續性的能隙存在，由於自發極化以及壓電效應，使施體供應層16內之大量極化電荷進入通道層14，形成二維電子氣體載子通道（two-dimensional electron gas, 2DEG）於通道層14中。此外，由於施體供應層16具有一凹槽使部分通道層14曝露出來，在凹槽正下方之二維電子氣載子通道中之二維電子濃度極低，幾乎可忽略而難以形成一導通路徑，因而形成一載子空乏區。亦即，這種電晶體在零閘極電壓時，不為導通狀態，以避免形成額外之功率損耗，屬於一種常關式之高電子遷移率電晶體1。



【0013】請繼續參照圖1，源極構件20以及汲極構件22均設置於保護層18上，並與保護層18形成歐姆接觸。其中，保護層18可為一氮化鎵層。源極構件20以及汲極構件22分別設置於凹槽之相對側。舉例而言，源極構件20以及汲極構件22可為鈦/鋁/鎳/金 (Ti/Al/Ni/Au) 合金材質，與保護層18形成歐姆接觸。於部分實施例中，電晶體元件可省略保護層18，使源極構件20以及汲極構件22直接設置於施體供應層16上。接續地，一介面鈍化層30設置於凹槽之一內側表面，而一介電層32設置於介面鈍化層30上，且一閘極構件34對應凹槽設置於介電層32上。介電層32可為一高介電常數氧化物，舉例而言，可為二氧化矽、三氧化四氮或三氧化二鋁。最後，閘極構件34具有至少一金屬材質，例如，鎳金 (Ni/Au) 合金，並對應凹槽位置沉積於介電層32上。

【0014】於本發明之另一實施例中，請一併參照圖1以及圖2a至圖2d，說明一種高電子遷移率電晶體1之製造方法如下。首先，請參照圖2a，以有機金屬化學氣相沈積法 (metal-organic chemical vapor deposition)，於一基板12上依序磊晶成長通道層14、施體供應層16以及保護層18。其中，通道層14之材質可為氮化鎵、砷化鎵或磷化銻等第一III-V族化合物。而施體供應層16之材質可為氮化鋁鎵、砷化鋁鎵或磷化鋁銻等，與通道層14材質相異之第二III-V族化合物。

【0015】其次，請參照圖2b，進行歐姆接觸製程 (Ohmic contact)。歐姆接觸形成機制為金屬功函數必須要小於半導體的功函數，讓從半導體到金屬以及金屬到半導體的電子都可以輕易地躍過此能階，電流能夠雙向地導通。所以歐姆接觸可以讓元件得到較高的電流密度、高的轉導 (transconductance) 增益值、以及低的熱散失效應。在金屬的選擇上，傳統上以鈦鋁合金 (Ti/Al) 為主要金屬，因為鈦能夠與氮化鋁鎵形成氮化鈦，使氮原子在表面成為n-doping的現象，經過高溫退火之後形成良好的歐姆接觸。舉例而言，係以電子束蒸鍍系統 (electron beam evaporator) 搭配金屬舉離製程 (lift-off)，使欲成形之鈦鋁合

第 5 頁，共 9 頁(發明說明書)

金沉積於保護層18表面，再將半成品置入快速高溫退火爐，於攝氏溫度800度且經歷時間60秒之氮氣環境下完成退火（anneal），以形成具有歐姆接觸之源極構件20以及汲極構件22。

【0016】接著，請參照圖2c，進行隔離製程（mesa isolation）。隔離製程主要是定義出主動區，二維電子氣的濃度是存在於施體供應層16/通道層14的介面，所以要隔離兩個元件，必須使用乾蝕刻製程（dry etching）蝕刻出所需要的深度。舉例而言，透過感應耦合式電漿反應離子蝕刻系統（ICP-RIE），選擇蝕刻製程的氣體為三氯化硼/氯氣（ $\text{BCl}_3/\text{Cl}_2$ ），藉由物理及化學反應移除所欲蝕刻之III-V族材料。亦即，利用電漿乾蝕刻製程，針對所欲形成閘極處進行蝕刻（gate recessed）形成一凹槽。需要提醒的是，於本實施例中，氮化鋁鎵層16係為完全蝕刻，以確保電晶體元件具備常關模式之特性。

【0017】接著，請參照圖2d，進行電漿輔助原子層沉積製程（plasma enhanced atomic layer deposition, PE-ALD）。在不破壞腔體真空（in-situ），溫度攝氏250度下，以三甲鋁（Trimethylaluminium, TMA）及氮化氫（ $\text{NH}_3$ ）為前驅物，沉積多晶形態之氮化鋁層30（ $\text{AlN}$ ，即介面鈍化層），於氮化鋁鎵層16之凹槽之內側表面，並同時為元件表面進行鈍化（passivation）。特別說明的是，本發明選用PE-ALD技術成長之多晶形態之氮化鋁層，相較於傳統之MOCVD技術所成長之單晶形態之氮化鋁層，較不容易脆裂且阻絕電子之效果較佳。可以理解的是，上述電漿輔助原子層沉積製程之技術內容僅為例示性說明，當不以此為限，所屬技術領域中具有通常知識者，可自行修飾變換以實現本發明之一目的。亦即，改善電晶體中半導體層與閘極介電層32介面之電晶體缺陷密度，以維持高穩定性之電晶體元件臨界電壓以及可靠度。

【0018】接續地，在同一腔體中，沉積具有高介電常數材料之介電層32於介面鈍化層30上，例如介電層32可為三氧化二鋁（ $\text{Al}_2\text{O}_3$ ）層，進一步調整電晶

體元件之臨界電壓至更高準位，以避免電晶體元件在高壓操作環境下發生不正常之開啟。

【0019】最後，進行蕭特基接觸製程（Schottky contact）。蕭特基接觸為閘極調變之關鍵，選擇的金屬要符合金屬功函數差，金屬功函數大於半導體功函數。蕭特基能障高度和電流傳輸機制為主要考量，在金屬的選擇上，以鎳金合金（Ni/Au）為主的金屬，形成一閘極構件34於介電層32上，可以得到較好的電性結果。即完成一高電子遷移率電晶體1，如圖1所示。

【0020】請參照圖3，其所示為本發明之另一實施例之一種高電子遷移率電晶體元件1。其中，緩衝層13係由總厚度約1微米之一氮化鎵/氮化鋁鎵/氮化鋁複合層所組成。通道層14為具有厚度約4微米之一氮化鎵層（GaN）。一施體供應層16為具有厚度約25奈米之一氮化鋁鎵層（ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ ），其具有一凹槽，並設置於通道層14上。一保護層18為具有厚度約2奈米之一氮化鎵層（GaN），並設置於施體供應層16上。源極構件20以及汲極構件22一為鈦/鋁/鎳/金（Ti/Al/Ni/Au）合金材料，與保護層18形成歐姆接觸。介面鈍化層30為具有厚度約2奈米之一氮化鋁層（AlN）。介電層32為具有厚度約8奈米之一三氧化二鋁層（ $\text{Al}_2\text{O}_3$ ）。閘極構件34為一鎳/金（Ni/Au）合金材料，其表面長度為2微米，且寬度為50微米。

【0021】接續上述說明，請參照圖4，其顯示本發明之高電子遷移率電晶體之汲極電流以及轉導對應於閘極偏壓變化之關係，其中實心圓對應於右側之座標軸，空心圓對應於左側之座標軸。由觀察圖4可知，在閘極偏壓之正反掃描電壓範圍為-1V至5V條件下，此電晶體元件具有1.5V之臨界電壓，表示其為一種常關式氮化鎵電晶體。同時，其具有一轉導值可高達140 mS/mm。因此，相較於傳統之高電子遷移率電晶體，本發明可以提供具有高臨界電壓以及高轉導等特性之高電子遷移率電晶體，較適合於高壓環境下穩定操作。

第 7 頁，共 9 頁(發明說明書)

【0022】請一併參照圖5a至圖6b，說明本發明一實施例之功效及優點如下。請參照圖5a，其所示為一種閘極無介面鈍化層結構之對照組電晶體，其中實心圓代表閘極電壓從0V增加至5V，空心圓代表閘極電壓從5V降低至0V。在閘極偏壓之正反掃描下，此對照組電晶體在升壓及降壓曲線之臨界電壓值相差為0.8V。同時，由圖5b觀察可知，在閘極偏壓之正反掃描下，此對照組電晶體汲極對應之輸出電流（drain output current）以及電壓，具有不穩定的問題。反觀，本發明之一實施例之一種常關式高電子遷移率電晶體1，在閘極偏壓之正反掃描下，其升壓及降壓曲線之臨界電壓值相差僅65mV，如圖6a所示。此外，請參照圖6b，在閘極偏壓之正反掃描下，本實施例之高電子遷移率電晶體汲極對應之輸出電流以及電壓具有穩定之優良表現。因此，本發明可改善傳統電晶體之臨界電壓遲滯之問題，並使電晶體元件能提供高穩定性之輸出電流。

【0023】綜合上述，本發明之高電子遷移率電晶體及其製造方法，以閘極掘入結構搭配高介電常數氧化層以及氮化物介面鈍化層，實現具有高穩定性之臨界電壓以及高可靠度之高電子遷移率氮化鎵電晶體。其中，選用PE-ALD技術成長之多晶形態之氮化鋁層（即介面鈍化層），相較於傳統之MOCVD技術所成長之單晶形態之氮化鋁層，較不容易脆裂且阻絕電子之效果較佳。本發明之高電子遷移率電晶體在零閘極電壓時，不為導通狀態，以避免形成額外之功率損耗，具有常關模式之節能效果。特別注意的是，本發明之介面鈍化層，可改善電晶體中半導體層與閘極介電層介面之電晶體缺陷密度，以維持高穩定性之電晶體元件臨界電壓以及可靠度。相較於傳統之高電子遷移率電晶體，本發明可以改善傳統電晶體之臨界電壓遲滯之問題，且較適合於高壓環境下穩定操作，具有高臨界電壓、高轉導以及高穩定之汲極輸出電流等特性。

【0024】以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定

本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

**【符號說明】**

**【0025】**

- 1 高電子遷移率電晶體
- 12 基板
- 13 緩衝層
- 14 通道層
- 16 施體供應層
- 18 保護層
- 20 源極構件
- 22 汲極構件
- 30 介面鈍化層
- 32 介電層
- 34 閘極構件

## 【發明申請專利範圍】

【第1項】一種高電子遷移率電晶體，其包含：

一基板；

一通道層，其包含一第一 III-V 族化合物，並設置於該基板上；

一施體供應層，其包含與該第一 III-V 族化合物相異之一第二 III-V 族化合物，並設置於該通道層上，其中該施體供應層具有一凹槽，使部分該通道層曝露出來，；

一源極構件，其設置於該施體供應層上，並與該施體供應層形成歐姆接觸；

一汲極構件，其設置於該施體供應層上，並與該施體供應層形成歐姆接觸，其中該源極構件以及該汲極構件分別設置於該凹槽之相對側；；

一介面鈍化層，其設置於該凹槽之一內側表面；

一介電層，設置於該介面鈍化層上；以及

一閘極構件，其對應該凹槽設置於該介電層上。

【第2項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該介面鈍化層包含一氮化鋁層。

【第3項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該介面鈍化層包含一氮化鋁層，且其厚度範圍為2至20奈米。

【第4項】如申請專利範圍第1項所述之高電子遷移率電晶體，更包含：

一保護層，其設置於該施體供應層上以及該源極構件以及該汲極構件之下。

- 【第5項】如申請專利範圍第4項所述之高電子遷移率電晶體，其中該保護層包含一氮化鎵層。
- 【第6項】如申請專利範圍第1項所述之高電子遷移率電晶體，更包含：  
一緩衝層，其設置於該基板以及該通道層之間。
- 【第7項】如申請專利範圍第6項所述之高電子遷移率電晶體，其中該緩衝層包含氮化鋁層、氮化鋁鎵層以及氮化鎵層至少其中之一。
- 【第8項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該介電層包含一高介電常數材料。
- 【第9項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該介電層包含一二氧化矽、三氧化四氮或三氧化二鋁。
- 【第10項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該第一III-V族化合物包含一氮化鎵、砷化鎵或磷化銦。
- 【第11項】如申請專利範圍第1項所述之高電子遷移率電晶體，其中該第二III-V族化合物包含一氮化鋁鎵、砷化鋁鎵或磷化鋁銦。
- 【第12項】一種高電子遷移率電晶體之製造方法，其包含：  
形成包含一第一III-V族化合物之一通道層於一基板上；  
形成包含一第二III-V族化合物之一施體供應層於該通道層上；  
形成彼此分離之一源極構件以及一汲極構件於該施體供應層上，且分別與該施體供應層形成歐姆接觸；  
形成一凹槽於該施體供應層，以曝露出部分該通道層，其中該凹槽位於該源極構件以及該汲極構件之間；  
形成一介面鈍化層於該凹槽之內側表面；  
形成一介電層於該介面鈍化層上；以及

第 2 頁，共 4 頁(發明申請專利範圍)

形成一閘極構件於該介電層上。

【第13項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中形成一介面鈍化層於該凹槽之內側表面係利用電漿輔助原子層沉積技術。

【第14項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該介面鈍化層包含一氮化鋁層。

【第15項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該介面鈍化層包含一氮化鋁層，且其厚度範圍為2至20奈米。

【第16項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，更包含：

形成一保護層於該施體供應層上以及該源極構件以及該汲極構件之下。

【第17項】如申請專利範圍第15項所述之高電子遷移率電晶體之製造方法，其中該保護層包含一氮化鎵層。

【第18項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，更包含：

形成一緩衝層於該基板以及該通道層之間。

【第19項】如申請專利範圍第17項所述之高電子遷移率電晶體之製造方法，其中該緩衝層包含一氮化鋁層、氮化鋁鎵層以及氮化鎵層至少其中之一。

【第20項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該介電層包含一高介電常數材料。



【第21項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該介電層包含一二氧化矽、三氧化四氮或三氧化二鋁。

【第22項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該第一III-V族化合物包含一氮化鎵、砷化鎵或磷化銻。

【第23項】如申請專利範圍第12項所述之高電子遷移率電晶體之製造方法，其中該第二III-V族化合物包含一氮化鋁鎵、砷化鋁鎵或磷化鋁銻。

【發明圖式】

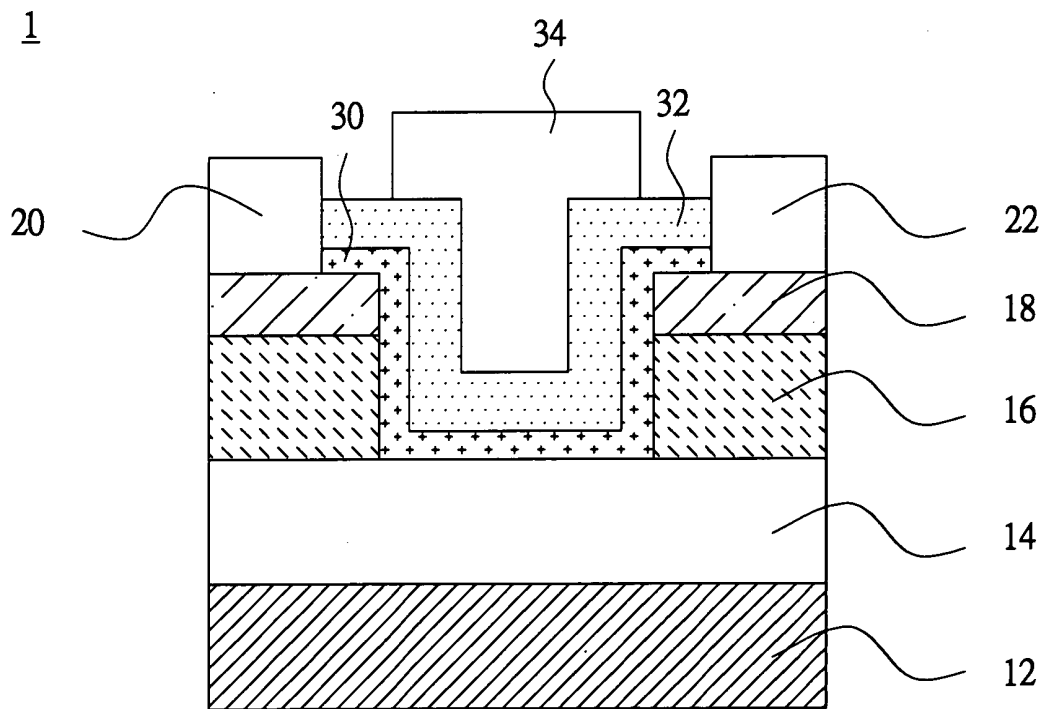


圖1

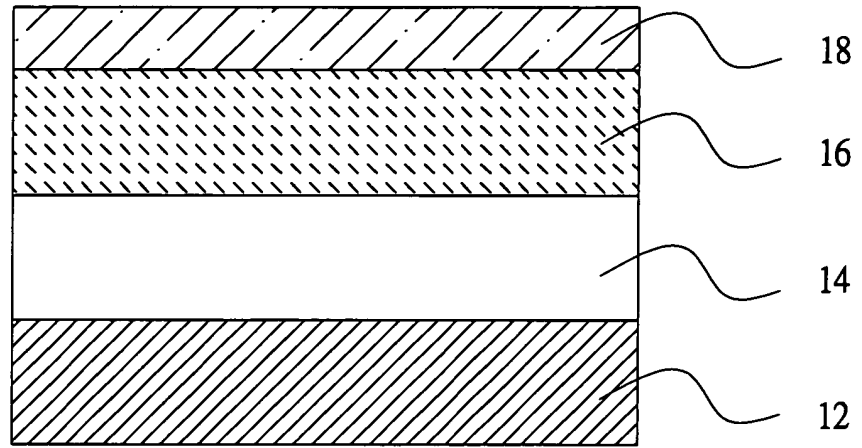


圖2a

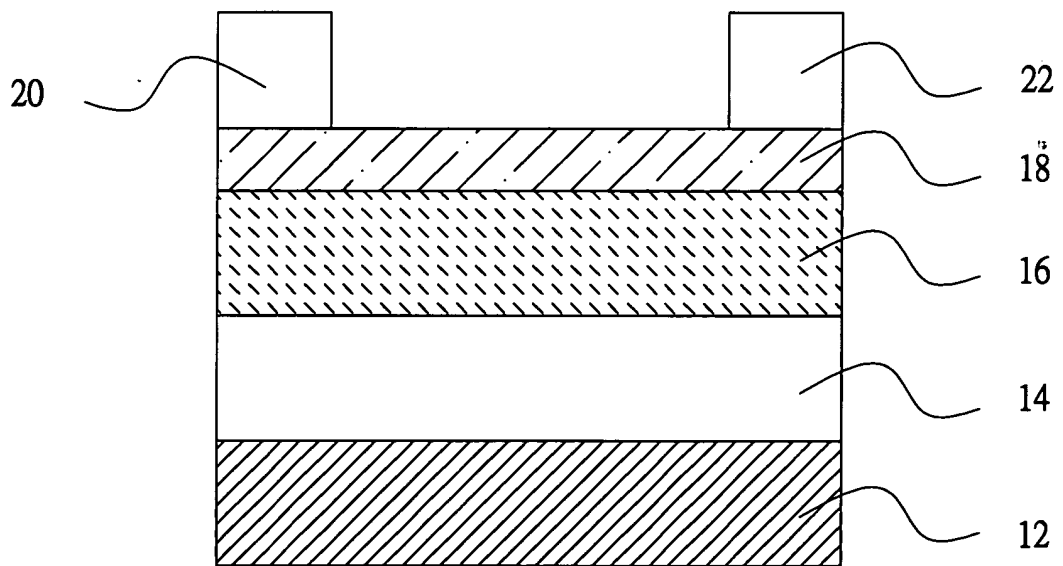


圖2b

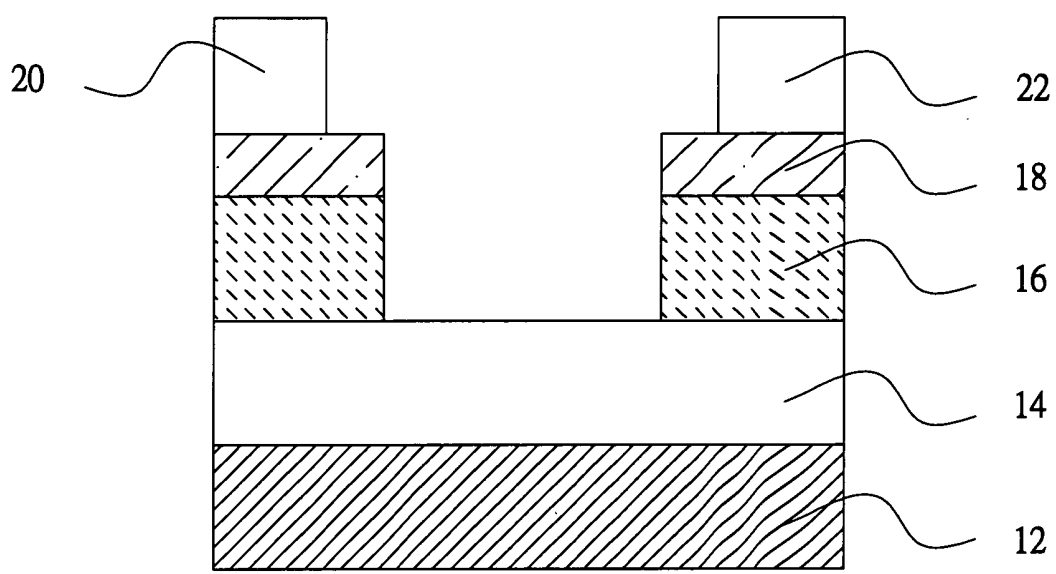


圖2c

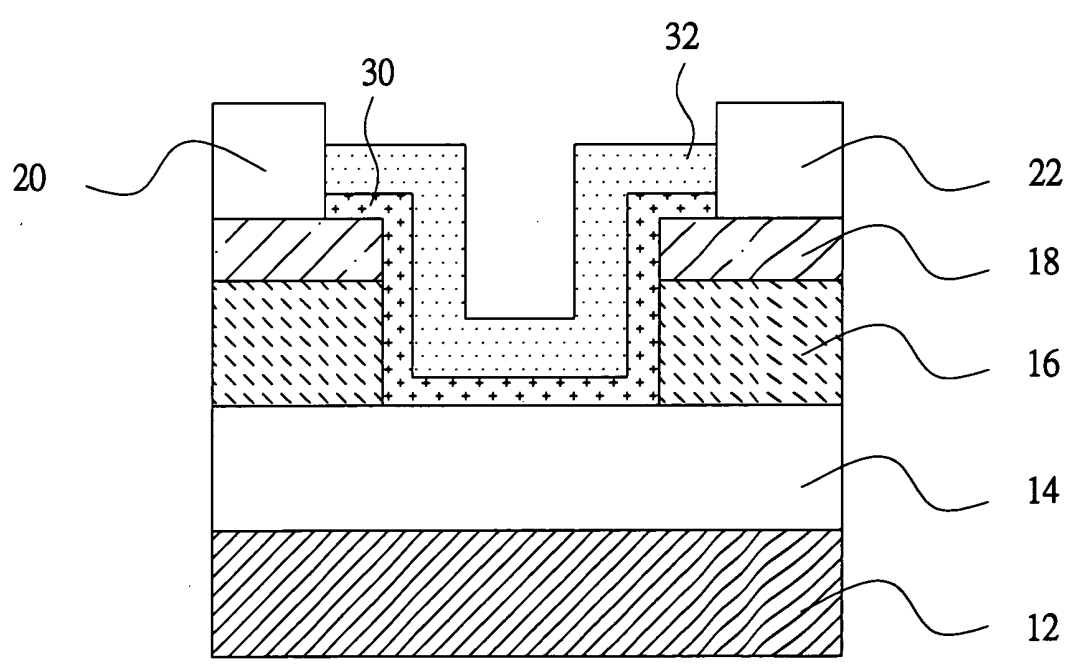


圖2d

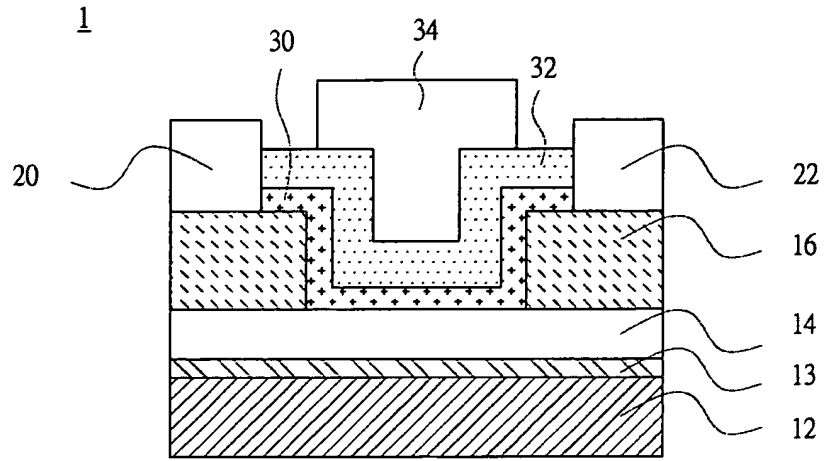


圖 3

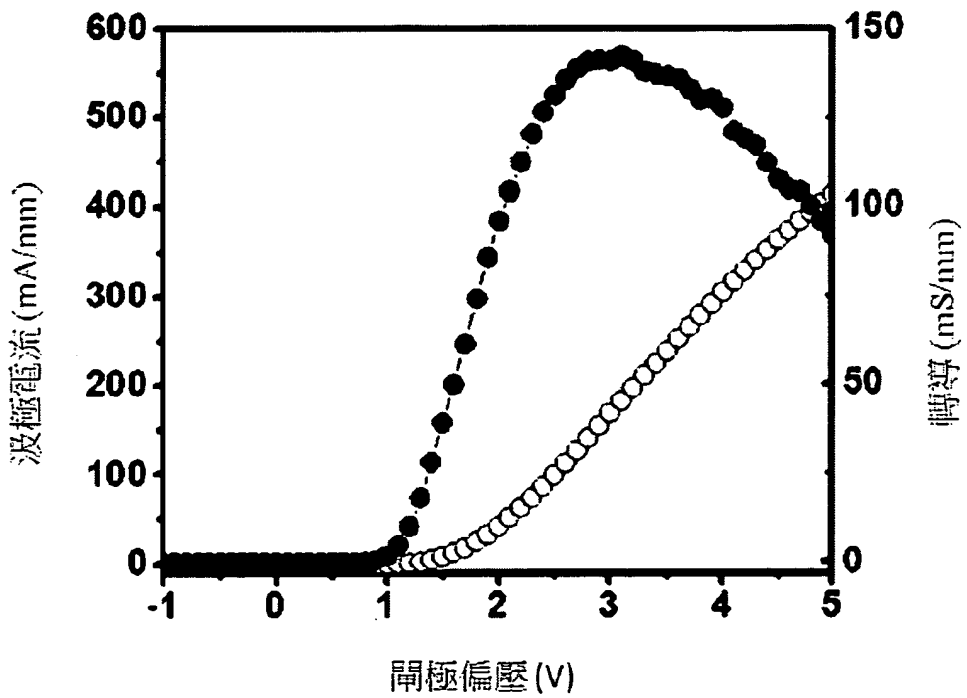


圖 4

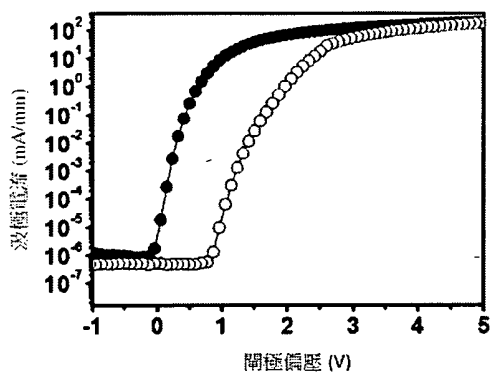


圖 5a

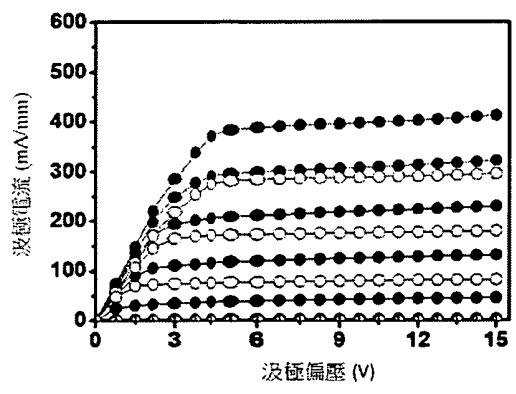


圖 5b

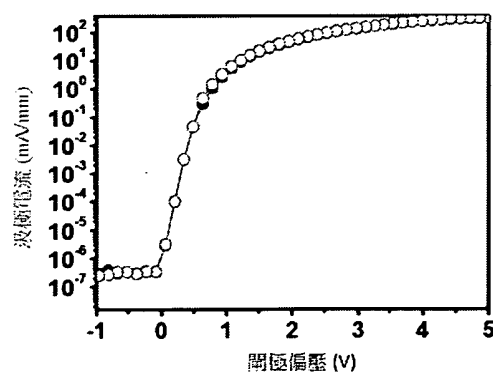


圖 6a

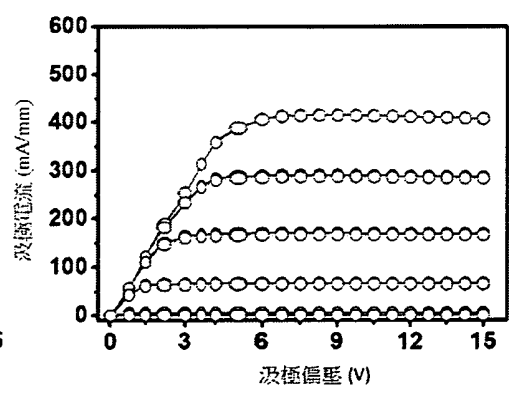


圖 6b