



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201628191 A

(43) 公開日：中華民國 105 (2016) 年 08 月 01 日

(21) 申請案號：104101919

(22) 申請日：中華民國 104 (2015) 年 01 月 21 日

(51) Int. Cl. :

*H01L29/778 (2006.01)**H01L21/22 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：李鎮宇 LI, ZHEN YU (TW)；鄒安傑 TZOU, AN JYE (TW)；郭浩中 KUO, HAO CHUNG (TW)；張俊彥 CHANG, CHUNYEN (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：14 項 圖式數：7 共 21 頁

(54) 名稱

高速電晶體

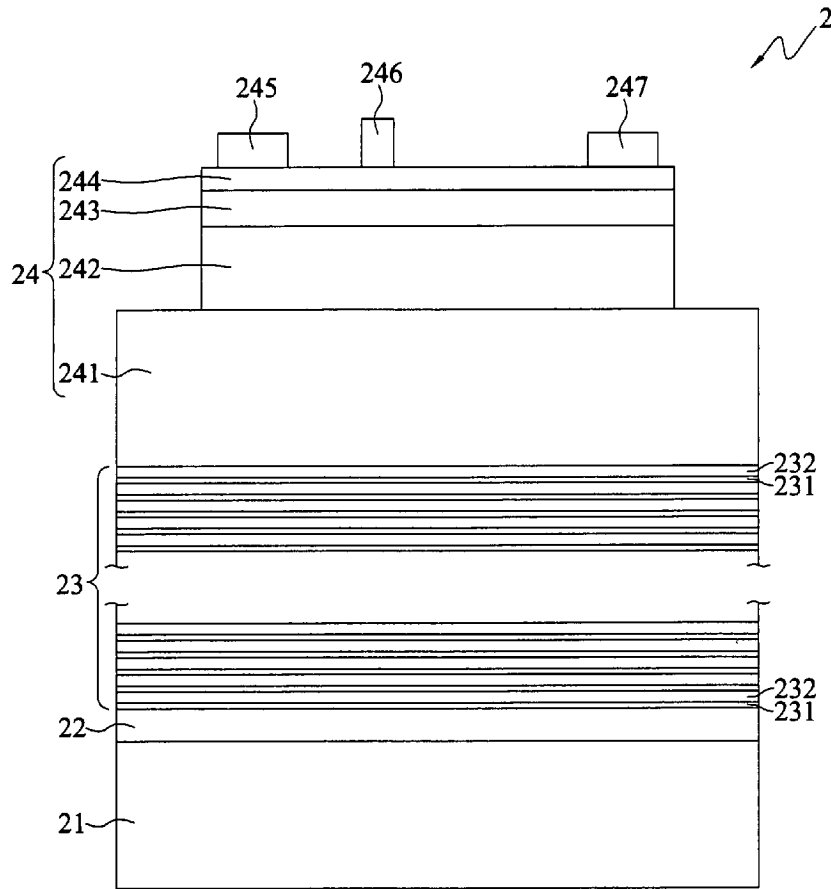
HIGH ELECTRON MOBILITY TRANSISTOR

(57) 摘要

本發明係提供一種高速電晶體，包括基板、形成於該基板上方的超晶格結構以及形成於該超晶格結構上的磊晶層。該高速電晶體使用具有碳摻雜的氮化鋁/氮化鎵的超晶格結構作為磊晶層與基板之間的結構，而能有效減少垂直漏電流，進而能夠提昇磊晶品質及高速電晶體之崩潰電壓。

This invention provides a high electron mobility transistor, comprising a substrate, the superlattice structure formed above the substrate, and the epitaxial layer formed on the superlattice structure. The high electron mobility transistor grows a structure between the substrate and the epitaxial layer by using carbon-doped AlN/GaN superlattice structure. Thus, the invention can effectively reduce the vertical leakage, and can improve the epitaxial quality and the breakdown voltage of the high electron mobility transistor.

指定代表圖：



符號簡單說明：

- 2 . . . 高速電晶體
- 21 . . . 基板
- 22 . . . 外延層
- 23 . . . 超晶格結構
- 231 . . . 氮化鋁層
- 232 . . . 氮化鎵層
- 24 . . . 電晶體磊晶結構
- 241 . . . 緩衝層
- 242 . . . 通道層
- 243 . . . 障壁層
- 244 . . . 覆蓋層
- 245 . . . 源極
- 246 . . . 閘極
- 247 . . . 汲極

第2圖

發明摘要

※申請案號：104101919

※申請日：104.1.21

※IPC分類：

*H01L 21/778 2006.01
H01L 21/22 2006.01*

【發明名稱】(中文/英文)

高速電晶體

HIGH ELECTRON MOBILITY TRANSISTOR

【中文】

本發明係提供一種高速電晶體，包括基板、形成於該基板上方的超晶格結構以及形成於該超晶格結構上的磊晶層。該高速電晶體使用具有碳摻雜的氮化鋁/氮化鎵的超晶格結構作為磊晶層與基板之間的結構，而能有效減少垂直漏電流，進而能夠提昇磊晶品質及高速電晶體之崩潰電壓。

【英文】

This invention provides a high electron mobility transistor, comprising a substrate, the superlattice structure formed above the substrate, and the epitaxial layer formed on the superlattice structure. The high electron mobility transistor grows a structure between the substrate and the epitaxial layer by using carbon-doped AlN/GaN superlattice structure. Thus, the invention can effectively reduce the vertical leakage, and can improve the epitaxial quality and the breakdown voltage of the high electron mobility transistor.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

2	高速電晶體
21	基板
22	外延層
23	超晶格結構
231	氮化鋁層
232	氮化鎵層
24	電晶體磊晶結構
241	緩衝層
242	通道層
243	障壁層
244	覆蓋層
245	源極
246	閘極
247	汲極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

高速電晶體

HIGH ELECTRON MOBILITY TRANSISTOR

【技術領域】

本發明係有關一種高速電晶體(high electron mobility transistor，簡稱 HEMT)，尤指一種以具有碳元素摻雜的 AlN/GaN 超晶格結構之高速電晶體。

【先前技術】

高速電晶體在高功率及高頻應用領域中為一重要元件。如第 1 圖所示，先前技術中以 AlGa_xN/GaN 作為雙重磊晶層的高速電晶體 1，包括一氮化鋁(AlN)層 12，以及形成於該氮化鋁層 12 上的氮化鋁鎵 (Al_xGa_{1-x}N) 層 13。該氮化鋁層 12 係形成於一例如為矽 (Si) 的基板 11 上，且該氮化鋁層 12 係用來減低基板 11 與氮化鋁鎵層 13 之間晶格不匹配的問題。先前技術中的氮化鋁鎵 (Al_xGa_{1-x}N) 層 13 之鋁含量 x 為介於 1 與 0 之間，且該氮化鋁鎵層 13 上更依序形成有氮化鎵緩衝層 14、氮化鎵通道層 15、阻障層 16 及氮化鎵覆蓋層 17，該氮化鎵覆蓋層 17 上分別形成有源極 171、汲極 173 和閘極 172。

然而，先前技術中高速電晶體 1 之氮化鋁層 12 的厚度通常在 100nm 以下，因厚度太薄導致無法補償基板 11 與氮化鋁鎵層 13 之間的晶格不匹配，而易產生高的錯位缺陷

(Dislocation)，以致生長於該基板 11 上的氮化鎵 (GaN) 厚度超過 $1\ \mu\text{m}$ 時會發生裂痕，且缺陷密度 (defect density) 超過 10^9cm^{-2} ，導致磊晶薄膜阻抗變低，結晶品質無法有效提昇。換言之，先前技術的高速電晶體 1 仍具有大量的垂直漏電流，造成崩潰電壓降低之問題。

是以，如何提供一種可減少垂直漏電流，進而提昇崩潰電壓的高速電晶體，為此技術領域中亟待解決的課題之一。

【發明內容】

為解決上述課題，本發明之一目的在於提供一種高速電晶體，包括：基板，形成於該基板上方之超晶格結構，以及形成於該超晶格結構上之電晶體磊晶結構，其中，該超晶格結構係由多對之氮化鋁 (AlN) 層與氮化鎵 (GaN) 層所交替層疊而成。

藉由本發明之高速電晶體包括了由多對碳元素摻雜之氮化鋁 (AlN) 與氮化鎵 (GaN) 所交替層疊而成的超晶格結構，使得該超晶格結構內部存在一個應力場，可使缺陷 (defect) 改變行進路線，減少缺陷之貫穿。此外，碳摻雜屬於 p 型摻雜，所產生的電洞可以有效補償背景電子，進而減少高速電晶體之垂直漏電流所造成的耗損，提昇高速電晶體之崩潰電壓、磊晶品質及磊晶薄膜阻抗。

【圖式簡單說明】

第 1 圖為先前技術之高速電晶體之結構剖面示意圖；

第 2 圖為本發明之高速電晶體之結構剖面示意圖；

第 3 圖為本發明之高速電晶體中基板與超晶格結構之間的外延層之結構剖面示意圖；

第 4 圖為先前技術與本發明之高速電晶體之汲極-源極電流 (I_{DS}) 對閘極-源極電壓 (V_{GS}) 的變化比較圖；

第 5 圖為先前技術與本發明之高速電晶體之閘極-源極電流 (I_{GS}) 對汲極-源極電壓 (V_{DS}) 的變化比較圖；

第 6 圖係為先前技術與本發明之高速電晶體在不同閘極電壓時，汲極-源極電流 (I_{DS}) 對汲極-源極電壓 (V_{DS}) 的變化比較圖；以及

第 7 圖係為先前技術與本發明之高速電晶體之汲極-源極電流 (I_{DS}) 對汲極-源極電壓 (V_{DS}) 的變化比較圖。

【實施方式】

以下藉由特定之具體實施例加以說明本發明之實施方式，而熟悉此技術之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點和功效，亦可藉由其他不同的具體實施例加以施行或應用。

請參閱第 2 圖，本發明之高速電晶體 2 包括基板 21、形成於該基板 21 上的外延層 22、形成於該外延層 22 上的超晶格結構 23(亦可稱為超晶格層)，以及形成於該超晶格結構 23 上的電晶體磊晶結構 24(亦可稱為磊晶層)。

該基板 21 之材質可為藍寶石 (Sapphire)、碳化矽 (SiC)、氧化鋅 (ZnO)、矽 (Si)、氧化鎵 (Ga_2O_3) 或氮化鎵 (GaN)，但本發明並不以此為限。以矽基板為例，在基板 21 上生長之前，先蝕刻該基板 21，即先在比例為 3：

1 的硫酸 (H_2SO_4) 與雙氧水 (H_2O_2) 之溶液中煮沸 15 分鐘，接著浸泡在比例為 1 : 10 的氟化氫 (HF) 與水 (H_2O) 之溶液中 15 秒，以移除基板 21 表面上自生氧化層 (native oxide)。接著將基板 21 以 1020-1050°C 進行氫氣熱退火處理 5 至 10 分鐘，以移除表面鈍化層。完成上述處理後即可於基板 21 上依序形成外延層 22、超晶格結構 23 及電晶體磊晶結構 24。

該外延層 22 係由氮化鋁鎵 (AlGaN) 所構成。於一實施例中，該氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 中之鋁含量 x 係為 $0 \leq x \leq 1$ ，且該外延層 22 之厚度為 160 奈米的單層結構。

形成於該外延層 22 上的是超晶格結構 23。所謂的超晶格 (superlattices)，係指二種或多種材料所構成的週期性交替結構。而本發明高速電晶體 2 之超晶格結構 23，係由氮化鋁 (AlN) 與氮化鎵 (GaN) 此二種材料所交替層疊而成。於一實施例中，該超晶格結構 23 係由多對之氮化鋁層 231 與氮化鎵層 232 所交替層疊而成，且交替層疊數最少為 5 對，最多為 120 對，惟交替層疊數可視實際需求予以增減，本發明並不限制交替層疊數之上限。每一對中的該氮化鋁層 231 之厚度為 2 至 6 奈米之間，最佳為 4.5 奈米；另每一對中的該氮化鎵層 232 之厚度為 10 至 30 奈米之間，最佳為 20 奈米，但本發明並不以此為限。

在本實施例中，該超晶格結構 23 中的氮化鋁層 231 或氮化鎵層 232 具有摻雜物，該摻雜物可為碳 (C)、銻 (Te)、鐵 (Fe)、鎂 (Mg) 或鋅 (Zn)。於一實施例中，

該摻雜物最佳為碳，且該摻雜物之摻雜濃度 $\geq 1 \times 10^{16} \text{ cm}^{-3}$ 。

在本實施例中，係以氮化鋁層 231 先形成於該外延層 22 上、接著氮化鎵層 232 才形成於該氮化鋁層 231 上的順序來交替層疊，但本發明亦可以氮化鎵層 232 先形成於該外延層 22 上、接著氮化鋁層 231 才形成於該氮化鎵層 232 上的順序來交替層疊，本發明並不限制氮化鋁層 231、氮化鎵層 232 形成在外延層 22 上的先後順序。

該電晶體磊晶結構 24 包括緩衝層 241、通道層 242、障壁層 243 以及覆蓋層 244。該緩衝層 241 係形成於該超晶格結構 23 上，且由氮化鋁鎵 ($\text{Al}_s\text{Ga}_{1-s}\text{N}$) 所構成，其中，該氮化鋁鎵之鋁含量 s 係為 $0 \leq s \leq 1$ 。於一實施例中，該緩衝層 241 可具有碳 (C) 之摻雜物，或為無摻雜，本發明並不以此為限。該緩衝層 241 之厚度最佳為 $1.32 \mu\text{m}$ 。

該通道層 242 係形成於該緩衝層 241 上，且由無摻雜之氮化鎵 (GaN) 所構成。該通道層 242 之厚度最佳為 $0.3 \mu\text{m}$ 。該障壁層 243 係形成於該通道層 242 上，且由氮化鋁鎵 ($\text{Al}_v\text{Ga}_{1-v}\text{N}$) 所構成，其中，該氮化鋁鎵的鋁含量 v 係為 0.25，鎵含量為 0.75，並形成厚度為 20 奈米的單層結構。

該覆蓋層 244 係形成於該障壁層 243 上，且該覆蓋層 244 上更分別形成有源極 245、閘極 246 及汲極 247。該覆蓋層 244 係由無摻雜之氮化鎵 (GaN) 所構成，且係形成厚度為 2 奈米的單層結構。

如前所述，基板 21 與超晶格結構 23 之間的外延層 22

係為單層結構。於另一實施例中，該外延層 22 亦可為如第 3 圖所示之多層結構。如第 3 圖所示，該外延層 22 包括由氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 所構成的複數子層 221、222、223、224、225、226、227，以從該基板 21 側依序層疊至該超晶格結構 23 側，且各子層中的鋁含量 x 皆不相同。舉例而言，與基板 21 接置的子層 221 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 1；子層 222 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0.75；子層 223 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0.56；子層 224 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0.43；子層 225 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0.34；子層 226 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0.18；子層 227 中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 為 0，而子層 227 上即接置超晶格結構 23。因此，各子層中氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 的鋁含量 x 係從基板 21 側的 $x=1$ 階梯式漸變至超晶格結構 23 側的 $x=0$ 。

上述實施例係以子層數為 7 的外延層 22 來作說明，本發明並不限制外延層 22 中的子層結構之層數。另本發明亦不限制各子層的厚度，例如子層 221 之厚度可為 76 奈米；子層 222 之厚度可為 86 奈米；子層 223 之厚度可為 133 奈米；子層 224 之厚度可為 123 奈米；子層 225 之厚度可為 133 奈米；子層 226 之厚度可為 143 奈米等等。此將使複數子層結構之外延層 22 的總厚度不會只有 160 奈米。而外延層 22 之目的是為了減少基板 21 對超晶格結構 23 的拉伸或張應力，使二者晶格匹配。

如第 4 圖所示，本發明之高速電晶體係以閥值電壓（threshold voltage）為 -2V 進行量測，而先前技術之高速電晶體係以閥值電壓為 -2.6V 進行量測。於汲極-源極電流（ I_{Ds} ）對閘極-源極電壓（ V_{Gs} ）的變化比較圖中可以發現，在汲極-源極電壓（ V_{Ds} ）為 5V 時，本發明之高速電晶體的操作電壓為 -1.8V ，而先前技術之高速電晶體的操作電壓為 -2.8V 。由此可證，本發明之高速電晶體確具有操作電壓下降的功效。

從第 5 圖可知，本發明之高速電晶體的垂直漏電流較少於先前技術之高速電晶體的垂直漏電流。再者，如第 6 圖所示，在閘極-源極電壓（ V_{Gs} ）為 2V 時，本發明之高速電晶體的電流密度為 175mA/mm ，明顯較高於先前技術之高速電晶體的 130mA/mm 之電流密度。此外，如第 7 圖所示，在 1mA/mm 的汲極-源極電流（ I_{Ds} ）時，本發明之高速電晶體的汲極-源極電壓（ V_{Ds} ）為 1854V ，明顯較高於先前技術之高速電晶體的 800V ，即本發明確實具有提昇崩潰電壓的功效。

藉由本發明之高速電晶體所具備之碳摻雜的 AlN/GaN 超晶格結構，來作為基板與電晶體磊晶結構之間的底層，能夠有效提昇磊晶品質與薄膜電阻率，減少垂直漏電流，提升高速電晶體的崩潰電壓。本發明之高速電晶體可確實將缺陷密度下降至 10^7cm^{-2} ，且本發明之高速電晶體可適用所有成長方法，如金屬有機化學氣相磊晶（MOCVD）、氫化物氣相磊晶（HVPE）、分子束磊晶（MBE）或熱壁磊晶

(hot wall epitaxy) 氮化鎵系列等。

上述實施形態僅為例示性說明本發明之技術原理、特點及其功效，並非用以限制本發明之可實施範疇，任何熟習此技術之人士均可在不違背本發明之精神與範疇下，對上述實施形態進行修飾與改變。然任何運用本發明所教示內容而完成之等效修飾及改變，均仍應為下述之申請專利範圍所涵蓋。而本發明之權利保護範圍，應如下述之申請專利範圍所列。

【符號說明】

1、2	高速電晶體
11、21	基板
12	氮化鋁層
13	氮化鋁鎵層
14	氮化鎵緩衝層
15	氮化鎵通道層
16	阻障層
17	氮化鎵覆蓋層
171、245	源極
172、246	閘極
173、247	汲極
22	外延層
221、222、223、224、225、226、227	子層
23	超晶格結構
231	氮化鋁層

232	氮化鎵層
24	電晶體磊晶結構
241	緩衝層
242	通道層
243	障壁層
244	覆蓋層

申請專利範圍

1. 一種高速電晶體，包括：
基板；
超晶格結構，形成於該基板上方；以及
電晶體磊晶結構，形成於該超晶格結構上；
其中，該超晶格結構係由多對之氮化鋁（AlN）層與氮化鎵（GaN）層所交替層疊而成。
2. 如申請專利範圍第 1 項所述之高速電晶體，其中，該氮化鋁層或該氮化鎵層具有碳（C）、銻（Te）、鐵（Fe）、鎂（Mg）或鋅（Zn）之摻雜物，且該摻雜物之摻雜濃度 $\geq 1 \times 10^{16} \text{ cm}^{-3}$ 。
3. 如申請專利範圍第 2 項所述之高速電晶體，其中，該氮化鋁層與該氮化鎵層所交替層疊數為 5 至 120 對之間。
4. 如申請專利範圍第 3 項所述之高速電晶體，其中，每一對中之該氮化鋁層之厚度為 2 至 6 奈米之間。
5. 如申請專利範圍第 3 項所述之高速電晶體，其中，每一對中之該氮化鎵層之厚度為 10 至 30 奈米之間。
6. 如申請專利範圍第 1 項所述之高速電晶體，其中，該基板與該超晶格結構之間復包括由氮化鋁鎵（ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ）所構成之外延層，且該氮化鋁鎵中之鋁含量 x 係為 $0 \leq x \leq 1$ 。
7. 如申請專利範圍第 6 項所述之高速電晶體，其中，該外延層係包括由氮化鋁鎵所構成的複數子層，以從該

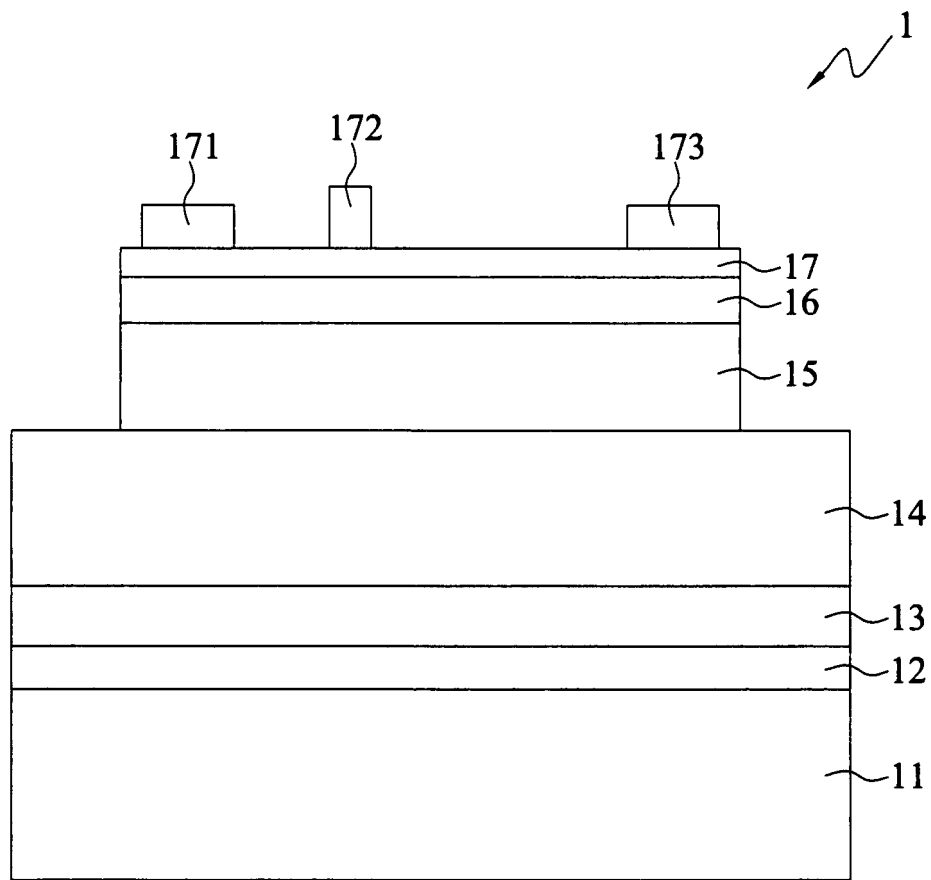
基板側依序層疊至該超晶格結構側，且各子層之該氮化鋁鎵 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$) 之鋁含量 x 係從該基板側的 $x=1$ 階梯式漸變至該超晶格結構側的 $x=0$ 。

8. 如申請專利範圍第 1 項所述之高速電晶體，其中，該電晶體磊晶結構包括：
 - 緩衝層，形成於該超晶格結構上；
 - 通道層，形成於該緩衝層上；
 - 障壁層，形成於該通道層上；以及
 - 覆蓋層，形成於該障壁層上，且該覆蓋層上分別形成有源極、汲極及閘極。
9. 如申請專利範圍第 8 項所述之高速電晶體，其中，該緩衝層係由氮化鋁鎵 ($\text{Al}_s\text{Ga}_{1-s}\text{N}$) 所構成，且該氮化鋁鎵之鋁含量 s 係為 $0 \leq s \leq 1$ 。
10. 如申請專利範圍第 9 項所述之高速電晶體，其中，該緩衝層具有碳 (C) 之摻雜物或無摻雜，且該緩衝層之厚度為 $1.32 \mu\text{m}$ 。
11. 如申請專利範圍第 8 項所述之高速電晶體，其中，該通道層係由無摻雜之氮化鎵 (GaN) 所構成，且該通道層之厚度為 $0.3 \mu\text{m}$ 。
12. 如申請專利範圍第 8 項所述之高速電晶體，其中，該障壁層係由氮化鋁鎵 ($\text{Al}_v\text{Ga}_{1-v}\text{N}$) 所構成，且該氮化鋁鎵之鋁含量 v 係為 0.25，該障壁層之厚度為 20 奈米。
13. 如申請專利範圍第 8 項所述之高速電晶體，其中，該覆蓋層係由無摻雜之氮化鎵 (GaN) 所構成，且該覆蓋

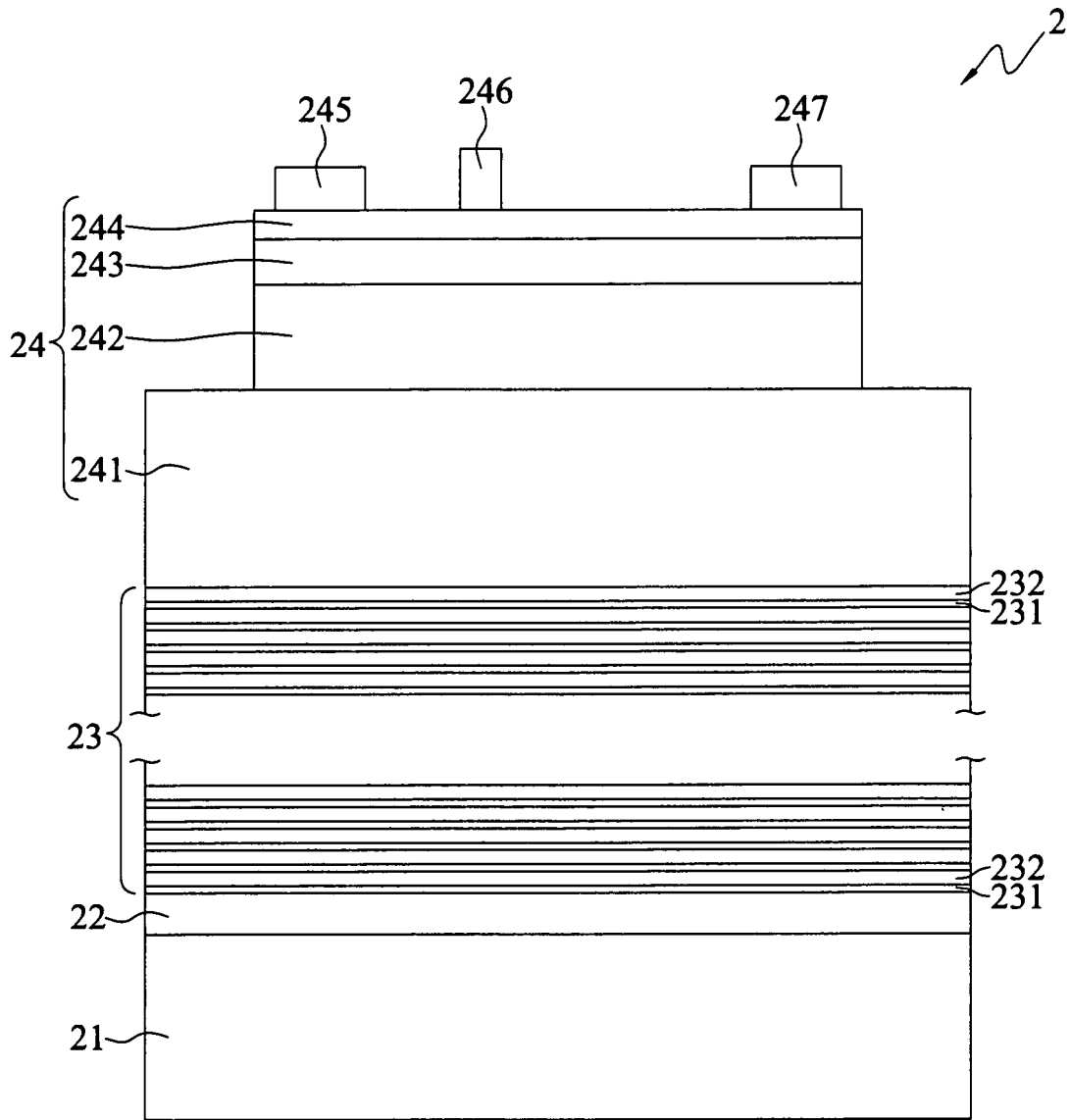
層之厚度為 2 奈米。

14. 如申請專利範圍第 1 項所述之高速電晶體，其中，該基板之材質為藍寶石 (Sapphire)、碳化矽 (SiC)、氧化鋅 (ZnO)、矽 (Si)、氧化鎵 (Ga_2O_3) 或氮化鎵 (GaN)。

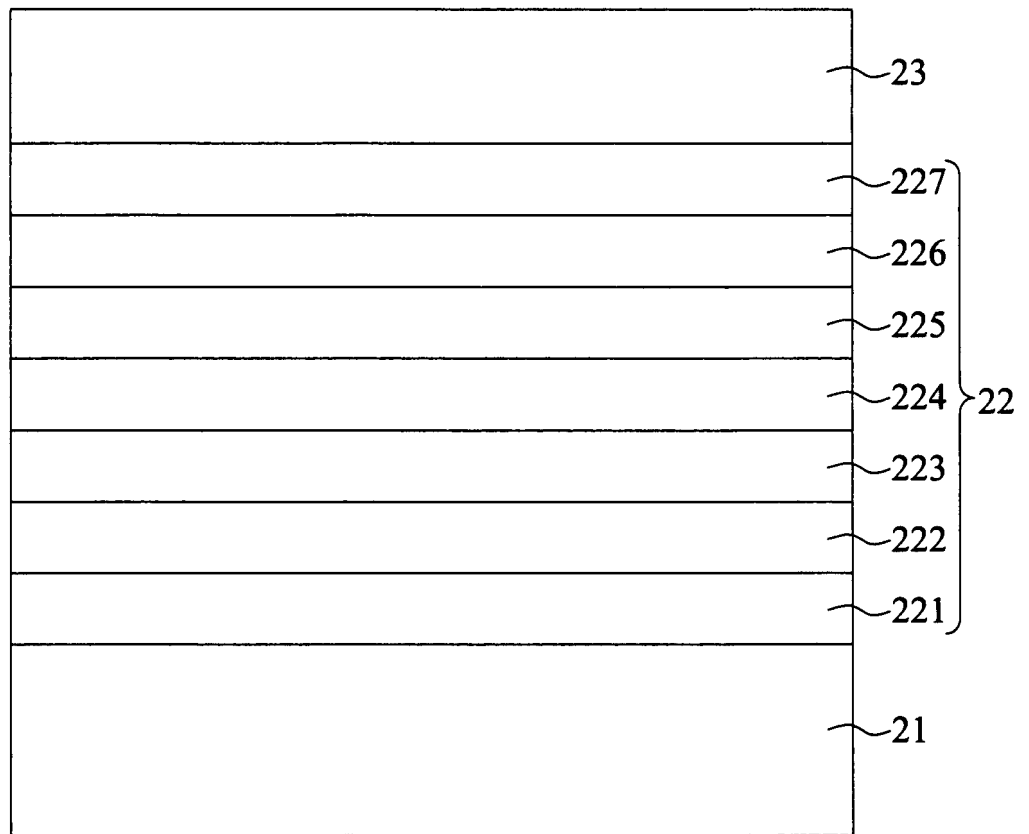
圖式



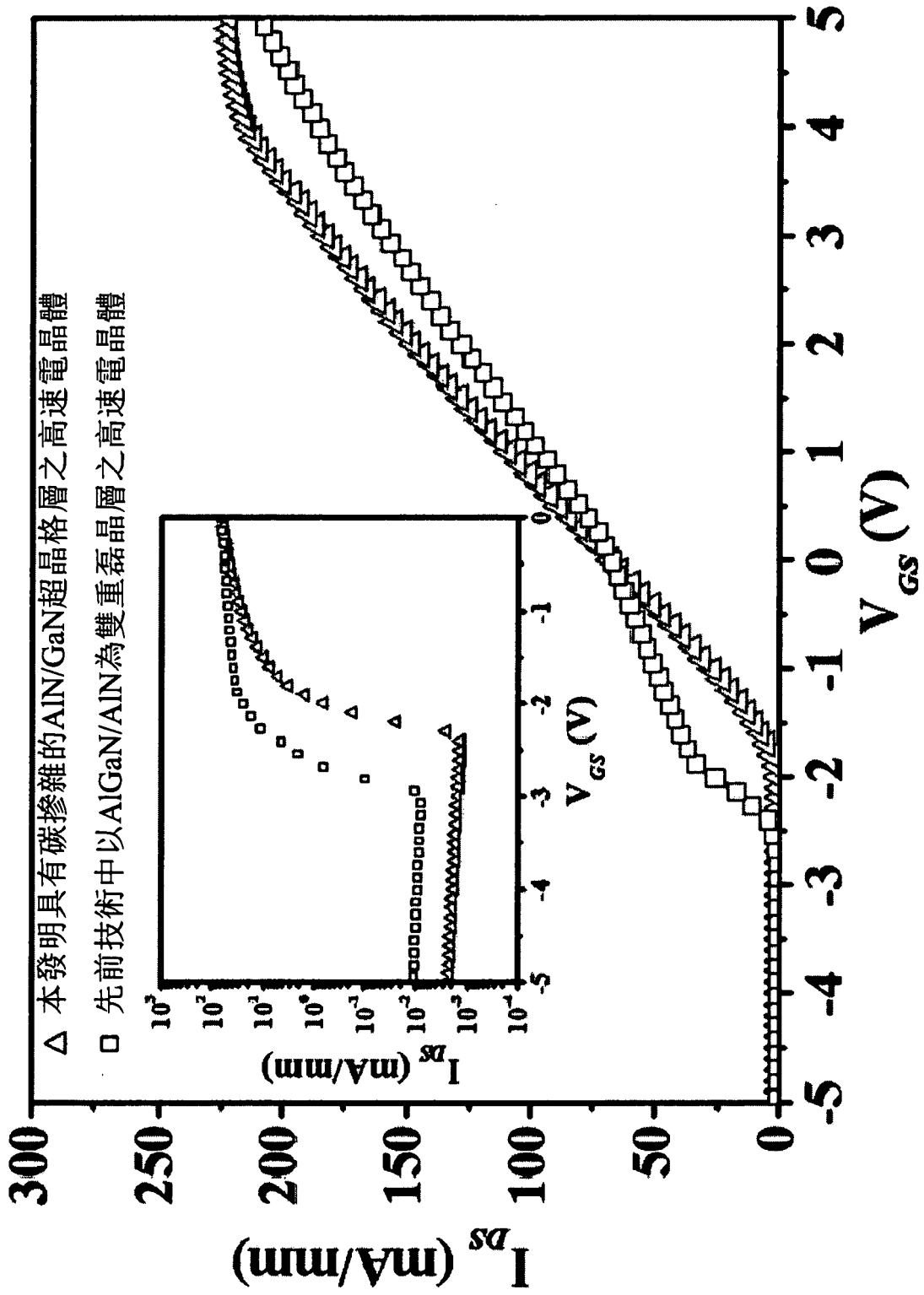
第1圖



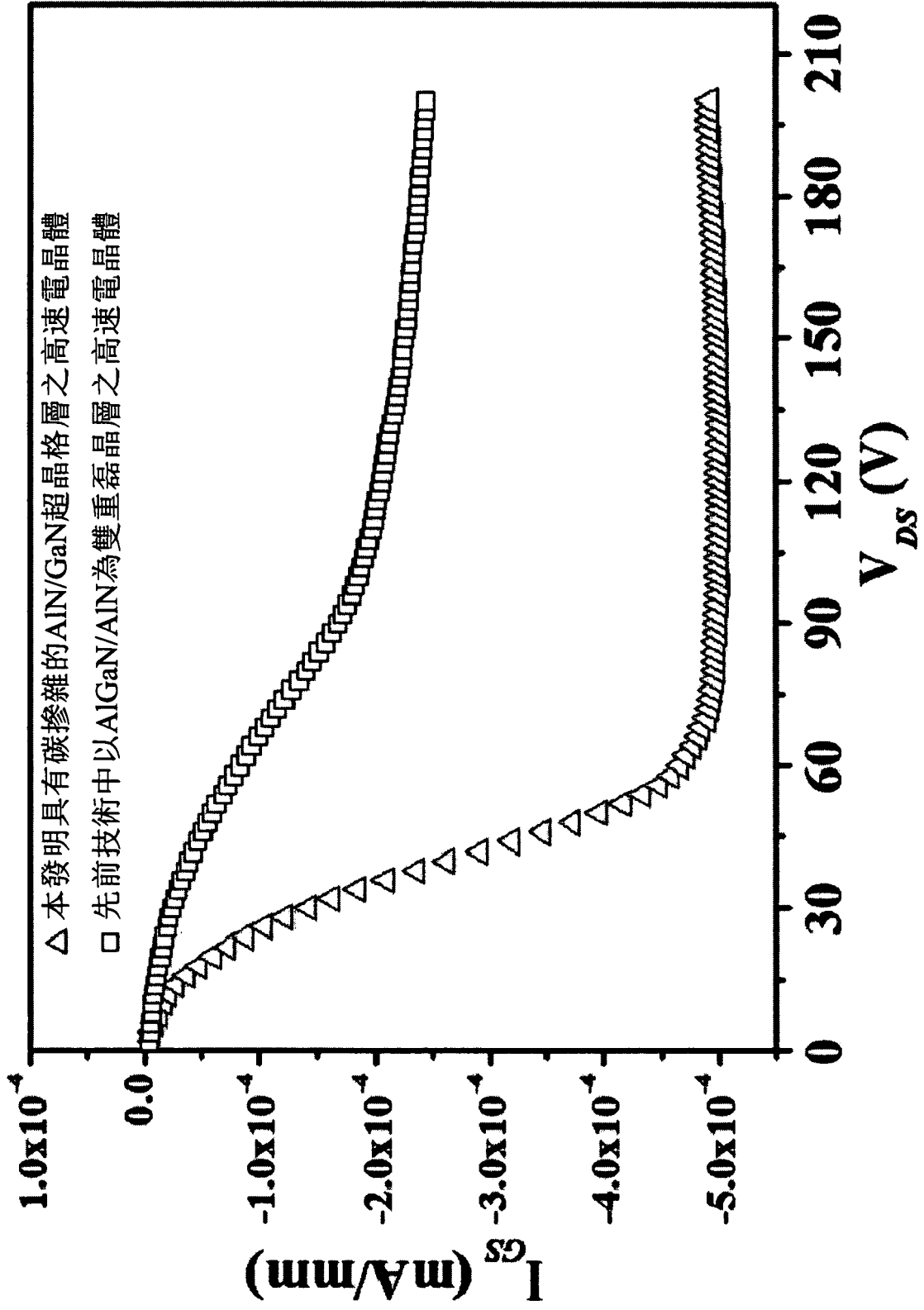
第2圖



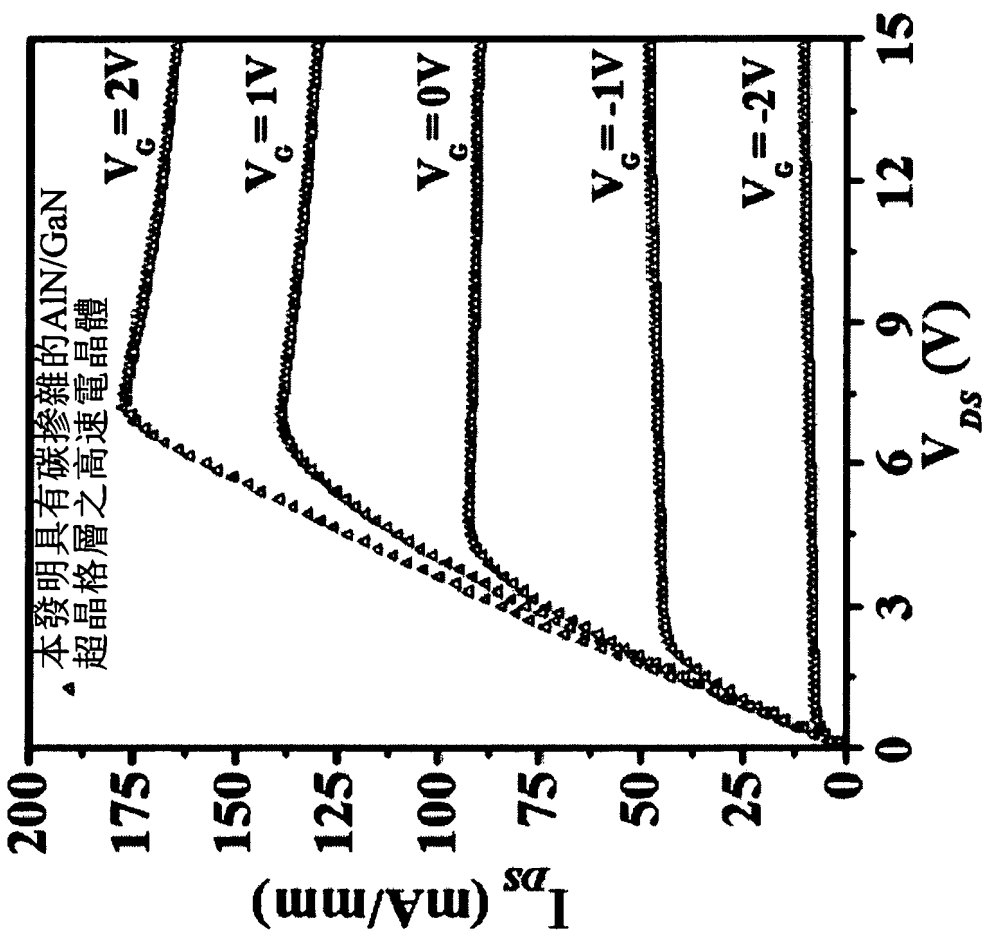
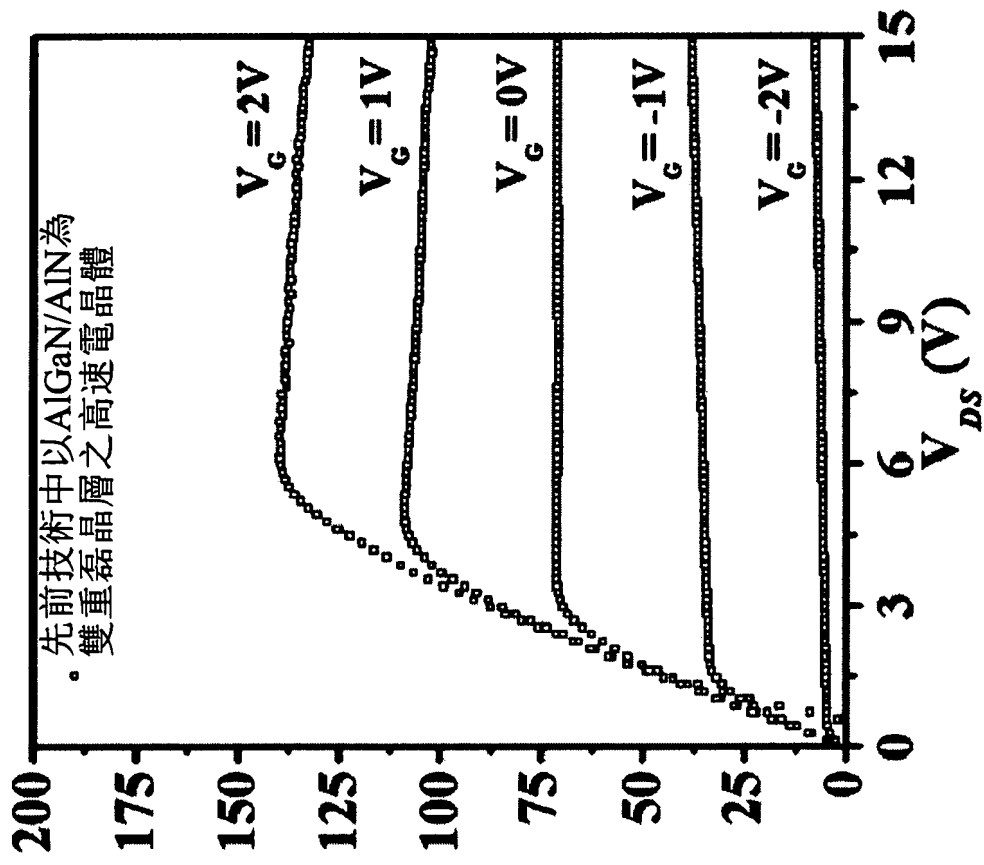
第3圖



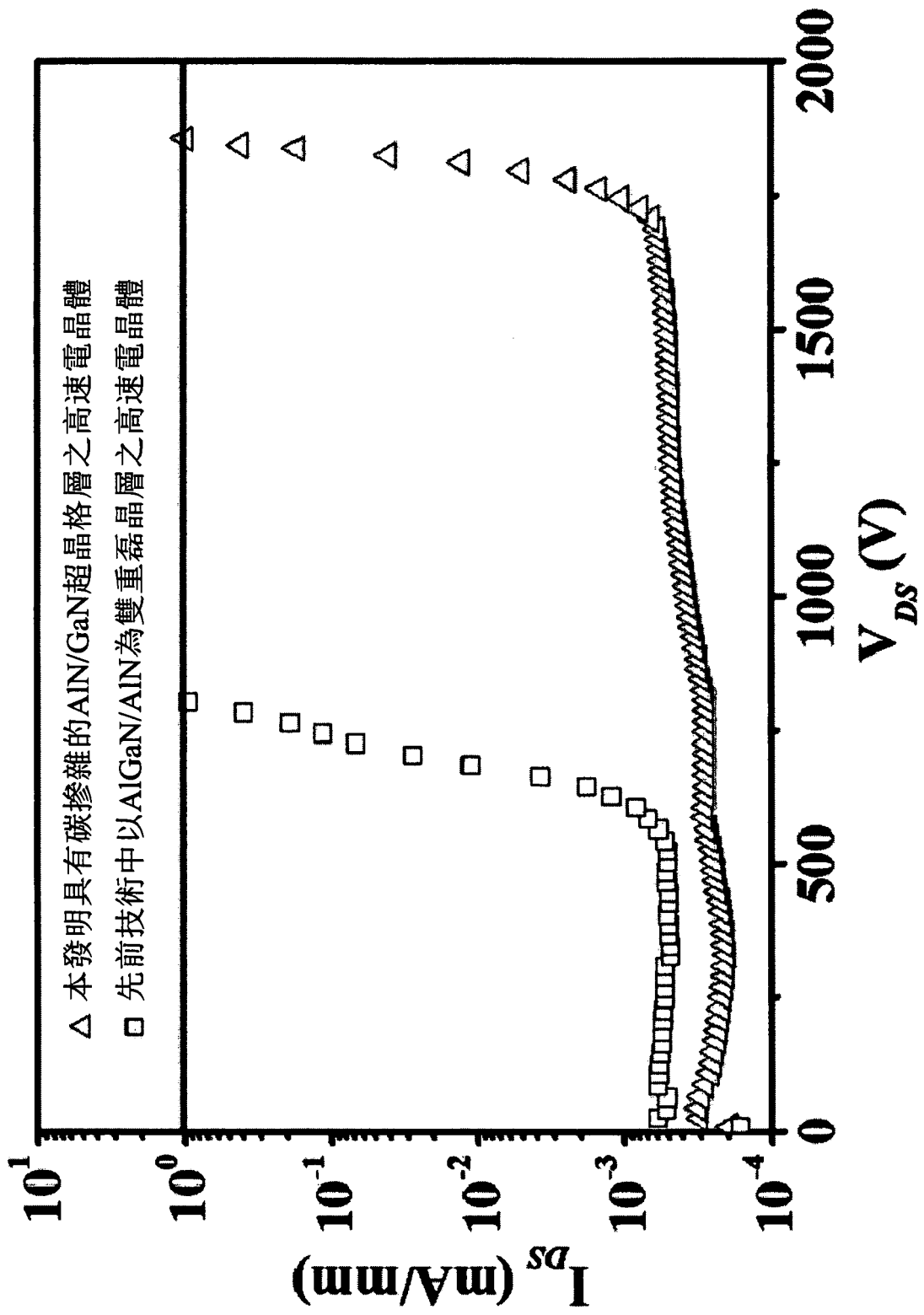
第4圖



第5圖



第6圖



第7圖