



(21)申請案號：104139594 (22)申請日：中華民國 104 (2015) 年 11 月 27 日
 (51)Int. Cl. : *H01L21/336 (2006.01)* *H01L29/41 (2006.01)*
 (30)優先權：2015/03/16 美國 14/658,719
 (71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市新竹科學工業園區力行六路 8 號
 國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
 (72)發明人：簡昭欣 CHIEN, CHAO HSIN (TW)；潘正聖 PAN, SAMUEL C. (TW)；周承翰
 CHOU, CHEN HAN (TW)
 (74)代理人：洪澄文；顏錦順
 申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 48 頁

(54)名稱

半導體裝置及其製造方法

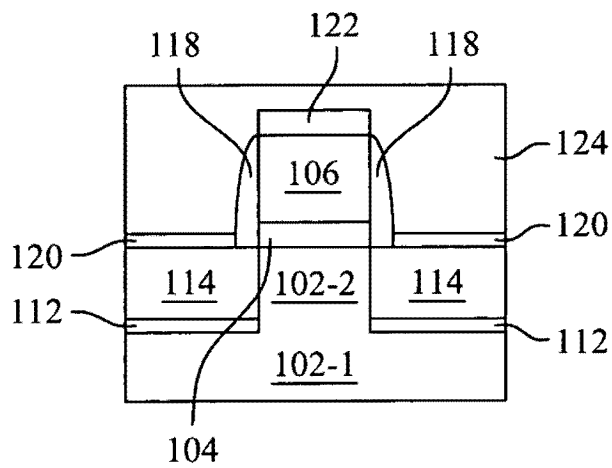
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本揭露係關於一些半導體裝置及其製造方法。在一實施例中，一半導體裝置及其製造方法包括圖案化一基底，使基底具有一第一區域以及延伸自基底的第一區域的一第二區域。沉積一隔離層於基底的第一區域的一表面上，以及磊晶形成一源極/汲極區域，其中源極/汲極區域位於隔離區上且鄰接基底的第二區域的數個側壁。

Semiconductor devices and methods of manufacture thereof are described. In an embodiment, a method of manufacturing a semiconductor device may include: patterning a substrate to have a first region and a second region extending from the first region of the substrate; depositing an isolation layer over a surface of the first region of the substrate; and epitaxially forming source/drain regions over the isolation layer and adjacent to sidewalls of the second region of the substrate.

指定代表圖：



第 1M 圖

符號簡單說明：

- 102-1 . . . 第一部分
- 102-2 . . . 第二部分
- 104 . . . 第一閘極介電質
- 106 . . . 第一閘極電極
- 112 . . . 第一隔離層
- 114 . . . 第一源極/汲極區域
- 118 . . . 閘極間隙壁
- 120 . . . 第一矽化物區域
- 122 . . . 第二矽化物區域
- 124 . . . 介電材料

發明摘要

※ 申請案號：104139594

※ 申請日：104. 11. 27

※IPC 分類： H01L 21/336 (2006.1)
H01L 29/41 (2006.1)

【發明名稱】 半導體裝置及其製造方法

Semiconductor device and manufacturing method
thereof

【中文】

● 本揭露係關於一些半導體裝置及其製造方法。在一實施例中，一半導體裝置及其製造方法包括圖案化一基底，使基底具有一第一區域以及延伸自基底的第一區域的一第二區域。沉積一隔離層於基底的第一區域的一表面上，以及磊晶形成一源極/汲極區域，其中源極/汲極區域位於隔離區上且鄰接基底的第二區域的數個側壁。

【英文】

● Semiconductor devices and methods of manufacture thereof are described. In an embodiment, a method of manufacturing a semiconductor device may include: patterning a substrate to have a first region and a second region extending from the first region of the substrate; depositing an isolation layer over a surface of the first region of the substrate; and epitaxially forming source/drain regions over the isolation layer and adjacent to sidewalls of the second region of the substrate.

【代表圖】

【本案指定代表圖】：第(1M)圖。

【本代表圖之符號簡單說明】：

102-1 第一部分

102-2 第二部分

104 第一閘極介電質

106 第一閘極電極

112 第一隔離層

114 第一源極/汲極區域

118 閘極間隙壁

120 第一矽化物區域

122 第二矽化物區域

124 介電材料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

【發明名稱】 半導體裝置及其製造方法

Semiconductor Device and manufacturing method thereof

【技術領域】

【0001】 本發明係有關於一種半導體裝置之製造方法，特別有關於一種具有隔離層之半導體裝置及其製造方法。

【先前技術】

【0002】 半導體裝置可應用於各種的電子產品，例如電腦、手機、數位相機、以及其他的電子設備。半導體裝置的製造一般通常藉由於一半導體基底上連續沉積絕緣或介電層、導電層、以及半導體層之材料，以及藉由微影製程圖案化上述各種材料層，以在半導體基底上形成電子元件以及單元。

【0003】 一電晶體在半導體裝置中有廣泛的應用。例如，在一些應用中可有數以千計的電晶體於單一積體電路 (integrated circuit) 中。用於半導體裝置製程中的一般型態的電晶體係一金屬氧化物半導體 (金氧半) 場效電晶體 (metal oxide semiconductor field effect transistor, MOSFET)。

【0004】 在半導體技術中，多重閘極場效電晶體 (multiple gate field-effect transistor, MuGFET) 係一最近的發展，其通常是將多於一個閘極結合於一單一裝置中的金氧半場效電晶體。多重閘極可藉由一單一閘極電極來控制，其多重閘極可像一單一閘極一樣地電性操作。多重閘極也可被各個獨立的閘極電極控制。其中一種多重閘極場效電晶體可被稱為鰭狀場效電晶體

(fin field effect transistor, FinFET)裝置，其係具有一鰭狀的半導體通道的一電晶體結構，其中鰭狀的半導體通道垂直昇起至一積體電路的矽表面外。

【發明內容】

【0005】 本揭露包括一種半導體裝置之製造方法，包括圖案化一基底，使基底具有一第一區域以及延伸自基底的第一區域的一第二區域。沉積一隔離層於基底的第一區域的一表面上，以及磊晶形成一源極/汲極區域，其中源極/汲極區域位於隔離區上且鄰接基底的第二區域的數個側壁。

【0006】 本揭露亦包括另一種半導體裝置之製造方法，包括蝕刻一基底，使其具有一第一區域以及延伸自基底的第一區域的一第二區域，蝕刻製程包括使用一閘極結構作為一蝕刻遮罩。沉積一隔離層於基底的第一區域的一表面上以及基底的第二區域的數個側壁上，移除位於基底的第二區域的側壁上之隔離層，以及移除製程之後，磊晶形成一源極/汲極區域於基底的第二區域的側壁上，源極/汲極區域延伸至設置於基底的第一區域上之隔離層上。

【0007】 本揭露亦包括一種半導體元件，包括一基底，具有一第一區域以及延伸自基底的第一區域的一第二區域。一隔離層，包括設置於基底的第一區域的表面上之一介電材料，一源極/汲極區域，物理性接觸基底的第二區域的相對的數個第一側壁，源極/汲極區域延伸至隔離層上；以及一閘極電極，設置於基底的第二區域的至少一上表面上。

【圖式簡單說明】

【0008】

第1A-1M圖根據一些實施例，繪示使用一閘極優先製程製造一平面金氧半場效電晶體之方法的各個中間步驟。

第2A-2P圖根據一些實施例，繪示使用一後閘極製程製造一平面金氧半場效電晶體之方法的各個中間步驟。

第3A-3L圖根據一些實施例，繪示使用一閘極優先製程製造一鰭狀場效電晶體之方法的各個中間步驟。

第4A圖以及第4B圖根據一些實施例，繪示一鰭狀場效電晶體的各個剖面示意圖。

第5A-5E圖根據一些實施例，繪示使用一後閘極製程製造一鰭狀場效電晶體之方法的各個中間步驟。

【實施方式】

【0009】 本說明書的揭露內容提供許多不同的實施例或範例，以實施本發明的不同特徵部件。而本說明書以下的揭露內容是敘述各個構件及其排列方式的特定範例，以求簡化發明的說明。當然，這些特定的範例並非用以限定本發明。例如，若是本說明書以下的揭露內容敘述了將一第一特徵部件形成於一第二特徵部件之上或上方，即表示其包含了所形成的上述第一特徵部件與上述第二特徵部件是直接接觸的實施例，亦包含了尚可將附加的特徵形成於上述第一特徵部件與上述第二特徵部件之間，而使上述第一特徵部件與上述第二特徵部件可能未直接接觸的實施例。再者，本發明的說明中不同範例可能使用重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結

構之間的關係。

【0010】 另外，在空間上的相關用語，例如“之下”、“以下”、“下方”、“之上”、“上方”等等係用以容易表達出本說明書中的部件或特徵部件與其他部件或特徵部件的關係。這些空間上的相關用語除了涵蓋了圖式所繪示的方位外，還涵蓋裝置於使用或操作中的不同方位。裝置可具有不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也可依此相同解釋。

【0011】 第1A-1E圖根據一或多個實施例，繪示製造一半導體裝置的各個中間步驟的製程流程圖。舉例來說，如第1A-1E圖所示的製程流程圖可是可用來製造一平面金氧半場效電晶體(MOSFET)的一閘極優先(gate-first)製程。第1圖繪示一基底102具有一第一側102a以及相對第一側102a的一第二側102b。舉例來說，基底102的第一側102a以及第二側102b可以分別是基底102的一上側以及一下側。例如，基底102可以是一半導體晶圓。基底102可包括一半導體材料。半導體材料可包含一元素半導體(例如，可包含結晶矽及/或鍺)、一化合物半導體(包含碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦，或銻化銦之至少其中一者)、一合金半導體(包含矽鍺(SiGe)、鎵砷磷(GaAsP)、鋁銦砷(AlInAs)、鋁鎵砷(AlGaAs)、鎵銦砷(GaInAs)、鎵銦磷(GaInP)，或鎵銦砷磷(GaInAsP)之至少其中一者)，或其組合。

【0012】 基底102的半導體材料可被摻雜。舉例來說，在一實施例中被製造之半導體裝置為一P型金氧半(PMOS)裝置(例如，一P型平面金氧半場效電晶體)，基底102的半導體材料可

包含N型摻雜物(例如, 磷或砷)。然而, 在一實施例中, 被製造之半導體裝置為一N型金氧半裝置(例如, 一N型平面金氧半場效電晶體), 基底102的半導體材料可包含P型摻雜物。在一些實施例中, P型摻雜物可包括銦。在其他實施例中, P型摻雜物可包含硼或鎵。基底102的半導體材料的一摻雜物濃度可低於約 $1 \times 10^{18} \text{ cm}^{-3}$ (例如, 介於約 $1 \times 10^{12} \text{ cm}^{-3}$ 至 $1 \times 10^{16} \text{ cm}^{-3}$)。舉另一個例子, 對於微縮化的裝置, 可控制摻雜物濃度, 使之介於約 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 。然而, 需注意的是也可是其他的摻雜物濃度。

【0013】 請參照第1B圖, 形成一第一閘極介電質104於基底102的第一側102a上。以第一閘極介電質104可包含一氧化物(例如, 氧化矽)、一氮化物(例如, 氮化矽), 或複數層膜。或者或更甚者, 第一閘極介電質104可包括一高介電常數介電材料。在此實施例中, 第一閘極介電質104可包含一金屬氧化物或一金屬矽酸鹽, 其金屬包括鈣(Hf)、鋁(Al)、鋯(Zr)、鏷(La)、鎂(Mg)、鋇(Ba)、鈦(Ti)、鉛(Pb)、其組合, 或其相似的材料。可藉由一氧化製程(例如, 濕及/或乾蝕刻)、旋塗介電質(spun-on-dielectric, SOD)製程、化學氣相沉積(chemical vapor deposition, CVD)、物理氣相沉積(physical vapor deposition, PVD)、原子層沉積(atomic layer deposition, ALD)、其組合、其變化, 或與其相似的製程形成第一閘極介電質104。

【0014】 請參照第1C圖, 形成一第一閘極電極106於第一閘極介電質104上(例如, 形成於第一閘極介電質104遠離基底102的第一側102a的一側上)。第一閘極電極106可是一導電結構,

其包含一導電材料。舉例來說，第一閘極電極106可包含形成於第一閘極介電質105上的一金屬層，其中金屬層可以是單層層膜或是多層結構。第一閘極電極106可包括鋁(Al)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、氮化鈦(TiN)、鈦鋁合金(TiAl)、氮化鈦鋁(TiAlN)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、其他具有與基底102的半導體材料相容的功函數之導電材料、其組合，或與其相似的材料。或者，或更甚者，第一閘極電極106可包括可被摻雜之多晶矽(例如，多晶矽層)，使第一閘極電極106是一電性導通結構。於此實施例中，第一閘極電極106具有介於約20nm至約80nm之一均勻厚度，雖然也可能是其他厚度。可使用一適合之製程形成第一閘極電極106，例如原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、電鍍、其組合，或是與其相似之製程。

【0015】 在以下的製程步驟中，第一閘極電極106與第一閘極介電質104的相對區域(例如，一左區域與一右區域)可被移除以露出基底102的部分第一側102a。換句話說，可例如使用一遮蔽(masking)以及一蝕刻製程(例如，乾及/或濕蝕刻製程)圖案化第一閘極電極106與第一閘極介電質104。如第1D圖所示，起始一第一硬遮罩108可形成於第一閘極電極106上。第一硬遮罩108可完全覆蓋第一閘極電極106遠離基底102之表面。第一硬遮罩可藉由使用合適的製程形成，例如化學氣相沉積(CVD)、電漿輔助化學氣相沉積(plasma enhanced CVD, PECVD)、原子層沉積(ALD)，或與其相似的製程。然而，也可使用其他合適的方法形成第一硬遮罩108。在一實施例中，第一硬遮罩108包

括一介電材料，例如氮化矽、氮化鈦、氮氧化矽、上述之組合，或是相似之材料。然而，應了解的是第一硬遮罩108可包含其他合適之材料。第一硬遮罩108可具有介於約10nm至約40nm之厚度，例如約25nm。

【0016】 一旦形成第一硬遮罩108，移除第一硬遮罩108的周圍部分以露出第一閘極電極106之周圍部分。如第1E圖的例子所示，起始可藉由形成一圖案化之第一光阻110於第一硬遮罩108的一中間部份上以圖案化第一硬遮罩108，而第一硬遮罩108的周圍部分上並未有圖案化之第一光阻110。可藉由沉積一光阻材料於第一硬遮罩108上接著圖案化該光阻材料(例如，使用一微影製程如光微影製程)以形成圖案化之第一光阻110。可使用旋轉塗佈、化學氣相沉積(CVD)、物理氣相沉積(PVD)，或其相似之製程來沉積光阻材料於第一硬遮罩108上。

【0017】 形成圖案化之第一光阻110後，接著將圖案化之第一光阻110作為一遮罩圖案化第一硬遮罩108。也就是說，移除第一硬遮罩108的周圍部分，而留下第一硬遮罩108的中間部分(例如，第一硬遮罩108的留下部分設置於圖案化之第一光阻110下方)。經過此製程步驟後，形成一圖案化之第一硬遮罩108p，如第1F圖所示。在一實施例中，實施一蝕刻製程(例如，一反應性離子蝕刻(reactive ion etching, RIE)製程)圖案化第一硬遮罩108，其使用適合於第一硬遮罩108的材料的蝕刻劑。然而，也可使用其他合適之製程來圖案化第一硬遮罩108。第一硬遮罩108之圖案化持續至露出第一閘極電極106的周圍部分。接著，使用如剝除(stripping)製程(例如，濕剝除製程)或一灰化

(ashing)製程(例如電漿灰化製程)以移除圖案化之第一光阻110。

【0018】 此後，如第1G圖所示，可使用一合適之製程(例如，反應性離子蝕刻製程)將圖案化之第一硬遮罩108p的圖案轉移至第一閘極電極106與第一閘極介電質104，其使用適合第一閘極電極106與第一閘極介電質104的材料之蝕刻劑。接著，將圖案化之第一硬遮罩108p作為遮罩，圖案化第一閘極電極106與第一閘極介電質104。如上所述，該步驟移除了第一閘極電極106與第一閘極介電質104的周圍部分，而留下了第一閘極電極106與第一閘極介電質104的中間部分。在同一時間，藉著移除了第一閘極電極106與第一閘極介電質104的周圍部分，露出基底102的部分第一側102a，如第1G圖所示。

【0019】 請參照第1H圖，接著使用一合適的蝕刻製程(例如，具有非等向性(anisotropic)蝕刻之反應性離子蝕刻)將圖案化之第一閘極電極106與第一閘極介電質104的圖案轉移至基底102，其使用適合基底102的材料之蝕刻劑。在一實施例中，移除基底102的材料所使用的蝕刻製程與第1G圖中移除第一閘極電極106與第一閘極介電質104的材料所使用的蝕刻製程相似。然而，在其他實施例中，移除基底102的材料所使用的蝕刻製程不同於第1G圖中移除第一閘極電極106與第一閘極介電質104的材料所使用的蝕刻製程。接著，使用例如一剝除製程(例如，濕剝除製程)或一灰化製程(例如，電漿灰化製程)移除圖案化之第一硬遮罩108p。

【0020】 由於此步驟，基底102被圖案化而包含具有一第一

寬度 W_1 的一第一部份 102-1，以及具有小於第一寬度 W_1 之一第二寬度 W_2 的一第二部分 102-2。在一實施例中，第二寬度 W_2 可介於約 5nm 至約 25nm (例如，介於約 7nm 至約 22nm)。如第 1H 圖所示，第二部分 102-2 可突出或延伸自基底 102 的第一部分 102-1。第二寬度 W_2 可與覆蓋於基底 102 的第二部分 102-2 之上的第一閘極電極 106 與第一閘極介電質 104 之寬度大體上相同。在一實施例中，使用如第 1A-1M 圖所示之製程流程製造的平面金氧半場效電晶體的一通道可具有與第二寬度 W_2 大體上相同的一通道長度。

【0021】 請參照第 1I 圖，形成第一隔離層 112 於基底 102 的第一部份 102-1 的遠離基底 102 的第二側 102b 的表面上。舉例來說，第一隔離層 112 可形成於接近第二部分 102-2 的側壁 102-2w 的基底 102 的第一部分 102-1 的表面上。這些表面可以是基底 102 的第一部分 102-1 的主表面。第一隔離層 112 可作用於提供基底 102 與之後源極/汲極區域之間的電性隔離，而源極/汲極區域接著形成於第一隔離層 112 上且鄰接於基底 102 的第二部分 102-2 的側壁 102-2w (例如，見以下關於第 1J 圖之敘述)。第一隔離層 112 可包括一絕緣材料，例如一介電材料 (例如，一氧化物、一氮化物、或其多層結構)。

【0022】 可藉由一沉積製程如電漿輔助化學氣相沉積製程 (PECVD)、高密度電漿化學氣相沉積 (high density plasma chemical vapor deposition, HDPCVD) 製程、上述之組合，或與其相似之製程來形成第一隔離層 112。在一些實施例中，該製程可將第一隔離層 112 保形地沉積於基底 102 的第二部分 102-2

的側壁102-2w上，也沉積於基底102的第一部分102-1遠離第二側102b的表面上。在此實施例中，位於基底102的第二部分102-2的側壁102-2w上的第一隔離層112的厚度可小於位於基底102的第一部分102-1遠離第二側102b的表面上第一隔離層112的厚度。舉例來說，前者(側壁102-2w上的第一隔離層112)厚度為後者(基底102的第一部分102-1遠離第二側102b之的表面上第一隔離層112)厚度的於約25%至約35%。接著，使用具有一蝕刻劑(例如，氫氟酸(HF)或稀釋氫氟酸(diluted hydrofluoric acid, DHF))之一清潔製程(例如，濕清潔製程)移除設置在側壁102-2w上的部份第一隔離層112，而留下位於基底102的第一部分102-1遠離第二側102b的表面上部分第一隔離層112。在一實施例中，基底102的第一部分102-1遠離第二側102b的表面上第一隔離層112的厚度可介於約3nm至約10nm。

【0023】 請參見第1J圖，第一源極/汲極區域114可磊晶地形成於第一隔離層112上且鄰近基底102的第二部分102-2的側壁102-2w。第一源極/汲極區域114可包括一半導體材料，其也可包括摻雜物，使第一源極/汲極區域114具有不同於基底102的導電性。舉例來說，在一實施例中，被製造出的半導體裝置是一P型金氧半(PMOS)裝置，第一源極/汲極區域114的半導體材料可包含P型摻雜物(例如，銻)。然而，在一實施例中，被製造出的半導體裝置是一N型金氧半(NMOS)裝置，第一源極/汲極區域114的半導體材料可包含N型摻雜物(例如，磷或砷)。第一源極/汲極區域114的一摻雜物濃度可大於基底102的摻雜物

濃度。舉例來說，第一源極/汲極區域114的摻雜物濃度可介於 $1 \times 10^{19} \text{ cm}^{-3}$ 至約 $1 \times 10^{22} \text{ cm}^{-3}$ 或更大。使用第1A-1M圖所示的製程流程來製造的平面金氧半場效電晶體的通道長度可稱為第一源極/汲極區域114的一距離，其如上所述，與第二寬度W2大體上相同，可介於約5nm至約25nm之間(例如，介於約7nm至約22nm)。

【0024】 可使用一磊晶成長(epitaxial growth)製程形成第一源極/汲極區域114。磊晶成長製程可為分子束磊晶(molecular beam epitaxy, MBE)、液相磊晶(liquid phase epitaxy, LPE)、氣相磊晶(vapor phase epitaxy, VPE)、選擇性磊晶成長(selective epitaxy growth, SEG)，或其組合。磊晶成長製程利用露出的基底102的第二部分102-2作為一成長起點。舉例來說，磊晶成長製程利用露出的基底102的第二部分102-2的露出部分作為成長起點。在一些實施例中，磊晶成長製程可從與基底102的第二部分102-2的側壁102-2w相反(例如，垂直)的一方向開始進行。磊晶成長的一起始方向如第1J圖中的虛線箭號116所示。然而，當磊晶成長製程進行時，接著成長的第一源極/汲極區域114的半導體材料可沿著第一源極/汲極區域114的半導體材料先前成長的晶面方向(lattice plane orientation)進行成長。由於半導體材料的成長速率取決於晶面方向，第一源極/汲極區域114的上表面可具有傾斜(例如，根據一參考水平)的平面F。

【0025】 在一實施例中，第一源極/汲極區域114成長的同時，將摻雜物導入第一源極/汲極區域114的半導體材料。例如，在

實施第一源極/汲極區域114的磊晶成長製程的過程中，原位地放置包括期望的摻雜物的前驅物與第一源極/汲極區域114的半導體材料之前驅反應物的一反應槽中。如此，摻雜物被導入以及併入第一源極/汲極區域114的半導體材料中以在第一源極/汲極區域114成長時提供第一源極/汲極區域114期望的導電性。在此實施例中，摻雜物濃度可在第一源極/汲極區域114的各處大體上均勻。

【0026】 或者，在其他實施例中，可在第一源極/汲極區域114成長後將摻雜物導入第一源極/汲極區域114的半導體材料中。舉例來說，可在沒有摻雜物的情況下成長第一源極/汲極區域114的半導體材料，並且實施一導入製程(例如一佈植製程或擴散製程)，將摻雜物導入第一源極/汲極區域114中。一旦將摻雜物導入第一源極/汲極區域114，可實施一退火製程將摻雜物活性化。在此實施例中，第一源極/汲極區域114可具有一梯度摻雜物濃度，其中在第一源極/汲極區域114在位於遠離第一隔離層112的部分的摻雜物濃度較高，而第一源極/汲極區域114在位於靠近第一隔離層112的部分的摻雜物濃度較低。

【0027】 第一源極/汲極區域114的磊晶成長可持續直到其底102的第二部分102-2的側壁102-2w被第一源極/汲極區域114的半導體材料覆蓋，且第一源極/汲極區域114的上表面至少與基底102的第二部分102-2的一上表面齊平。

【0028】 請參照第1K圖，實施例如一保形沉積製程以及接著實施一蝕刻製程(例如，一非等向性蝕刻製程)，沿著第一閘極介電質104與第一閘極電極106的側壁形成閘極間隙壁118。

閘極間隙壁 118 可包括一介電材料，例如氮化矽、碳氮化矽 (SiCN)、上述之組合，或與其相似之材料。

【0029】 請參照第 1L 圖，於第一源極/汲極區域 114 遠離基底 102 的表面上形成第一矽化物區域 120。舉例來說，可形成第一矽化物區域 120 於第一源極/汲極區域 114 的上表面上。在第 1L 圖中也顯示一第二矽化物區域 122 形成於第一閘極電極 106 遠離基底 102 的表面上 (例如，第一閘極電極 106 的上表面)。第一矽化物區域 120 與第二矽化物區域 122 可包括鈦的矽化物 (例如，二矽化鈦 (TiSi₂))、鈷的矽化物 (例如，二矽化鈷 (CoSi₂))、鎳的矽化物 (例如，矽化鎳 (NiSi))、上述之組合，或是與其相似之材料。可使用一矽化製程或其他合適之製程形成第一矽化物區域 120 與第二矽化物區域 122。

【0030】 請參照第 1M 圖，沉積介電材料 124 (例如，包括一氧化物及/或氮化物) 於第一矽化物區域 120 與第二矽化物區域 122 上且完全覆蓋閘極間隙壁 118 (例如，於閘極間隔物 118 的每一側上) 如第 1M 圖所示。例如，介電材料 124 可形成半導體裝置的一層間介電質 (interlayer dielectric, ILD)，其可利用如第 1A-1M 圖的製程流程製造。

【0031】 接著，形成接點 (contact) (包括一導電材料) 於介電材料 124 中，與第一矽化物區域 120 以及第二矽化物區域 122 形成電性接觸。此外，可在介電材料 124 上形成一內連接層 (包括一或多個金屬間介電層 (inter-metal dielectric layer, IMD layer)) 以及導電結構於金屬間介電質中。內連接層的金屬間介電質中的導電結構可電性連接至形成於介電材料 124 (例如，層間介電

質層)中的接點。為了簡潔而並未繪示那些結構以及製程步驟。

【0032】 舉例來說，第1A-1M圖所繪示的製程流程可以是一閘極優先(gate-first)製程，其可用來製造一平面金氧半場效電晶體。然而，繪示於第1A-1M圖的各個製程可也用來製造使用後閘極(gate-last)製程的一平面金氧半場效電晶體。第2A-2P圖繪示一製程流程的一些中間步驟。

【0033】 第2A-2B圖繪示基底102以及形成於基底102的第一側102a上的第一閘極介電質104。如第2C圖所示，可形成具有一合適厚度的一第一虛置閘極202於第一閘極介電質104上，例如，介於約10nm至約50nm。可使用與上述的第一閘極電極106相似的製程形成第一虛置閘極202。在一實施例中，第一虛置閘極202可包括未摻雜(或非故意摻雜)之多晶矽。由於第2A-2P圖中顯示的製程流程係一後閘極製程，在之後的步驟可藉由一閘極取代製程(例如，詳見關於以下第2N、2O圖中的敘述)取代第一虛置閘極202。

【0034】 如第2D-2G圖所示，移除第一虛置閘極202以及第一閘極介電質104的周圍部分，而留下第一虛置閘極202以及第一閘極介電質104的中間部分。第2D-2G圖所示的用於移除第一虛置閘極202以及第一閘極介電質104的周圍部分之製程流程相似於用於移除第一閘極電極106以及第一閘極介電質104的周圍部分之製程流程(如第1D-1G圖所敘述)。舉例來說，可使用一遮罩與蝕刻製程來移除第一虛置閘極202以及第一閘極介電質104的周圍部分。

【0035】 請參見第2H圖，使用與第1H圖所述相似的一蝕刻製程將圖案化的第一虛置閘極202以及第一閘極介電質104之圖案轉移至基底102。舉例來說，在將圖案化的第一虛置閘極202以及第一閘極介電質104之圖案轉移至基底102中，基底102可被圖案化至具有第二部分102-2，其延伸或突出自第一部份102-1。

【0036】 接著，上述製程流程的進行具有相似於第1I-1K圖所述的方式與流程。舉例來說，如第2I圖所示，形成第一隔離層112於基底102的第一部份102-1的表面上且鄰接基底102的第二部分102-2的側壁102-2w。請參照第2J圖，磊晶形成第一源極/汲極區域114於第一隔離層112上且鄰接基底102的第二部分102-2的側壁102-2w。請參照第2K圖，使用一保形沉積製程以及接著使用一蝕刻製程(例如，非等向性蝕刻製程)形成閘極間隙壁118，其沿著第一閘極介電質104與第一虛置閘極202。

【0037】 如第2L圖所示，形成第一矽化物區域120於第一源極/汲極區域114遠離基底102的表面上。舉例來說，第一矽化物區域120可形成於第一源極/汲極區域114的上表面上。然而，與第1L圖中所示的製程流程相反，由於第一虛置閘極202之後會藉由一取代製程(見以下於第2N、2O圖中的敘述)被第一閘極電極106取代，因此不形成第二矽化物區域122於第一虛置閘極202的一表面(例如，上表面)上。

【0038】 請參照第2M圖，沉積介電材料124(例如，層間介電質)於第一矽化物區域120上並完全覆蓋閘極間隙壁118。在一實施例中，經過一平坦化製程(例如一化學機械研磨

(chemical mechanical polishing))實施於介電材料124上，介電材料124與第一虛置閘極202遠離基底102的表面(例如，介電材料124與第一虛置閘極202的上表面)大體上共平面。接著，第2N圖所示，移除第一虛置閘極202(例如，使用一蝕刻製程)，因而形成一溝槽204於介電材料124中。溝槽204可露出第一閘極介電質104，如第2N圖所示。

【0039】 請參照第2O圖，藉由將導電材料填入溝槽204中形成第一閘極電極106。用來填入溝槽204的製程可相似於第1C圖中用來形成第一閘極電極106於第一閘極介電質104上的製程。在一些實施例中，可將導電材料過度填充溝槽204，以致於該導電材料也設置於介電材料124遠離基底102的表面(例如介電材料124的上表面)上。接著，使用一平坦化製程(例如化學機械研磨(CMP)製程)以移除設置於介電材料124的上表面上的導電材料。結果，介電材料124與第一閘極電極106的表面大體上共平面。

【0040】 請參照第2P圖，接著使用與上述第1L圖中所述的製程相似的製程，形成第二矽化物區域122於第一閘極電極106遠離基底102的表面(例如，上表面)上。接著，形成具有一或多個金屬間介電層(IMD)與導電結構的內連接層於介電材料124與第二矽化物區域122上。此外，形成接點(包括導電材料)於介電材料124中以與第一矽化物區域120以及第二矽化物區域122形成電性接觸。為了簡潔而並未繪示上述結構以及製程步驟。

【0041】 使用第1A-1M圖以及第2A-2P圖中所示的製程流程形成的平面金氧半場效電晶體的通道長度可量測得到第一源

極/汲極區域114的一距離，其如上所述，其可與與第二寬度W2大體上相同，該距離可介於約5nm至約25nm之間(例如，介於約7nm至約22nm)。舉例來說，於一般的平面金氧半場效電晶體中，通道長度在一範圍內會引起短通道效應(short channel effect, SCE)、第一源極/汲極區域114與基底102之間的寄生電容(parasitic capacitance)，以及由高摻雜的第一源極/汲極區域114造成的源極/汲極漏電流。然而，使用如第1A-1M圖以及第2A-2P圖中所示的製程流程製造的平面金氧半場效電晶體包括第一隔離層112，其可改善短通道效應、降低源極/汲極寄生電容，以及降低源極/汲極接面漏電。這些優點可導致良好的邏輯電路功效。此外，用來形成第一隔離層112的方法提供一具成本效益的方法去形成部分的絕緣層上覆矽(silicon-on-insulator, SOI)晶圓，以及製造平面金氧半場效電晶體於部分的絕緣層上覆矽晶圓的絕緣層上(例如，於第一隔離層112上)以及於部分的絕緣層上覆矽晶圓的半導體層中(例如，於基底102的第二部分102-2中)。

【0042】 由第1A-1M圖以及第2A-2P圖所示的製程流程所提供的功效也可提供至一鰭狀場效電晶體(fin field effect transistor, FinFET)裝置。第3A-3L圖顯示一方法，其繪示根據一些實施例使用一閘極優先製程製造鰭狀場效電晶體的各個的中間步驟。第3A圖繪示一基底302，其相似於第1A圖中所述的基底102。基底302可包括一摻雜的半導體材料。在一實施例中，被製造之鰭狀場效電晶體為一P型金氧半(PMOS)裝置，基底302的半導體材料可包含N型摻雜物(例如，磷或砷)。然而，

在一實施例中，被製造之鰭狀場效電晶體為一N型金氧半(NMOS)裝置，基底302的半導體材料可包含P型摻雜物(例如，銻)。基底302的半導體材料的一摻雜物濃度可低於約 $1 \times 10^{18} \text{ cm}^{-3}$ (例如，介於約 $1 \times 10^{12} \text{ cm}^{-3}$ 至 $1 \times 10^{16} \text{ cm}^{-3}$)。在另一個例子中，對於微縮化的裝置，可控制摻雜物濃度，使之介於約 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$)。然而，可注意的是也可以是其他的摻雜物濃度。在一些接下來的製程步驟中，可實施一遮罩與蝕刻製程於基底302上，以形成鰭狀結構。

【0043】 請參照第3B圖，形成一第二硬遮罩304於基底302上。第二硬遮罩304包括與第一硬遮罩108相似的材料以及使用相似的方法形成(如第1D圖所示)。一旦形成第二硬遮罩304，移除第二硬遮罩304的周圍部分以露出基底302的周圍部分。

【0044】 如第3C圖的例子所示，圖案化第二硬遮罩304，起始藉由形成一圖案化的光阻306於第二硬遮罩304的中間部分，而第二硬遮罩304的周圍部分不具圖案化的光阻306。圖案化的第二硬遮罩304可包括與圖案化的第一光阻110相似的材料以及使用相似的方法形成。

【0045】 形成圖案化的第二硬遮罩304後，接著將圖案化之第二光阻306作為一遮罩，圖案化第二硬遮罩304。換句話說，移除第二硬遮罩304的周圍部分，而留下第二硬遮罩304的中間部分，例如第二硬遮罩304的留下部分設置於圖案化之第二光阻306下方。此製程的結果得到一圖案化的第二硬遮罩304p，如第3D圖所示。在一實施例中，實施一蝕刻製程(例如，一反應性離子蝕刻(reactive ion etching, RIE)製程)以圖案化第二硬

遮罩 304，其使用適合於第二硬遮罩 304 的材料的蝕刻劑。然而，也可使用其他合適之製程來圖案化第二硬遮罩 304。第二硬遮罩 304 之圖案化持續至露出基底 302 的周圍部分。接著，使用如剝除製程(例如，濕剝除製程)或一灰化製程(例如電漿灰化製程)以移除圖案化之第二光阻 306。

【0046】 之後，如第 3E 圖所示，可使用一合適之蝕刻製程(例如，反應性離子蝕刻製程)將圖案化之第二硬遮罩 304p 之圖案轉移至基底 302，其使用適合基底 302 的材料之蝕刻劑。圖案化基底 302 以形成一鰭狀結構 308 以及位於鰭狀結構 308 下方的一底部半導體層 310。鰭狀結構 308 可延伸自底部半導體層 310 的一主表面 301s。持續蝕刻基底 302 直到鰭狀結構 308 具有介於約 10nm 至約 50nm 的一高度 H。舉例來說，高度 H 係自底部半導體層 310 的一主表面 301s 量測鰭狀結構 308 的最大範圍。鰭狀結構 308 具有介於約 5nm 至約 20nm(例如，介於約 7nm 至約 15nm)的寬度 W。例如，寬度 W 係於鰭狀結構 308 的相對側壁 308w 之間量測而得。

【0047】 請參照第 3F 圖，形成第二隔離層 312 於圖案化之第二硬遮罩 304p、底部半導體層 310 的主表面 310s 以及鰭狀結構 308 的相對側壁 308w 上。舉例來說，第二隔離層 312 可圍繞鰭狀結構 308 且完全覆蓋圖案化之第二硬遮罩 304p 以及底部半導體層 310 的主表面 310s。第二隔離層 312 可作用於提供鰭狀結構 308 與相鄰的其他鰭狀結構之間的電性隔離。第二隔離層 312 可包括一介電材料(例如，一氧化物、一氮化物、或其多層結構)。舉例來說，第二隔離層 312 可包括氮化矽、氮氧化矽、摻雜氟

矽酸玻璃 (fluoride-doped silicate glass, FSG), 或一低介電常數 (low-K) 材料。第二隔離層 312 可藉由一沉積製程如電漿輔助化學氣相沉積製程 (PECVD)、高密度電漿化學氣相沉積製程 (HDPCVD)、上述之組合, 或與其相似之製程來形成第二隔離層 312。在一些實施例中, 藉由高密度電漿化學氣相沉積製程沉積第二隔離層 312, 可使用矽烷 (SiH_4) 以及氧氣 (O_2) 作為反應前驅物。在其他實施例中, 藉由次大氣壓化學氣相沉積 (sub-atmospheric CVD, SACVD) 製程或高深寬比製程 (high aspect-ratio process, HARP) 沉積第二隔離層 312, 其中製程氣體包括四乙氧基矽烷 (tetraethylorthosilicate, TEOS) 以及臭氧 (ozone, O_3)。在另一實施例中, 藉由旋塗介電質 (SOD) 製程形成第二隔離層 312, 其使用含氫矽酸鹽類低介電常數材質 (Hydrogen Silsesquioxane, HSQ) 或含甲基矽酸鹽類低介電常數材質 (Methylsilsesquioxane, MSQ)。

【0048】 請參照第 3G 圖, 實施一平坦化製程 (例如, 化學機械研磨) 以平坦化第二隔離層 312, 接著移除圖案化之第二硬遮罩 304p。在一實施例中, 使用如剝除製程 (例如, 濕剝除製程) 或一灰化製程 (例如電漿灰化製程) 以移除圖案化之第二硬遮罩 304p。

【0049】 請參照第 3H 圖, 凹蝕第二隔離層 312 的部分以露出鰭狀結構 308 的一第一部分 308-1 (例如, 一上部分), 而鰭狀結構 308 的一第二部分 308-2 (例如, 一下部分) 仍被第二隔離層 312 覆蓋。在一些實施例中, 圍繞鰭狀結構 308 的第二隔離層 312 的餘留部分可視為一裝置隔離結構 312。在一些實施例中, 實施

一濕蝕刻製程凹蝕第二隔離層312，例如將如第3G圖所示的結構浸泡於一液態蝕刻劑中(例如，氫氟酸)。在一些實施例中，使用一乾蝕刻製程進行蝕刻步驟，例如，乾蝕刻製程可使用三氟甲烷(CHF_3)或三氟化硼(BF_3)作為蝕刻氣體。

【0050】 請參照第3I圖，形成(例如，保形地形成)一第二閘極介電質314以及一第二閘極電極316於鰭狀結構308的第一部分308-1的一區域上。第二閘極介電質314以及第二閘極電極316分別包括與第一閘極介電質104以及第一閘極電極106相似的材料。第二閘極介電質314以及第二閘極電極316可藉由一沉積製程形成(例如，低壓化學氣相沉積製程(low-pressure chemical vapor deposition, LPCVD)，將第二閘極介電質314以及第二閘極電極316的材料形成於鰭狀結構308的第一部分308-1的整個範圍上。接著，藉由一遮罩與蝕刻製程圖案化第二閘極介電質314以及第二閘極電極316的材料，使得鰭狀結構308的第一部分308-1的一第一區域被第二閘極介電質314以及第二閘極電極316覆蓋，以及鰭狀結構308的第一部分308-1的一第二區域保持露出的狀態。

【0051】 請參照第3J圖，移除鰭狀結構308的第一部分308-1設置於第二閘極介電質314以及第二閘極電極316水平範圍之外的區域(例如，使用一蝕刻製程)。此外，鰭狀結構308的一第二部分308-2的一上部分也被移除。可使用一合適之蝕刻製程(例如，反應性離子蝕刻製程)移除鰭狀結構308的材料，其使用適合鰭狀結構308的材料之蝕刻劑。在一些實施例中，在蝕刻製程中，第二閘極介電質314以及第二閘極電極316可作為遮

罩。

【0052】 請參照第3K圖，形成一第三隔離層318於裝置隔離結構312遠離底部半導體層310的主表面310s的表面上。形成一第四隔離層320於第二閘極電極316的上表面上。第三隔離層318可作用於提供基底302與接著形成的源極/汲極區域之間的電性隔離，其中接著形成的源極/汲極區域設置於第三隔離層318上且鄰接設置於第二閘極介電質314與第二閘極電極316的一寬度內之鰭狀結構308的第一部分308-1的側壁。在一些實施例中，設置於第二閘極介電質314與第二閘極電極316的寬度內之鰭狀結構308的第一部分308-1被製造，其包括鰭狀場效電晶體的通道區域。

【0053】 第三隔離層318與第四隔離層320包括與第一隔離層112相似的材料且以相似之製程形成。舉例來說，在一些實施例中，用來形成第三隔離層318的沉積製程可保形地沉積材料於第二閘極介電質314與第二閘極電極316的側壁上，也同時沉積在設置於第二閘極介電質314與第二閘極電極316的寬度內之鰭狀結構308的第一部分308-1的表面上。然而，在這些表面上的第三隔離層318之厚度小於位於裝置隔離結構312遠離底部半導體層310的主表面310s的表面上之第三隔離層318之厚度。接著，使用具有一蝕刻劑(例如，氫氟酸(HF)或稀釋氫氟酸(DHF)之一清潔製程(例如，濕清潔製程)以移除設置在第二閘極介電質314與第二閘極電極316的側壁上的部份第三隔離層318，以及移除設置在第二閘極介電質314與第二閘極電極316的寬度中的鰭狀結構308的第一部分308-1，而留下位於裝

置隔離結構 312 遠離底部半導體層 310 的主表面 310s 的表面上的一部分第三隔離層 318。在一實施例中，設置於裝置隔離結構 312 遠離底部半導體層 310 的主表面 310s 的表面上第三隔離層 318 的厚度介於約 3nm 至約 10nm。

【0054】 請參照第 3L 圖，磊晶形成第二源極/汲極區域 322 於第三隔離層 318 上且鄰接於設置於第二閘極介電質 314 與第二閘極電極 316 的寬度內之鰭狀結構 308 的第一部分 308-1 的露出的表面(例如，露出的側壁)。第二源極/汲極區域 322 可包括與第一源極/汲極區域 114 相似的材料。第二源極/汲極區域 322 具有一導電性，其不同於鰭狀結構 308 的第一部分 308-1 之導電性。舉例來說，在一實施例中，被製造出的半導體裝置是一 P 型金氧半 (PMOS) 裝置，第二源極/汲極區域 322 的半導體材料可包含 P 型摻雜物(例如，銦)。然而，在一實施例中，被製造出的半導體裝置是一 N 型金氧半 (NMOS) 裝置，第二源極/汲極區域 322 的半導體材料可包含 N 型摻雜物(例如，磷或砷)。第二源極/汲極區域 322 的一摻雜物濃度可大於基底 302 的摻雜物濃度。舉例來說，第二源極/汲極區域 322 的摻雜物濃度可介於 $1 \times 10^{19} \text{ cm}^{-3}$ 至約 $1 \times 10^{22} \text{ cm}^{-3}$ 或更大。

【0055】 可使用與第一源極/汲極區域 114 相似的方法來形成第二源極/汲極區域 322。例如，可使用分子束磊晶 (MBE)、液相磊晶 (LPE)、氣相磊晶 (VPE)、選擇性磊晶成長 (SEG)，或其組合來形成第二源極/汲極區域 322。磊晶成長製程利用第二閘極介電質 314 與第二閘極電極 316 的寬度內之鰭狀結構 308 的第一部分 308-1 的露出的表面作為成長起點。

【0056】 在一實施例中，第二源極/汲極區域322成長的同時，將摻雜物導入第二源極/汲極區域322的半導體材料。例如，在實施第二源極/汲極區域322的磊晶成長製程的過程中，原位地放置包括期望的摻雜物的前驅物與第一源極/汲極區域332的半導體材料之前驅反應物的一反應槽中。如此，摻雜物被導入以及併入第二源極/汲極區域322的半導體材料中以在第二源極/汲極區域322成長時提供第二源極/汲極區域322期望的導電性。在此實施例中，摻雜物濃度可在第二源極/汲極區域322的各處大體上均勻。

【0057】 第二源極/汲極區域322的磊晶成長持續直到第二閘極介電質314與第二閘極電極316的寬度內之鰭狀結構308的第一部分308-1的表面被第二源極/汲極區域322的半導體材料覆蓋。

【0058】 第4A圖繪示第3L圖所示的鰭狀場效電晶體沿著線A-A'的一剖面示意圖。舉例來說，第4A圖繪示的示意圖係沿著第3L圖所示的鰭狀場效電晶體的一通道長度方向決定。如第4A圖所示，通道長度L係由量測第二源極/汲極區域322之間的距離而得。在一實施例中，通道長度L可介於約5nm至約25nm(例如，介於約7nm至約22nm)。第4B圖繪示第3L圖所示的鰭狀場效電晶體沿著線B-B'的一剖面示意圖。第4A圖繪示的示意圖係沿著第3L圖所示的鰭狀場效電晶體的一通道寬度方向決定。

【0059】 舉例來說，第3A-3L圖所繪示的製程流程可以用來製造一鰭狀場效電晶體的一閘極優先(gate-first)製程。然而，繪示於第3A-3L圖的不同製程可也用來製造使用後閘極

(gate-last)製程的一鰭狀場效電晶體。第5A-5E圖繪示一製程流程的一些中間步驟。

【0060】 第5A圖繪示凹蝕第二隔離層312的部分以露出鰭狀結構308的一第一部分308-1(例如，一上部分)，而鰭狀結構308的一第二部分308-2(例如，一下部分)仍被第二隔離層312覆蓋。第5A圖所示的結構等同於如上所述第3H圖的結構，並且以與第3A-3H圖相似的製程來形成。

【0061】 第5B圖繪示一第二閘極介電質314以及一第二虛置閘極502形成(例如，保形地形成)於第二閘極介電質314上。第二虛置閘極502包括與第一虛置閘極202相似的材料。第二閘極介電質314以及第二虛置閘極502可藉由一沉積製程形成(例如，低壓化學氣相沉積製程(LPCVD)，將第二閘極介電質314以及第二虛置閘極502的材料形成於鰭狀結構308的第一部分308-1的整個範圍上。接著，可藉由一遮罩以及蝕刻製程圖案化第二閘極介電質314以及第二虛置閘極502的材料，使得鰭狀結構308的第一部分308-1的一第一區域被第二閘極介電質314以及第二虛置閘極502覆蓋，以及鰭狀結構308的第一部分308-1的一第二區域保持露出的狀態。由於第5A-5E圖所示的製程流程係一後閘極製程，在之後的步驟可藉由一閘極取代製程(例如，詳見關於以下第5E圖中的敘述)取代第二虛置閘極502。

【0062】 請參照第5C圖，移除鰭狀結構308的第一部分308-1設置於第二閘極介電質314以及第二虛置閘極502水平範圍之外的區域(例如，使用與第3J圖所述相似的一蝕刻製程)。

請參照第5D圖，可形成第三隔離層318於裝置隔離結構312遠離底部半導體層310的主表面310s的表面上。也可形成第四隔離層320於第二虛置閘極502的上表面上(例如使用與第3K圖所述相似的製程)。請參照第5E圖，例如使用與第3L圖所述相似的製程，可磊晶形成第二源極/汲極區域322於第三隔離層318上，並鄰接設置於第二閘極介電質314與第二閘極電極316的寬度內之鰭狀結構308的第一部分308-1的表面。

【0063】 接著，使用一沉積製程將一介電質材料(例如層間介電層(ILD))覆蓋第5E圖所示的結構。舉例來說，層間介電層可形成於第二源極/汲極區域322、第三隔離層318、第二虛置閘極502以及第四隔離層320的表面上。實施一平坦化製程(例如，化學機械研磨)於層間介電層上，使得第四隔離層320的上表面露出。接著，移除第四隔離層320以及第二虛置閘極502(例如，使用一蝕刻製程)，因此於層間介電層中形成一溝槽204。該溝槽可在後續填入導電材料而形成第二閘極電極316。為了簡潔而並未繪示上述結構以及製程步驟。

【0064】 使用第3A-3L圖以及第5A-5E圖中所示的製程流程形成的鰭狀場效電晶體的通道長度可量測得到第一源極/汲極區域114的一距離，其如上所述，其可介於約5nm至約25nm之間(例如，介於約7nm至約22nm)。舉例來說，於一般的鰭狀場效電晶體中，通道長度在一範圍內會引起短通道效應(SCE)、第二半導體層310與第二源極/汲極區域322之間的寄生電容(parasitic capacitance)，以及由高摻雜的第二源極/汲極區域322造成的源極/汲極漏電流。然而，使用如第第3A-3L圖以及

第5A-5E圖中所示的製程流程製造的鰭狀場效電晶體中第二源極/汲極區域322包括第三隔離層318，其可改善短通道效應、降低源極/汲極寄生電容，以及降低源極/汲極接面漏電。這些優點可導致良好的邏輯電路功效。此外，用來形成第三隔離層318的方法提供一具成本效益的方法去形成部分的絕緣層上覆矽(SOI)晶圓，以及製造鰭狀場效電晶體於部分的絕緣層上覆矽晶圓的絕緣層上(例如，於第三隔離層318上)以及於部分的絕緣層上覆矽晶圓的半導體層中(例如，鰭狀結構308的上部分)。

【0065】 需注意的是，在此所述的方法可應用至製造雙閘極互補式金氧半(double gate CMOS)裝置的隔離層、其他鰭狀場效電晶體裝置、基體聯結型omega式閘極互補式金氧半(body-tied omega-gate CMOS)裝置、無接面場效電晶體(junctionless FET)裝置，或與其相似之裝置，因而在此裝置可改善短通道效應、降低源極/汲極寄生電容，以及降低源極/汲極接面漏電。

【0066】 以上概略說明了本揭露數個實施例的特徵部件，使所屬技術領域中具有通常知識者對於後續本揭露的詳細說明可更為容易理解。任何所屬技術領域中具有通常知識者應瞭解到本說明書可輕易作為其它結構或製程的變更或設計基礎，以進行相同於本揭露實施例的目的及/或獲得相同的優點。任何所屬技術領域中具有通常知識者也可理解與上述等同的結構或製程並未脫離本揭露之精神和保護範圍內，且可在不脫離本揭露之精神和範圍內，當可作更動、替代與潤飾。

【符號說明】**【0067】**

- 102、302 基底
- 102a 第一側
- 102b 第二側
- 102-1 第一部分
- 102-2 第二部分
- 102-2w 側壁
- 104 第一閘極介電質
- 106 第一閘極電極
- 108 第一硬遮罩
- 108p 圖案化之第一硬遮罩
- 110 圖案化之第一光阻
- 112 第一隔離層
- 114 第一源極/汲極區域
- 116 虛線箭號
- 118 閘極間隙壁
- 120 第一矽化物區域
- 122 第二矽化物區域
- 124 介電材料
- 202 第一虛置閘極
- 204 溝槽
- 304 第二硬遮罩
- 304p 圖案化之第二硬遮罩

- 306 圖案化之第二光阻
- 308 鰭狀結構
 - 308-1 第一部份
 - 308w 側壁
- 310 底部半導體層
 - 310s 主表面
- 312 第二隔離層、裝置隔離結構
- 314 第二閘極介電質
- 316 第二閘極電極
- 318 第三隔離層
- 320 第四隔離層
- 322 第二源極/汲極區域
- 502 第二虛置閘極
- F 平面
- H 高度
- L 通道長度
- W 寬度
 - W1 第一寬度
 - W2 第二寬度

申請專利範圍

1. 一種半導體裝置之製造方法，包括：
圖案化一基底，使該基底具有一第一區域以及延伸自該基底的該第一區域的一第二區域；
沉積一隔離層於該基底的該第一區域的一表面上；以及
磊晶形成一源極/汲極區域，其中該源極/汲極區域位於該隔離區上且鄰接該基底的該第二區域的數個側壁。
2. 如申請專利範圍第1項所述之半導體裝置之製造方法，其中該等源極/汲極區域的磊晶形成包括原位地放置一含有摻雜物之前驅物與該源極/汲極區域之一半導體材料的前驅反應物於一反應槽中。
3. 如申請專利範圍第1項所述之半導體裝置之製造方法，其中該源極/汲極區域包括介於 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{22} \text{ cm}^{-3}$ 的一均勻摻雜物濃度。
4. 如申請專利範圍第1項所述之半導體裝置之製造方法，其中該基底的圖案化包括：
形成一第一閘極介電質以及一第一閘極結構於該基底的一平坦表面上；
圖案化該第一閘極結構以及該第一閘極介電質以形成一圖案化第一閘極結構以及一圖案化第一閘極介電質；以及
藉由將該圖案化第一閘極結構及該圖案化第一閘極介電質作為一蝕刻遮罩蝕刻該基底，該蝕刻製程形成該基底的該第一區域以及該第二區域。
5. 如申請專利範圍第1項所述之半導體裝置之製造方法，其中

該基底的圖案化包括：

形成一鰭狀結構，延伸自該基底的一底部半導體層；

保形地形成一第二閘極介電層以及一第二閘極結構於該鰭狀結構的數個表面上；

圖案化該第二閘極介電層以及該第二閘極結構以形成一圖案化第二閘極介電層以及一圖案化第二閘極結構；以及

移除部分的該鰭狀結構，該部分的該鰭狀結構設置於該圖案化第二閘極介電層以及該圖案化第二閘極結構的側向延伸區外圍。

6. 如申請專利範圍第5項所述之半導體裝置之製造方法，其中該基底的該第一區域的該表面包括設置於該圖案化第二閘極介電層以及該圖案化第二閘極結構的側向延伸區外圍的該基底的一表面。

7. 一種半導體裝置之製造方法，包括：

蝕刻一基底使其具有一第一區域以及延伸自該基底的該第一區域的一第二區域，該蝕刻製程包括使用一閘極結構作為一蝕刻遮罩；

沉積一隔離層於該基底的該第一區域的一表面上以及該基底的該第二區域的數個側壁上；

移除位於該基底的該第二區域的該等側壁上之該隔離層；以及

移除製程之後，磊晶形成一源極/汲極區域於該基底的該第二區域的該等側壁上，該源極/汲極區域延伸至設置於該基底的該第一區域上之該隔離層上。

8. 一種半導體裝置，包括：

一基底，具有一第一區域以及延伸自該基底的該第一區域的一第二區域；

一隔離層，包括設置於該基底的該第一區域的表面上之一介電材料；

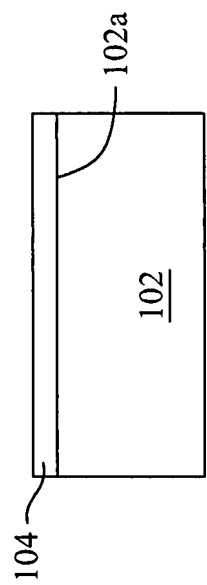
一源極/汲極區域，物理性接觸該基底的該第二區域的相對的數個第一側壁，該源極/汲極區域延伸至該隔離層上；以及

一閘極電極，設置於該基底的該第二區域的至少一上表面上。

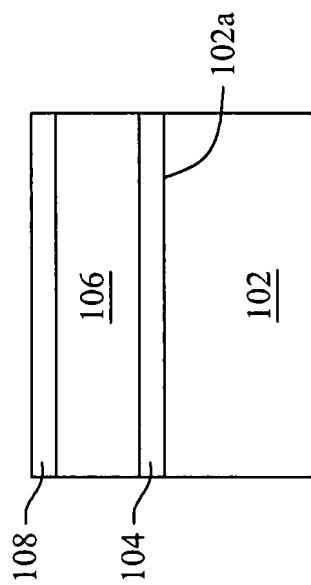
9. 如申請專利範圍第8項所述之半導體裝置，其中該等第一側壁之間的一距離介於5奈米至25奈米之間。

10. 如申請專利範圍第8項所述之半導體裝置，其中該閘極電極更設置於該基底的該第二區域的相對的數個第二側壁上。

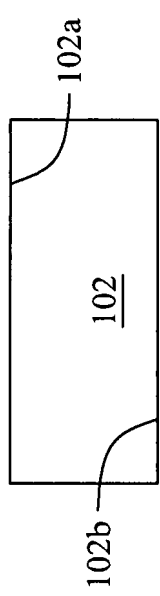
圖式



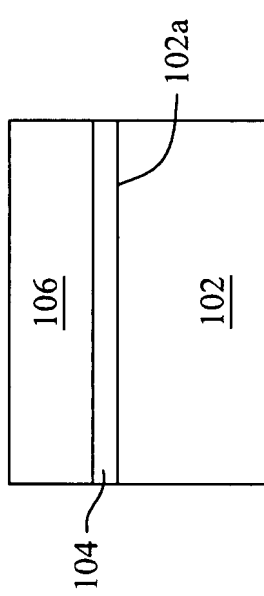
第 1B 圖



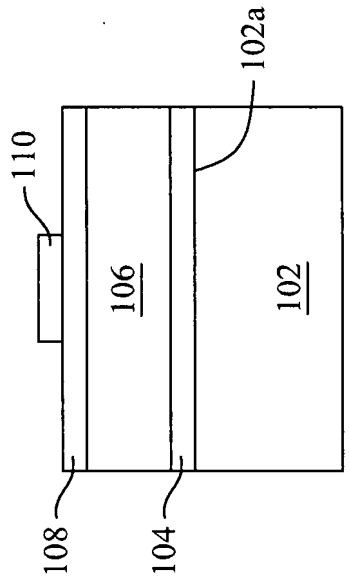
第 1D 圖



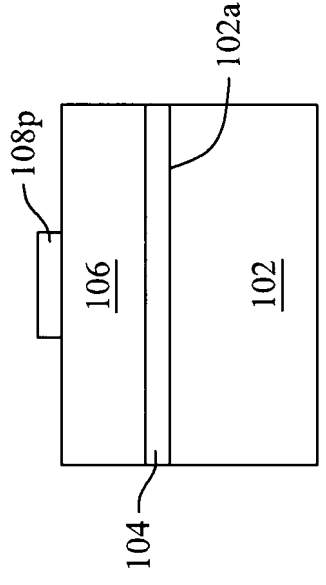
第 1A 圖



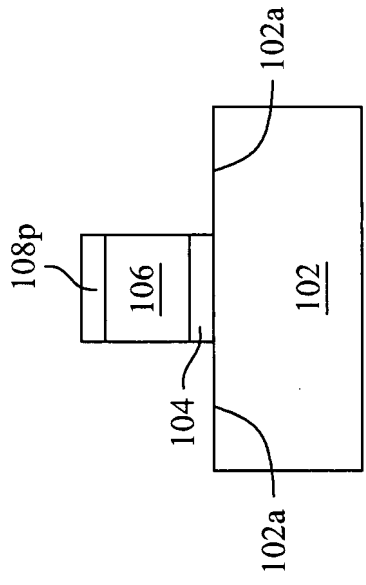
第 1C 圖



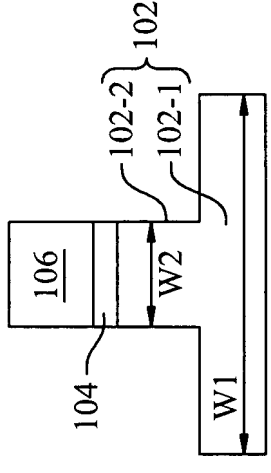
第1E圖



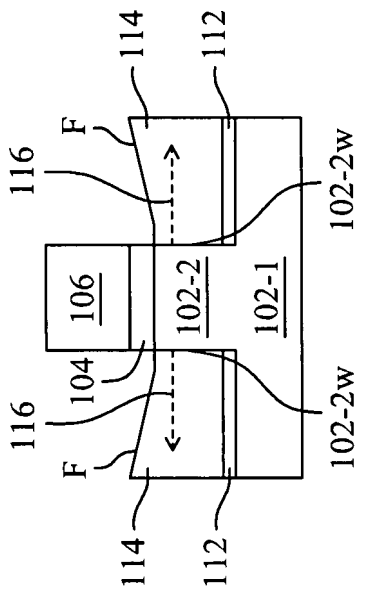
第1F圖



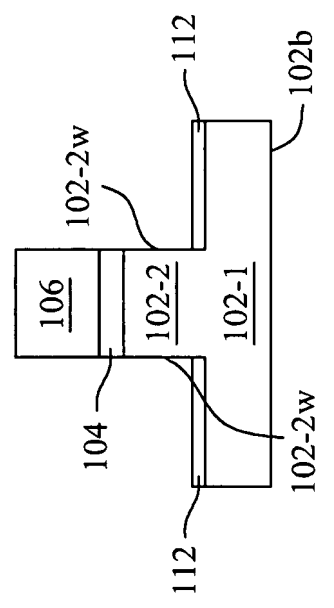
第1G圖



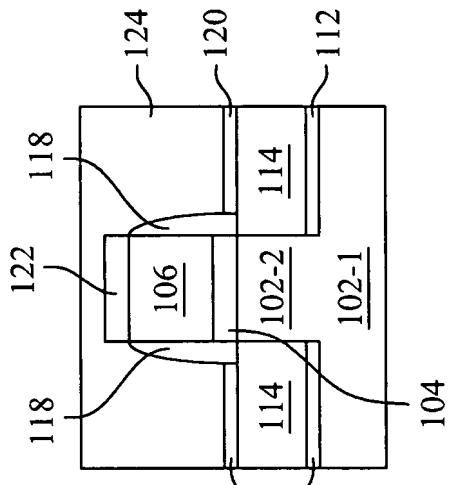
第1H圖



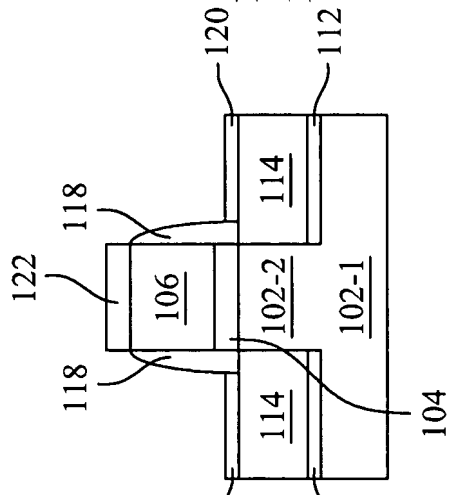
第1J圖



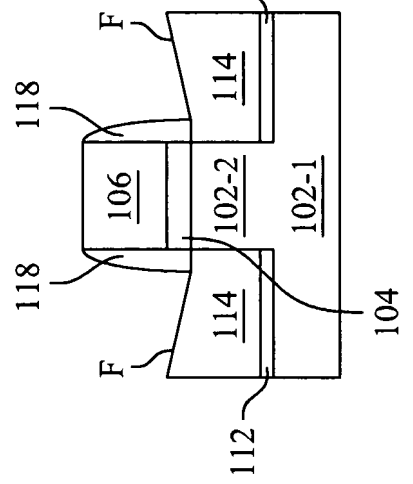
第1I圖



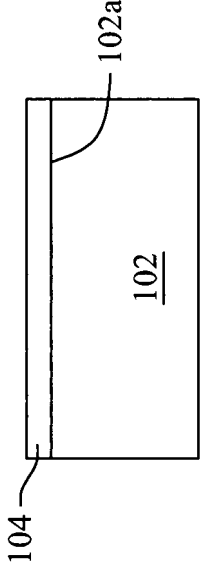
第1M圖



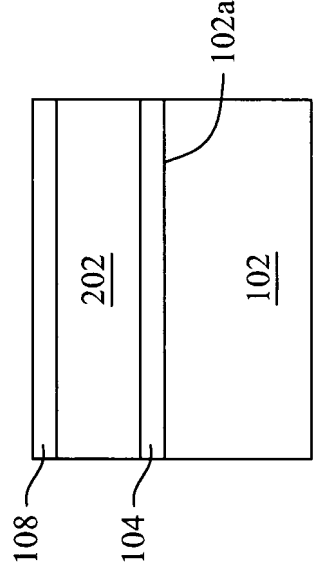
第1L圖



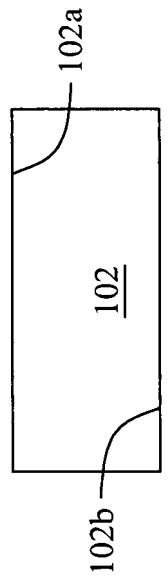
第1K圖



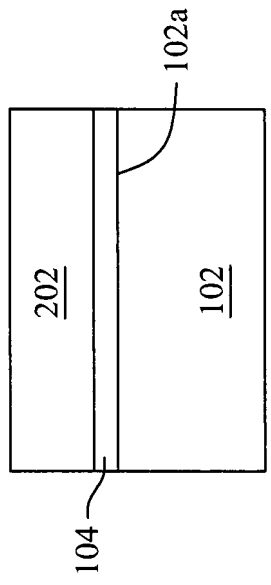
第 2B 圖



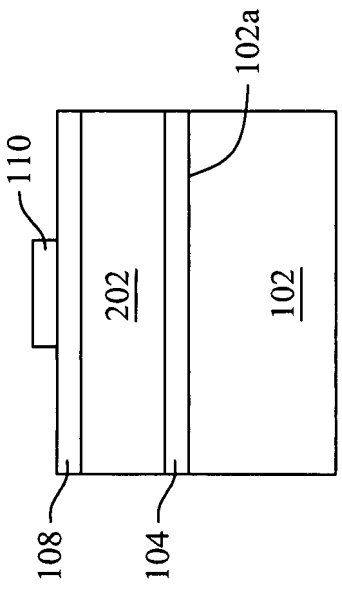
第 2D 圖



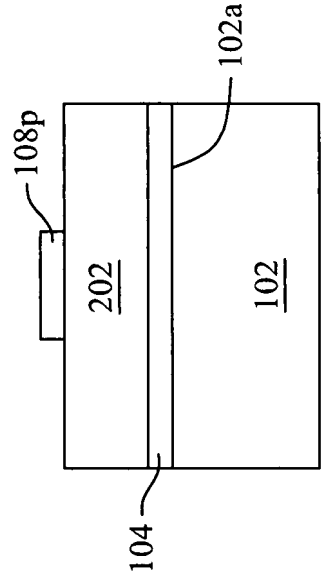
第 2A 圖



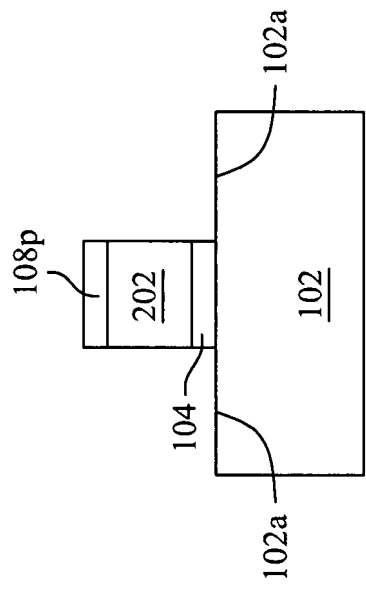
第 2C 圖



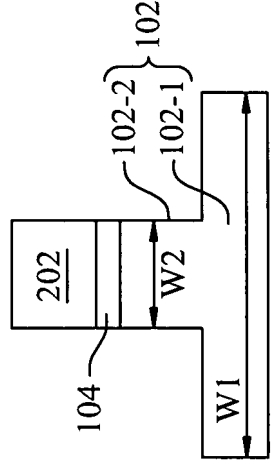
第 2E 圖



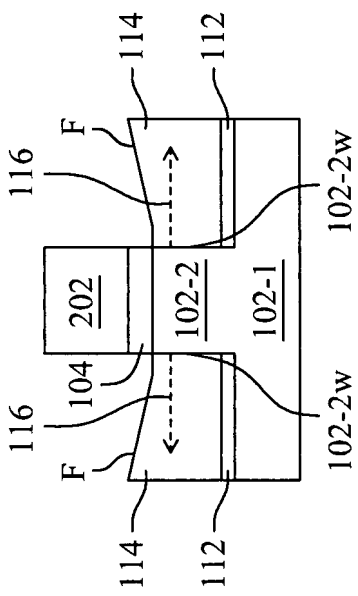
第 2F 圖



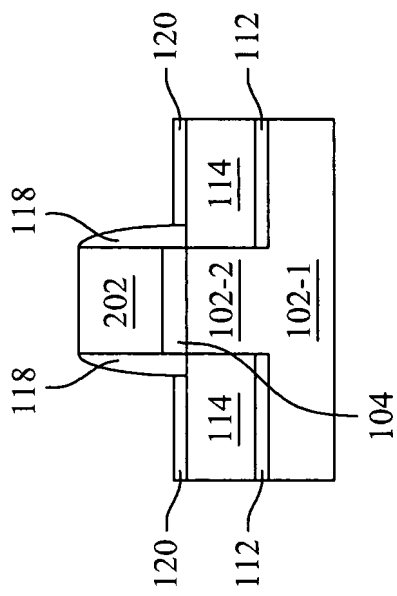
第 2G 圖



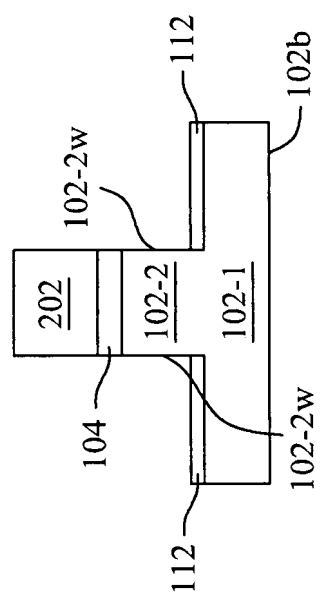
第 2H 圖



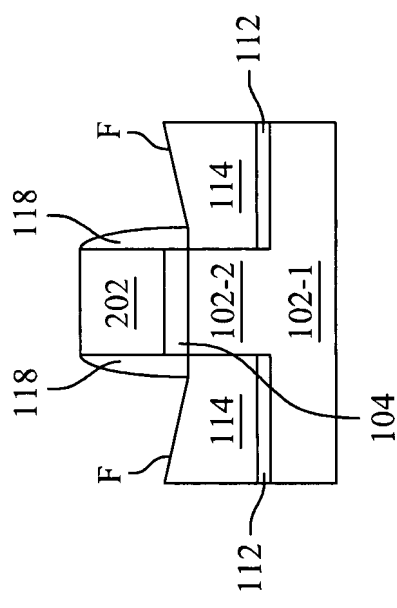
第2J圖



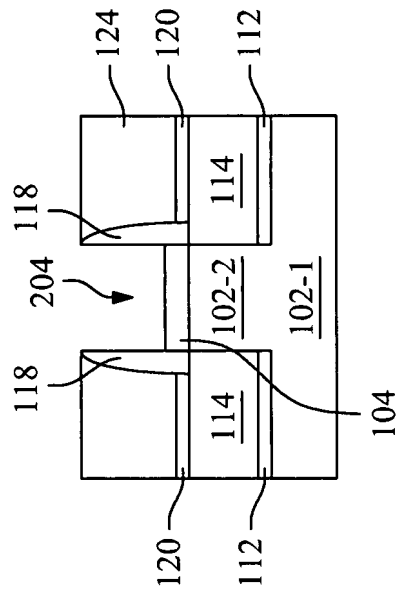
第2L圖



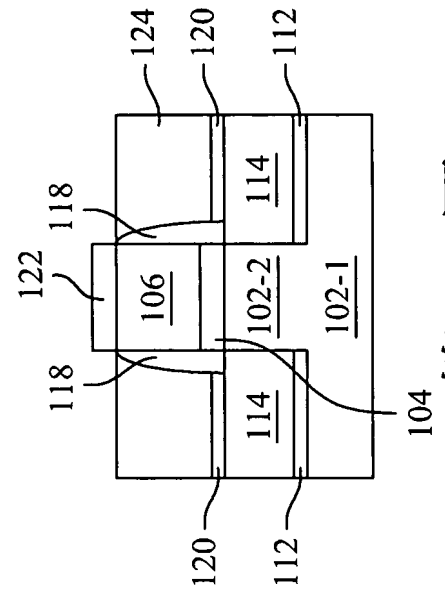
第2I圖



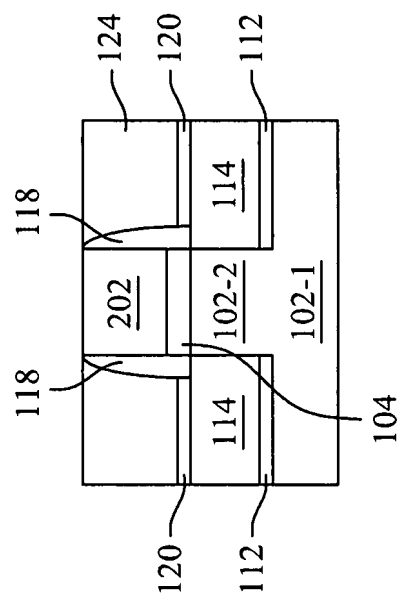
第2K圖



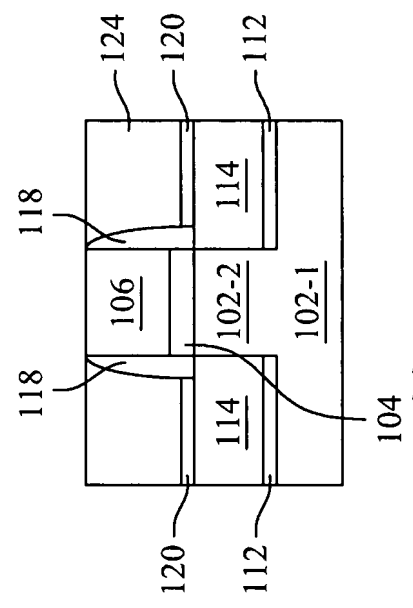
第2N圖



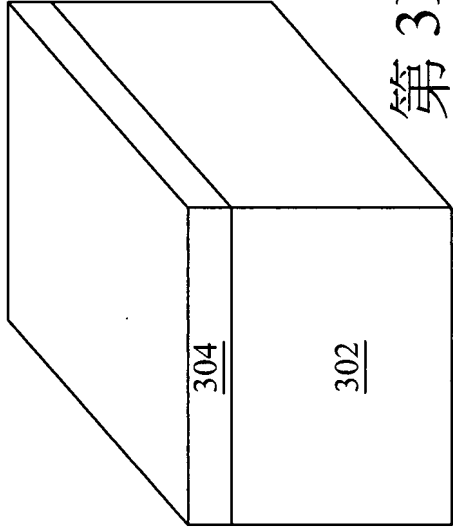
第2P圖



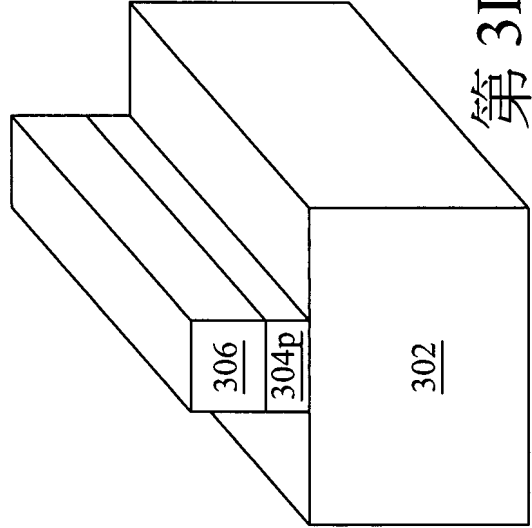
第2M圖



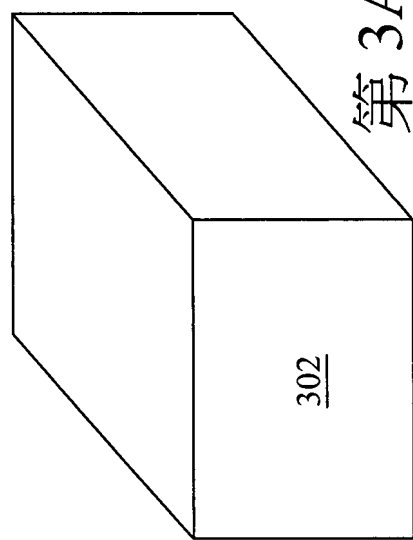
第2O圖



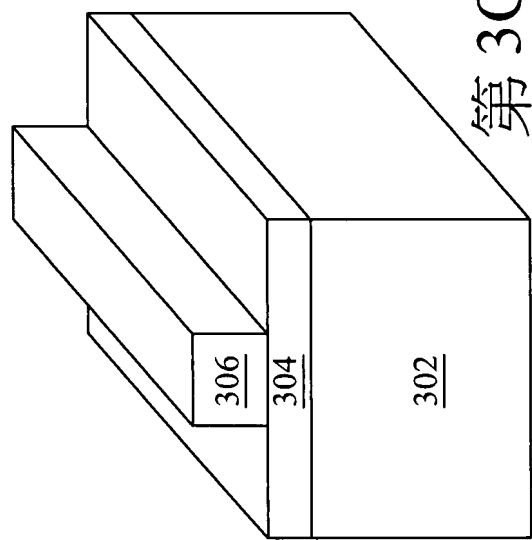
第 3B 圖



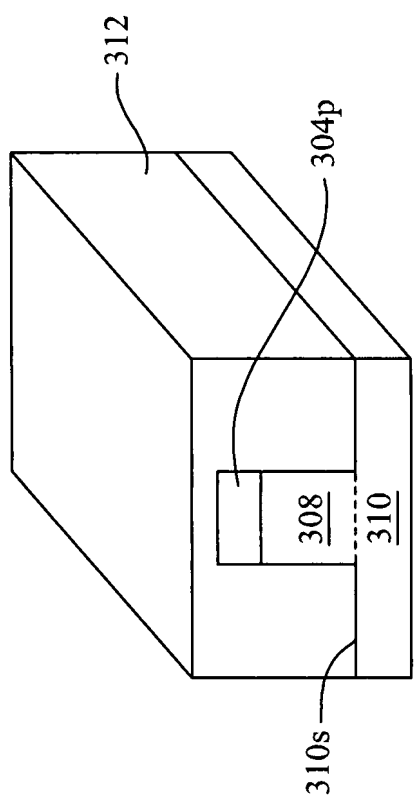
第 3D 圖



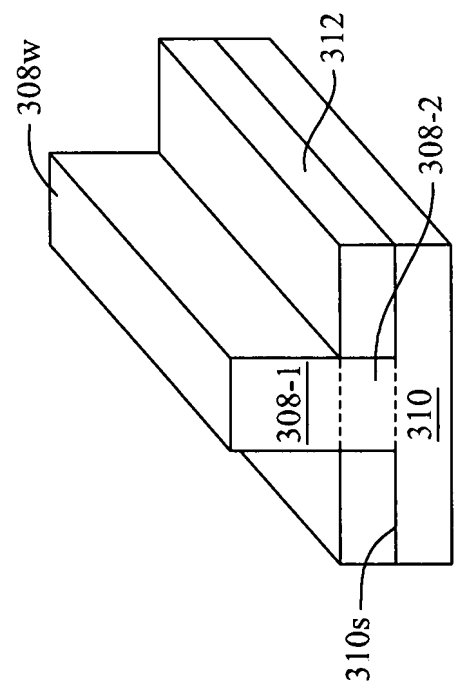
第 3A 圖



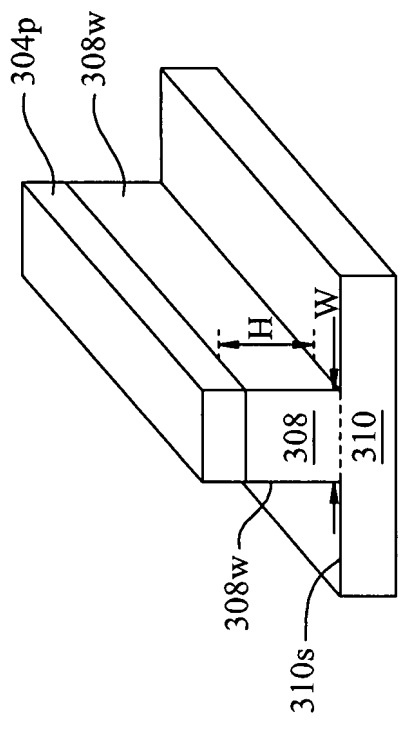
第 3C 圖



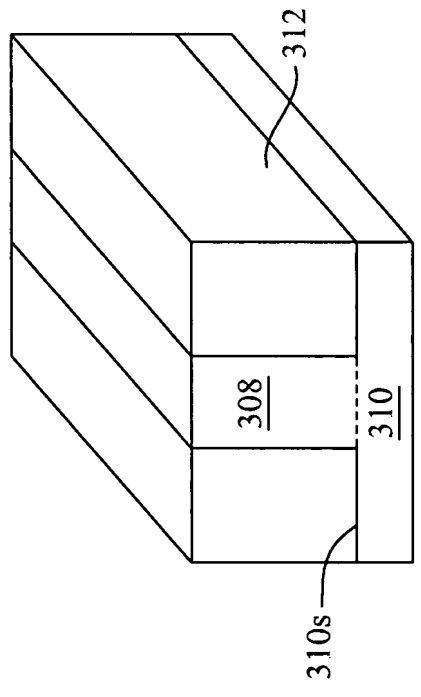
第 3F 圖



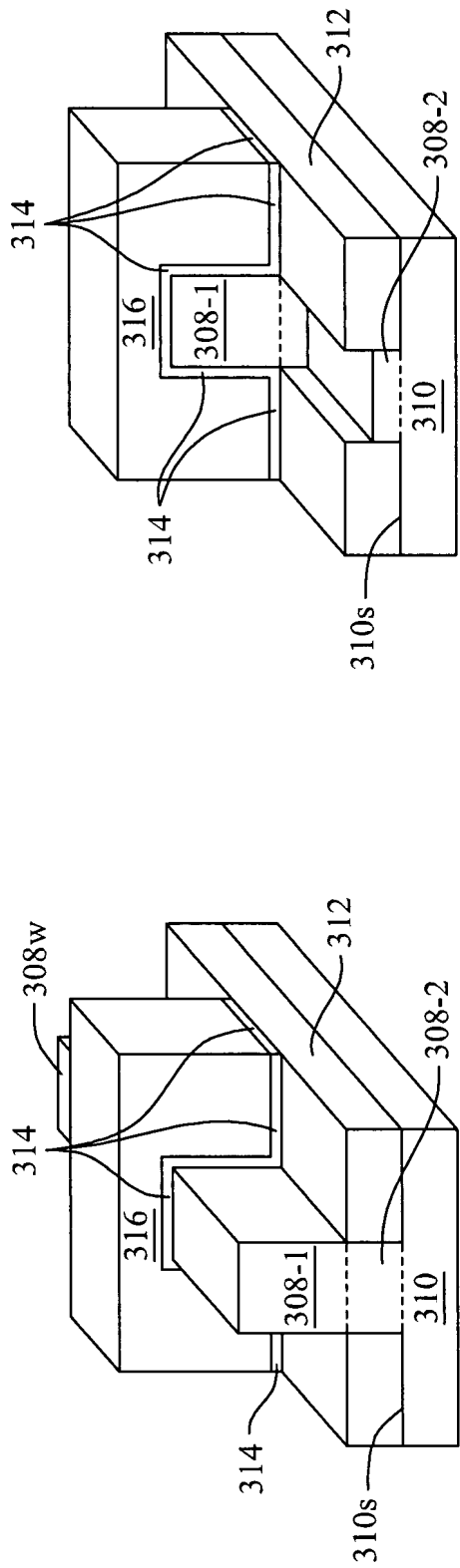
第 3H 圖



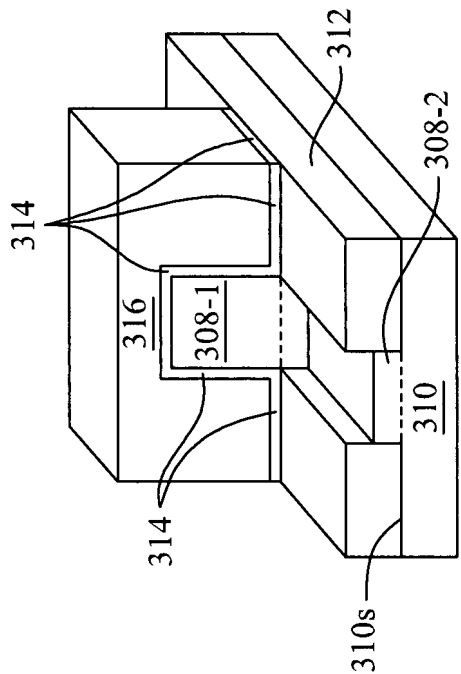
第 3E 圖



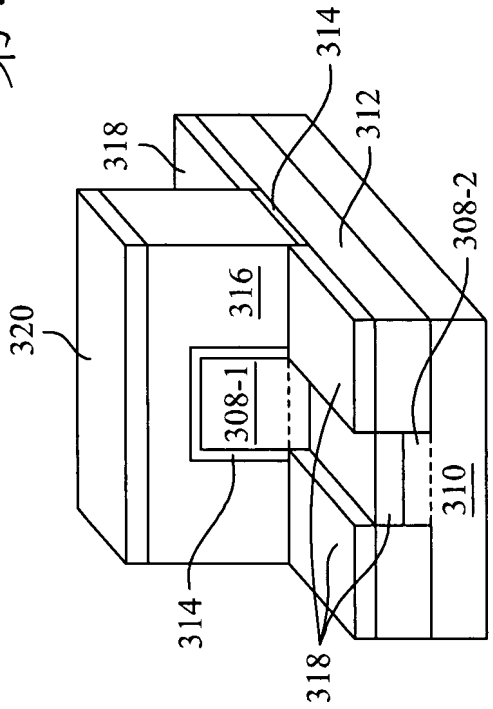
第 3G 圖



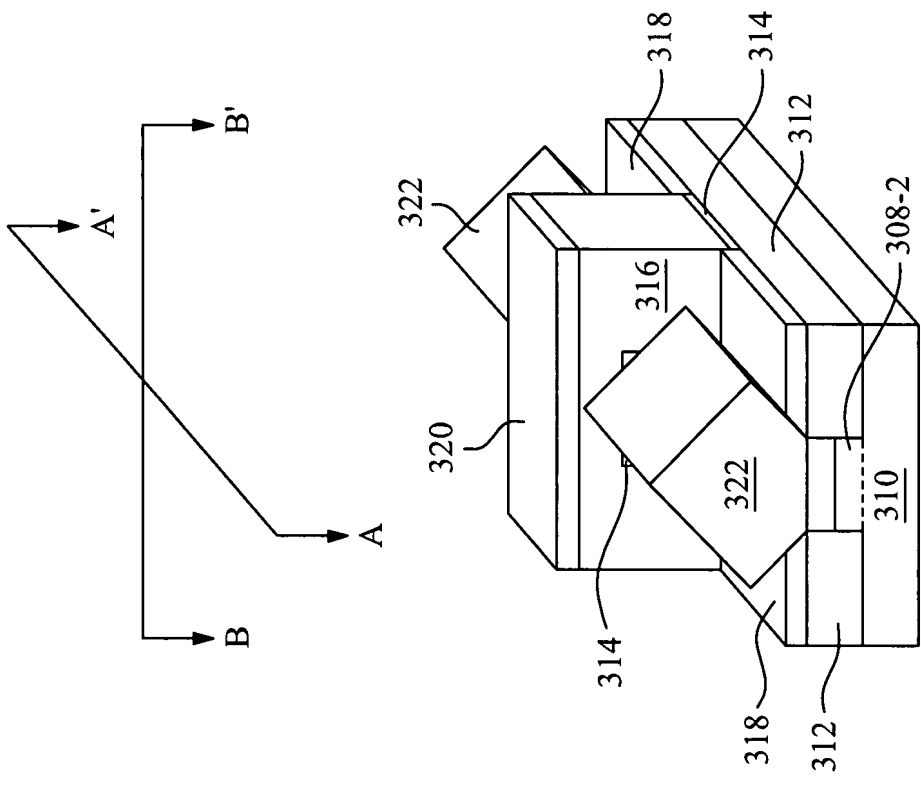
第3I圖



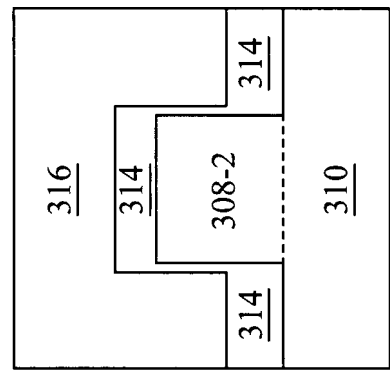
第3J圖



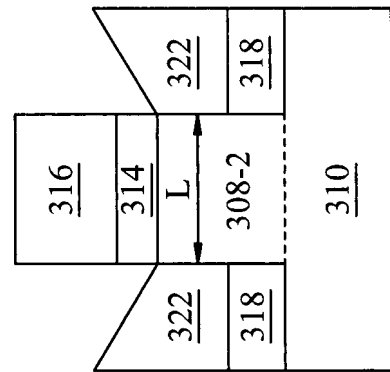
第3K圖



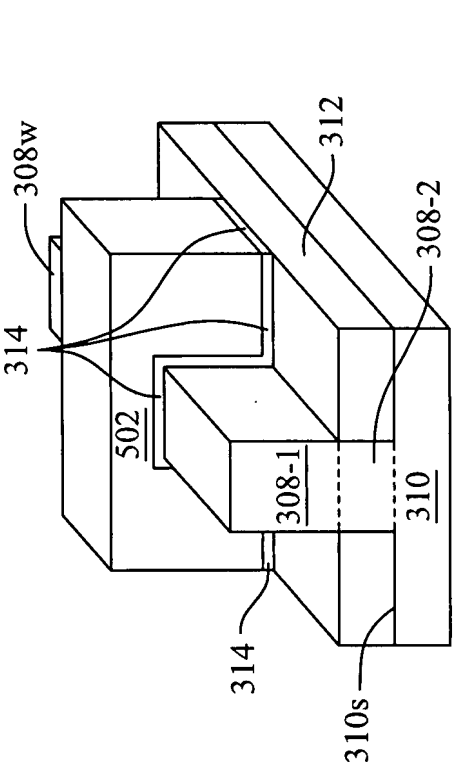
第3L圖



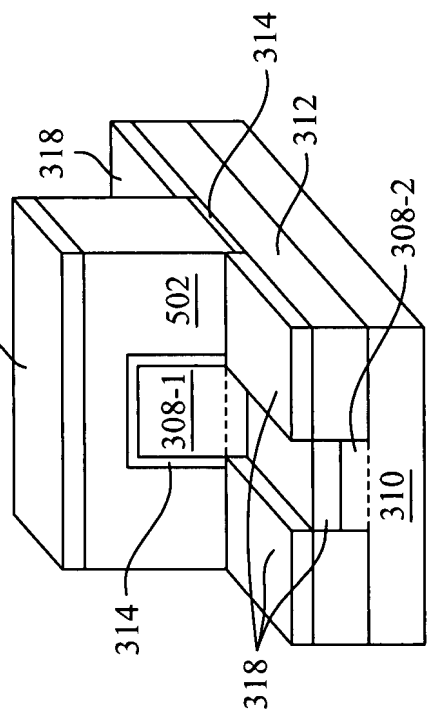
第 4B 圖



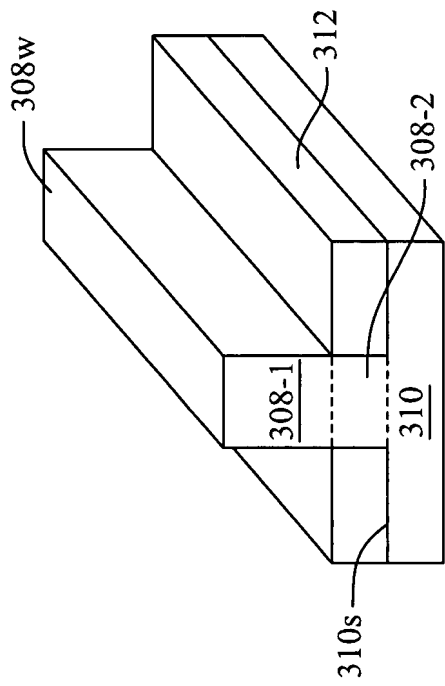
第 4A 圖



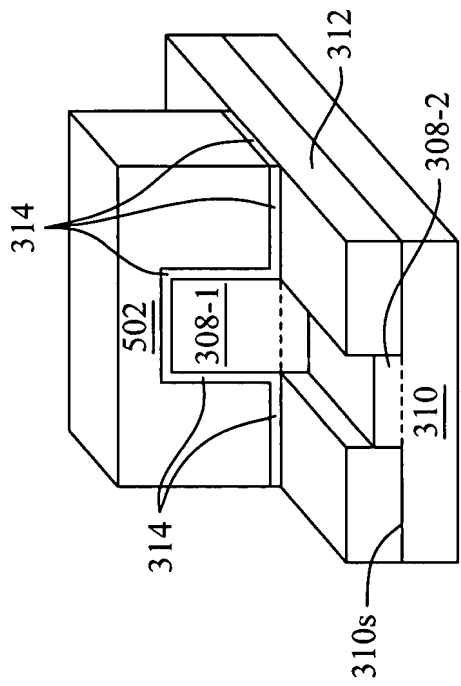
第 5B 圖



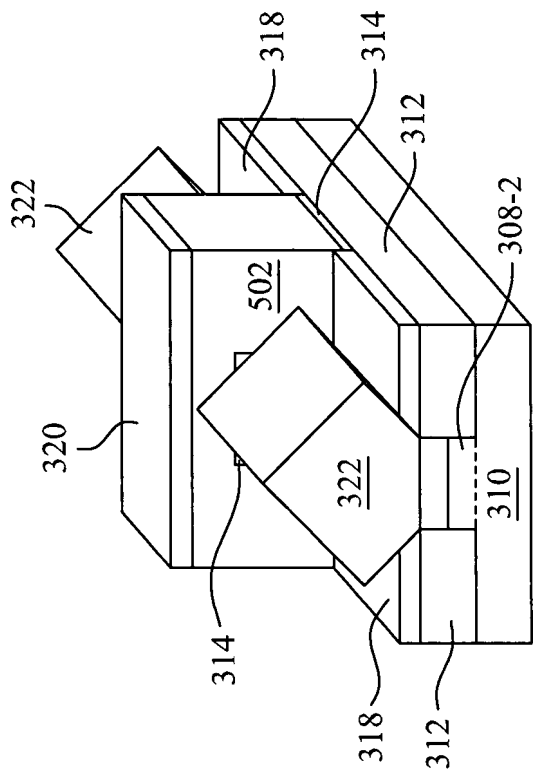
第 5D 圖



第 5A 圖



第 5C 圖



第 5E 圖