



(21) 申請案號：104111969

(22) 申請日：中華民國 104 (2015) 年 04 月 14 日

(51) Int. Cl. :

H01L27/105 (2006.01)

H01L21/8239(2006.01)

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張俊彥 CHANG, CHUN YEN (TW)；鄭淳護 CHENG, CHUN HU (TW)；邱于建

CHIU, YU CHIEN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：16 項 圖式數：2 共 13 頁

(54) 名稱

記憶體結構

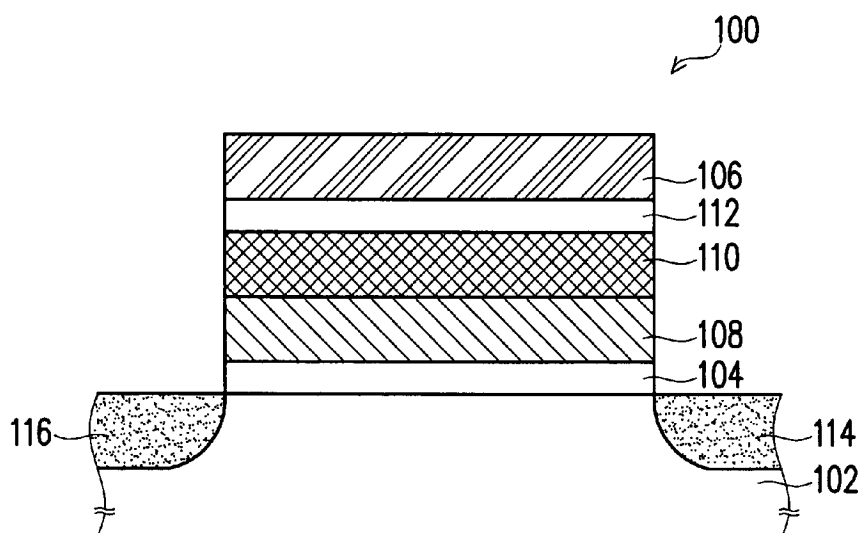
MEMORY STRUCTURE

(57) 摘要

一種記憶體結構，包括基底、第一介電層、導體層、鐵電材料層與電荷擷取層。第一介電層設置於基底上。導體層設置於第一介電層上。鐵電材料層與電荷擷取層堆疊設置於第一介電層與導體層之間。

A memory including a substrate, a first dielectric layer, a conducting layer, a ferroelectric material layer and a charge trapping layer is provided. The first dielectric layer is disposed on the substrate. The conducting layer is disposed on the first dielectric layer. The ferroelectric material layer and a charge trapping layer are stacked between the first dielectric layer and the conducting layer.

指定代表圖：



符號簡單說明：

100 . . . 記憶體結構

102 . . . 基底

104 . . . 介電層

106 . . . 導體層

108 . . . 鐵電材料層

110 . . . 電荷擷取層

112 . . . 介電層

114、116 . . . 摻雜

區

圖 1

發明摘要

※ 申請案號: 104111969
※ 申請日: 104. 4. 14

※IPC 分類: H01L 27/105 (2006.01)
H01L 21/8239 (2006.01)

【發明名稱】 記憶體結構

MEMORY STRUCTURE

【中文】

一種記憶體結構，包括基底、第一介電層、導體層、鐵電材料層與電荷擷取層。第一介電層設置於基底上。導體層設置於第一介電層上。鐵電材料層與電荷擷取層堆疊設置於第一介電層與導體層之間。

【英文】

A memory including a substrate, a first dielectric layer, a conducting layer, a ferroelectric material layer and a charge trapping layer is provided. The first dielectric layer is disposed on the substrate. The conducting layer is disposed on the first dielectric layer. The ferroelectric material layer and a charge trapping layer are stacked between the first dielectric layer and the conducting layer.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

100：記憶體結構

102：基底

104：介電層

106：導體層

108：鐵電材料層

110：電荷擷取層

112：介電層

114、116：摻雜區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 記憶體結構

MEMORY STRUCTURE

【技術領域】

【0001】 本發明是有關於一種半導體元件，且特別是有關於一種記憶體結構。

【先前技術】

【0002】 儘管現今快閃記憶體(flash memory)擁有低的皮米-焦耳的切換耗能，但是也有著令人詬病的大操作電壓、操作速度慢(ms等級)以及在微縮至 20 奈米以下的耐久性不佳的現象(如，耐久性約為 10^4 次的讀寫次數)。

【0003】 近年來發展出一種氧化鋯類型(HfZrO 或 HfSiO)的鐵電非揮發性電晶體(FeNVM)並使用高介電常數/金屬閘極(HK/MG)的製程技術。然而，單層氧化鋯基鐵電薄膜並無法避免在長時間讀寫下耐久性(endurance)的衰減以及臨界電壓的記憶體操作區間(ΔV_T)飄移或縮小等問題。原因在於，在元件微縮至奈米尺寸時，去極化電場(depolarization field)特性所造成的極化鬆弛現象(polarization relaxation)變的更明顯，進而大幅影響記憶體特性。

【發明內容】

【0004】 本發明提供一種記憶體結構，其具有較佳的記憶體特性。

【0005】 本發明提出一種記憶體結構，包括基底、第一介電層、導體層、鐵電材料層與電荷擷取層。第一介電層設置於基底上。導體層設置於第一介電層上。鐵電材料層與電荷擷取層堆疊設置於第一介電層與導體層之間。

【0006】 依照本發明的一實施例所述，在上述之記憶體結構中，基底例如是半導體基底。

【0007】 依照本發明的一實施例所述，在上述之記憶體結構中，半導體基底例如是矽基底或 III-V 族半導體基底。

【0008】 依照本發明的一實施例所述，在上述之記憶體結構中，第一介電層的材料例如是氧化物。

【0009】 依照本發明的一實施例所述，在上述之記憶體結構中，導體層的材料例如是金屬或摻雜多晶矽。

【0010】 依照本發明的一實施例所述，在上述之記憶體結構中，所述金屬例如是 Ti、Al、Zr、Hf、V、Ta、Nb、Cr、Mo、W、Co、TiN、TiC、TiAlC、TaC、TaAlC、NbAlC、TiAl、TaAl、TaN、TaCN、WN 或 TiWN。

【0011】 依照本發明的一實施例所述，在上述之記憶體結構中，鐵電材料層例如是設置於第一介電層與電荷擷取層之間。

【0012】 依照本發明的一實施例所述，在上述之記憶體結構中，電荷擷取層例如是設置於第一介電層與鐵電材料層之間。

【0013】 依照本發明的一實施例所述，在上述之記憶體結構中，鐵電材料層的材料例如是氧化鋯鈣(HfZrO)、氧化矽鈣(HfSiO)、鋯鈦酸鉛(PZT)、鈦酸鋇鋇(BST)、鋇酸鋇鈹(SBT)或鋯鈦酸鉛鋇(PLZT)。

【0014】 依照本發明的一實施例所述，在上述之記憶體結構中，電荷擷取層的材料例如是高介電常數材料(high-k material)或奈米點(nano-dot)。

【0015】 依照本發明的一實施例所述，在上述之記憶體結構中，高介電常數材料例如是氧化矽鈣(ZrSiO)、氮化矽、氧化鋇、氮氧化矽、鈦酸鋇鋇、碳化矽、碳氧化矽、氧化鈣、氧化矽鈣、氧化鋯鈣、氮氧化矽鈣、氧化鋯、氧化鈦、氧化鈣、氧化鋇、氧化鋇、氧化鋁或氧化鋁。

【0016】 依照本發明的一實施例所述，在上述之記憶體結構中，奈米點例如是半導體奈米點或金屬奈米點。

【0017】 依照本發明的一實施例所述，在上述之記憶體結構中，更包括第二介電層。第二介電層設置於鐵電材料層與電荷擷取層的複合層與所述導體層之間。

【0018】 依照本發明的一實施例所述，在上述之記憶體結構中，第二介電層的材料例如是氧化物。

【0019】 依照本發明的一實施例所述，在上述之記憶體結構中，更包括第一摻雜區與第二摻雜區。第一摻雜區與第二摻雜區分別設置於導體層的一側與另一側的基底中。

【0020】 依照本發明的一實施例所述，在上述之記憶體結構中，記憶體結構例如是靜態隨機存取記憶體(SRAM)、動態隨機存取記憶體(DRAM)或非揮發性記憶體(NVM)。

【0021】 基於上述，由於本發明所提出的記憶體結構同時結合使用鐵電材料層與電荷擷取層，所以可同時包含鐵電極化特性與電荷擷取機制，因此可具有較佳的記憶體特性。

【0022】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0023】

圖 1 所繪示為本發明一實施例的記憶體結構。

圖 2 所繪示為本發明另一實施例的記憶體結構。

【實施方式】

【0024】 圖 1 所繪示為本發明一實施例的記憶體結構。

【0025】 請參照圖 1，記憶體結構 100 包括基底 102、介電層 104、導體層 106、鐵電材料層 108 與電荷擷取層 110。記憶體結構 100 例如是靜態隨機存取記憶體(SRAM)、動態隨機存取記憶體(DRAM)或非揮發性記憶體(NVM)。此外，記憶體結構 100 更可應用於三維高密度記憶體結構。基底 102 例如是半導體基底，如矽基底或 III-V 族半導體基底。此外，基底 102 可為 P 型基底或 N 型基底。

【0026】 介電層 104 設置於基底 102 上。在此實施例中，介電層 104 可用以作為緩衝層(buffer layer)使用。在其他實施例中，介電層 104 亦可用以穿隧介電層(tunneling dielectric layer)使用。介電層 104 的材料例如是氧化物，如氧化矽。介電層 104 的厚度例如是 0.5 nm 至 10 nm。介電層 104 的形成方法例如是熱氧化法或化學氣相沉積法。

【0027】 導體層 106 設置於介電層 104 上，可用以作為閘極使用。導體層 106 的材料例如是金屬或摻雜多晶矽。所述金屬例如是 Ti、Al、Zr、Hf、V、Ta、Nb、Cr、Mo、W、Co、TiN、TiC、TiAlC、TaC、TaAlC、NbAlC、TiAl、TaAl、TaN、TaCN、WN 或 TiWN。導體層 106 的厚度例如是 10 nm 至 400 nm。導體層 106 的形成方法例如是物理氣相沉積法或化學氣相沉積法。

【0028】 鐵電材料層 108 與電荷擷取層 110 堆疊設置於介電層 104 與導體層 106 之間。在此實施例中，鐵電材料層 108 與電荷擷取層 110 的設置方式是以鐵電材料層 108 設置於介電層 104 與電荷擷取層 110 之間為例來進行說明，但本發明並不以此為限。在另一實施例中，鐵電材料層 108 與電荷擷取層 110 的設置方式亦可為將電荷擷取層 110 設置於介電層 104 與鐵電材料層 108 之間。

【0029】 鐵電材料層 108 可用以產生極化電場。鐵電材料層 108 的材料例如是氧化鋯鉛、氧化矽鉛、鋯鈦酸鉛、鈦酸鋇鋇、鉍酸鋇鉍或鋯鈦酸鉛鏽。鐵電材料層 108 的厚度例如是 2 nm 至 2 μm 。鐵電材料層 108 的形成方法例如是化學氣相沉積法。

【0030】 電荷擷取層 110 可用以擷取電荷於其中。電荷擷取層 110 的材料例如是高介電常數材料或奈米點。高介電常數材料例如是氧化矽銨、氮化矽、氧化鋇、氮氧化矽、鈦酸鋇、碳化矽、碳氧化矽、氧化鉛、氧化矽鉛、氧化銻鉛、氮氧化矽鉛、氧化銻、氧化鈦、氧化鈾、氧化釧、氧化鋁釧或氧化鋁。奈米點例如是半導體奈米點或金屬奈米點。電荷擷取層 110 的厚度例如是 1 nm 至 100 nm。電荷擷取層 110 的形成方法例如是化學氣相沉積法。

【0031】 此外，記憶體結構 100 更可包括介電層 112。介電層 112 設置於鐵電材料層 108 與所述電荷擷取層 110 的複合層與所述導體層 106 之間。在此實施例中，介電層 112 可用以作為穿隧介電層使用。介電層 112 的材料例如是氧化物，如氧化矽。介電層 112 的厚度例如是 0.5 nm 至 10 nm。介電層 112 的形成方法例如是化學氣相沉積法。

【0032】 另外，記憶體結構 100 更可包括摻雜區 114 與摻雜區 116。摻雜區 114 與摻雜區 116 分別設置於導體層 106 的一側與另一側的基底 102 中。摻雜區 114 與摻雜區 116 分別可用以作為源極與汲極使用。摻雜區 114 與摻雜區 116 的導電型態與基底 102 的導電型態不同。舉例來說，當基底 102 為 P 型基底時，摻雜區 114 與摻雜區 116 分別為 N 型摻雜區。當基底 102 為 N 型基底時，摻雜區 114 與摻雜區 116 分別為 P 型摻雜區。摻雜區 114 與摻雜區 116 的形成方法例如是離子植入法。

【0033】 基於上述實施例可知，由於記憶體結構 100 同時結合使

用鐵電材料層 108 與電荷擷取層 110，所以可同時包含鐵電極化特性與電荷擷取機制，因此記憶體結構 100 具有以下較佳的記憶體特性。以操作鐵電記憶體時的特性而言，電荷擷取層 110 可有效地增加鐵電材料層 108 的極化電場，進而降低鐵電記憶體的操作電壓。以操作電荷擷取型記憶體時的特性而言，鐵電材料層 108 的極化電場可有效地加快電荷擷取型記憶體的寫入速度與抹除速度。

【0034】 此外，相較於傳統型鐵電記憶體，記憶體結構 100 所具有的電荷擷取層 110 不但可減弱溫度相依的極化鬆弛現象 (temperature-dependent polarization relaxation)，更可改善高溫耐久性可靠度 (high-temperature endurance reliability)。因此，記憶體結構 100 更可具有較低的次臨界擺幅 (subthreshold swing) (如，達到 60 mV/dec 以下)、較低的漏電流、較大的記憶體操作區間 (如， ΔV_T 大於 2V)、較快的讀取寫入速度 (如，20ns 以下) 及良好的耐久性 (如，大於 10^{12} 次的讀寫次數)。如此一來，記憶體結構 100 在經條件最佳化後，可應用於下一世代的記憶體結構。另外，由於記憶體結構 100 可具有較低的操作電壓和快速的讀寫速度並可節省元件切換耗能，因此更可運用於三維高密度記憶體。

【0035】 圖 2 所繪示為本發明另一實施例的記憶體結構。

【0036】 請同時參照圖 1 與圖 2，圖 2 的記憶體結構 200 與圖 1 的記憶體結構 100 的差異在於：鐵電材料層 108 與電荷擷取層 110 的設置方式不同。在記憶體結構 200 中，鐵電材料層 108 與電荷

擷取層 110 的設置方式為將電荷擷取層 110 設置於介電層 104 與鐵電材料層 108 之間。除此之外，圖 2 的記憶體結構 200 與圖 1 的記憶體結構 100 的其他構件的配置方式、材料、形成方法與功效相似，故使用相同標號表示並省略其說明。

【0037】 綜上所述，上述實施例的記憶體結構至少具有以下特點。上述實施例的記憶體結構同時結合使用鐵電材料層與電荷擷取層，所以可同時包含鐵電極化特性與電荷擷取機制，因此可具有較佳的記憶體特性。

【0038】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0039】

100、200：記憶體結構

102：基底

104：介電層

106：導體層

108：鐵電材料層

110：電荷擷取層

112：介電層

114、116：摻雜區

申請專利範圍

1. 一種記憶體結構，包括：
基底；
第一介電層，設置於所述基底上；
導體層，設置於所述第一介電層上；以及
鐵電材料層與電荷擷取層，堆疊設置於所述第一介電層與所述導體層之間。
2. 如申請專利範圍第 1 項所述的記憶體結構，其中所述基底包括半導體基底。
3. 如申請專利範圍第 2 項所述的記憶體結構，其中所述半導體基底包括矽基底或 III-V 族半導體基底。
4. 如申請專利範圍第 1 項所述的記憶體結構，其中所述第一介電層的材料包括氧化物。
5. 如申請專利範圍第 1 項所述的記憶體結構，其中所述導體層的材料包括金屬或摻雜多晶矽。
6. 如申請專利範圍第 5 項所述的記憶體結構，其中所述金屬包括 Ti、Al、Zr、Hf、V、Ta、Nb、Cr、Mo、W、Co、TiN、TiC、TiAlC、TaC、TaAlC、NbAlC、TiAl、TaAl、TaN、TaCN、WN 或 TiWN。
7. 如申請專利範圍第 1 項所述的記憶體結構，其中所述鐵電材料層設置於所述第一介電層與所述電荷擷取層之間。
8. 如申請專利範圍第 1 項所述的記憶體結構，其中所述電荷

擷取層設置於所述第一介電層與所述鐵電材料層之間。

9. 如申請專利範圍第 1 項所述的記憶體結構，其中所述鐵電材料層的材料包括氧化鋯鉛、氧化矽鉛、鋯鈦酸鉛、鈦酸鋇鋇、鉭酸鋇鉍或鋯鈦酸鉛鏤。

10. 如申請專利範圍第 1 項所述的記憶體結構，其中所述電荷擷取層的材料包括高介電常數材料或奈米點。

11. 如申請專利範圍第 10 項所述的記憶體結構，其中所述高介電常數材料包括氧化矽鋯、氮化矽、氧化鉭、氮氧化矽、鈦酸鋇鋇、碳化矽、碳氧化矽、氧化鉛、氧化矽鉛、氧化鋯鉛、氮氧化矽鉛、氧化鋯、氧化鈦、氧化銻、氧化鏤、氧化鋁鏤或氧化鋁。

12. 如申請專利範圍第 10 項所述的記憶體結構，其中所述奈米點包括半導體奈米點或金屬奈米點。

13. 如申請專利範圍第 1 項所述的記憶體結構，更包括第二介電層，設置於所述鐵電材料層與所述電荷擷取層的複合層與所述導體層之間。

14. 如申請專利範圍第 13 項所述的記憶體結構，其中所述第二介電層的材料包括氧化物。

15. 如申請專利範圍第 1 項所述的記憶體結構，更包括第一摻雜區與第二摻雜區，分別設置於所述導體層的一側與另一側的所述基底中。

16. 如申請專利範圍第 1 項所述的記憶體結構，其中所述記憶體結構包括靜態隨機存取記憶體、動態隨機存取記憶體或非揮發性記憶體。

圖式

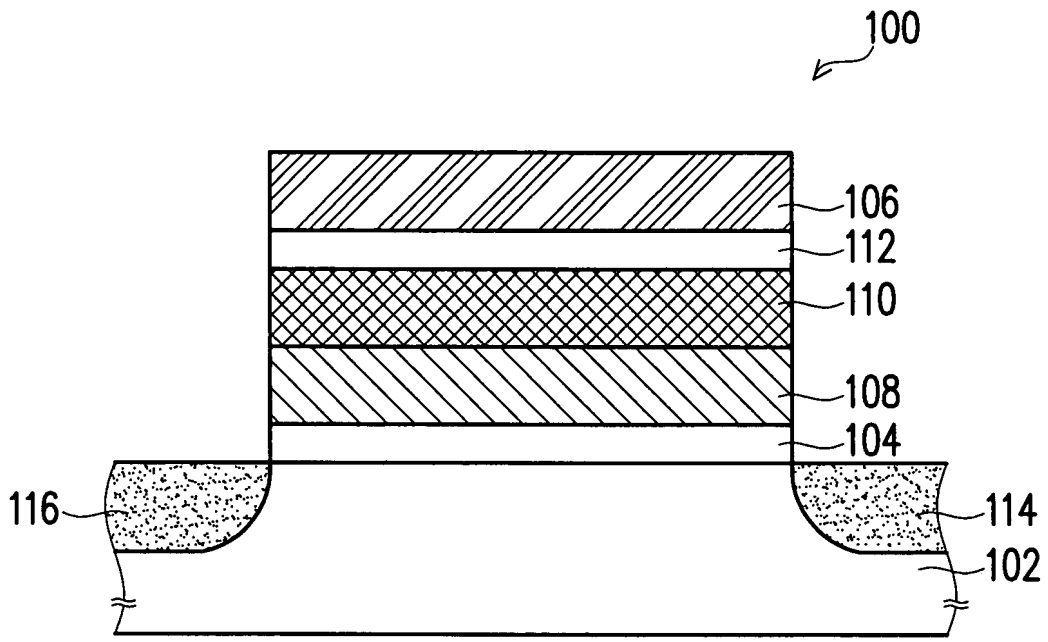


圖 1

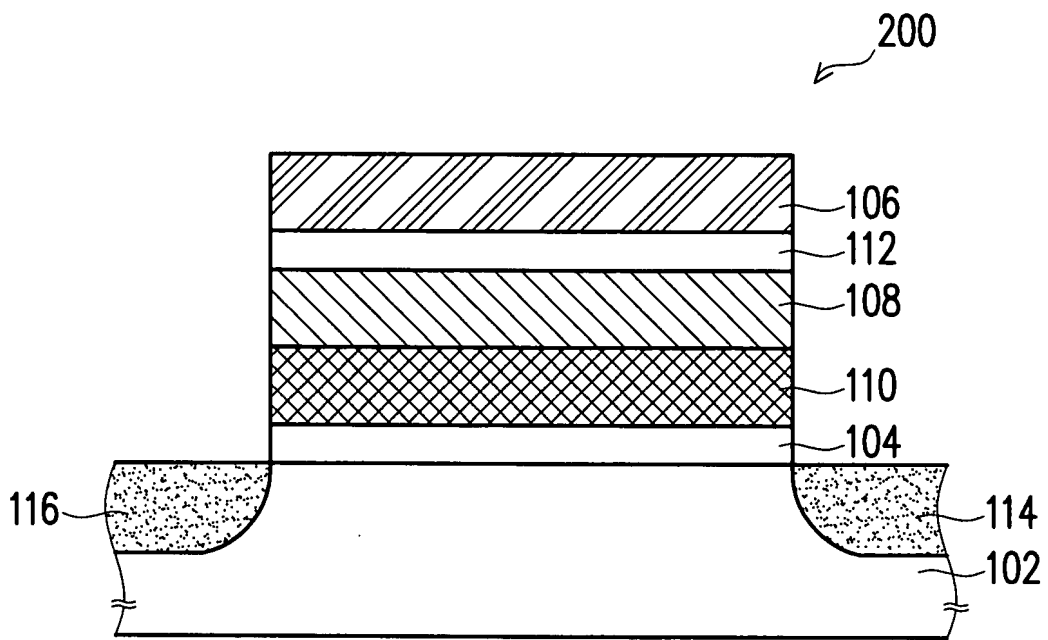


圖 2