



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201637199 A

(43) 公開日：中華民國 105 (2016) 年 10 月 16 日

(21) 申請案號：104138922

(22) 申請日：中華民國 104 (2015) 年 11 月 24 日

(51) Int. Cl. : *H01L29/41 (2006.01)*

(30) 優先權：2015/04/14 美國 14/686,746

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：簡昭欣 CHIEN, CHAO HSIN (TW)；周承翰 CHOU, CHEN HAN (TW)；鍾政庭  
CHUNG, CHENG TING (TW)；潘正聖 PAN, SAMUEL C. (TW)

(74) 代理人：馮博生

申請實體審查：有 申請專利範圍項數：10 項 圖式數：9 共 36 頁

(54) 名稱

具有結構強度較強的鰭之鰭式場效電晶體半導體裝置

FINFET SEMICONDUCTOR DEVICE HAVING FINS WITH STRONGER STRUCTURAL  
STRENGTH

(57) 摘要

一半導體裝置包含至少一鰭。該鰭設置於一半導體基板的一表面上。該鰭包含沿著一第一方向延伸的一主要部分，以及至少一次要部分，其沿著一第二方向自該主要部分向外延伸，該第一方向與第二方向並非同一直線。

A semiconductor device including at least one fin disposed on a surface of a semiconductor substrate is provided. The fin includes a main portion extending along a first direction, and at least one secondary portion extending outward from the main portion along a second direction not collinear with the first direction.

指定代表圖：

符號簡單說明：

12 . . . 鳍

16 . . . 端區

18 . . . 主要部分

20 . . . 次要部分

36 . . . 絕緣層

44 . . . 半導體基板

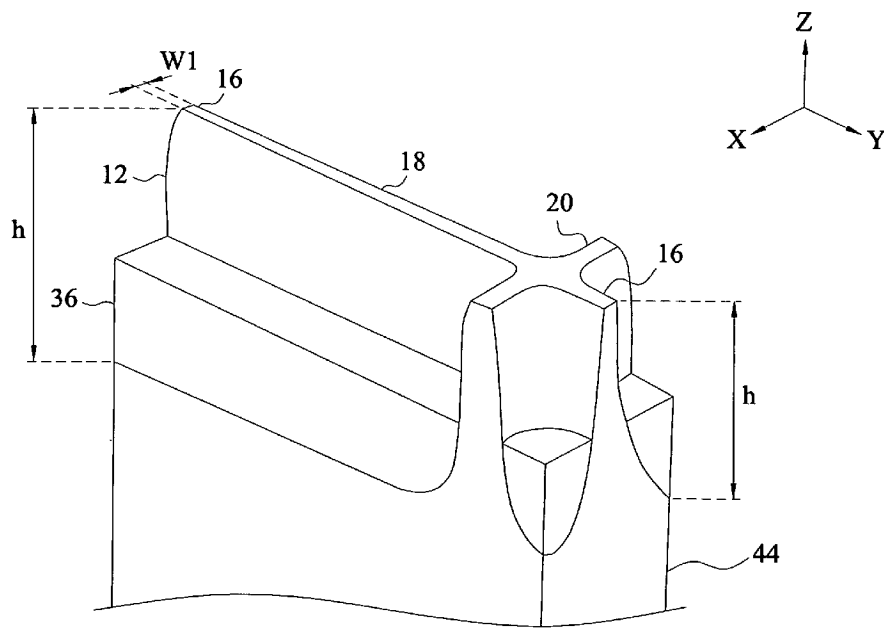


圖 1

## 發明摘要

※ 申請案號：1041308P22

※ 申請日：104.11.24

※IPC 分類：H01L 29/41 (2006.1)

## 【發明名稱】

具有結構強度較強的鰭之鰭式場效電晶體半導體裝置

FINFET SEMICONDUCTOR DEVICE HAVING FINS WITH  
STRONGER STRUCTURAL STRENGTH

## 【中文】

一半導體裝置包含至少一鰭。該鰭設置於一半導體基板的一表面上。該鰭包含沿著一第一方向延伸的一主要部分，以及至少一次要部分，其沿著一第二方向自該主要部分向外延伸，該第一方向與第二方向並非同一直線。

## 【英文】

A semiconductor device including at least one fin disposed on a surface of a semiconductor substrate is provided. The fin includes a main portion extending along a first direction, and at least one secondary portion extending outward from the main portion along a second direction not collinear with the first direction.

**【代表圖】**

**【本案指定代表圖】**：第(1)圖。

**【本代表圖之符號簡單說明】**：

12	鰭
16	端區
18	主要部分
20	次要部分
36	絕緣層
44	半導體基板

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)



# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

具有結構強度較強的鰭之鰭式場效電晶體半導體裝置

FINFET SEMICONDUCTOR DEVICE HAVING FINS WITH  
STRONGER STRUCTURAL STRENGTH

## 【技術領域】

本發明係關於鰭式場效電晶體半導體裝置，特別係關於具有結構強度較強的鰭之鰭式場效電晶體半導體裝置。

## 【先前技術】

半導體積體電路(IC)產業已經歷指數型成長。IC材料與設計的技術演進已經產生各代的IC，各代具有比前一代更小且更複雜的電路。在IC演化中，通常功能性的密度(亦即每晶片面積的互連裝置數目)增加而幾何尺寸(亦即可使用製程而產生之最小的組件(或線)縮小。此縮小製程通常藉由增加生產效率與降低相關成本而提供益處。

此縮小尺寸亦已增加處理與製造IC的複雜度，為了實現這些進展，IC處理與製造需要類似的發展。例如，三維電晶體例如類鰭式場效電晶體(Fin-like FET)已經取代平面電晶體。鰭式電晶體(FinFET)具有通道(稱為鰭通道)連結頂表面與對立的側壁。藉由頂表面與對立的側壁而定義鰭通道的總通道寬度。雖然現存的鰭式場效電晶體裝置與製造鰭式場效電晶體裝置的方法通常足以用於其預定目的，然而仍尚未達到各方面的滿足。例如，隨著裝置越來越小，鰭的厚度縮小，鰭變得更易碎而容易破裂。

## 【發明內容】

本發明的一些實施例係提供一種半導體裝置，其包含至少一

鰭，設置於半導體基板的表面上，該鰭係包含延伸於第一方向的主要部分，以及至少一次要部分，其從該主要部分沿著第二方向向外延伸，該第一方向與該第二方向並非同一直線。

本發明的一些實施例係提供一種半導體裝置，其包含複數個鰭，其係設置於半導體基板的表面上，每一個鰭包含沿著第一方向延伸的主要部分，該主要部分具有對立端區以及沿著該第一方向並位於該對立端區之間的中間區；以及至少一次要部分，其係沿著第二方向自每一個鰭的該主要部分向外延伸，該第一方向與該第二方向並非同一直線。

本發明的一些實施例係提供一種製造半導體裝置的方法，其包含在半導體基板上形成遮罩，其中該遮罩係包含阻擋部，其覆蓋對應於欲在該半導體基板中形成鰭的該半導體基板之區域，其中該阻擋部係包含沿著第一方向延伸的阻擋主要部分，以及至少一阻擋次要部分，其係沿著第二方向自該阻擋主要部分向上延伸，該第二方向與該第一方向並非在同一直線；移除未被該遮罩之該阻擋部覆蓋的該半導體基板之區域，以形成至少一鰭，其包含沿著該第一方向延伸的鰭主要部分，以及至少一鰭次要部分，其係沿著第二方向自該鰭主要部分向上延伸，該第二方向與該第一方向並非同一直線；在該鰭主要部分上方形成閘極結構；以及在該至少一次要部分上方形成源極或汲極區。

### 【圖式簡單說明】

為協助讀者達到最佳理解效果，建議在閱讀本發明時同時參考附件圖示及其詳細文字敘述說明。請注意為遵循業界標準作法，本專利說明書中的圖式不一定按照正確的比例繪製。在某些圖式中，尺寸可能刻意放大或縮小，以協助讀者清楚了解其中的討論內容。

圖1係根據本發明的實施例說明具有單個十字形的概示圖。

圖2A係根據本發明的實施例說明具有單個十字形狀的平面圖。

圖2B係根據本發明的實施例說明具有T形的平面圖。

圖2C係說明本發明之另一實施例的平面圖。

圖2D係說明本發明之另一實施例的平面圖。

圖3係根據本發明的實施例說明具有雙十字形的概示圖。

圖4A係根據本發明的實施例說明具有雙十字形的平面圖。

圖4B係說明本發明之另一實施例的平面圖。

圖4C係說明本發明之另一實施例的平面圖。

圖4D係說明本發明之另一實施例的平面圖。

圖4E係說明本發明之另一實施例的平面圖。

圖4F係說明本發明之另一實施例的平面圖。

圖4G係說明本發明之另一實施例的平面圖。

圖5係根據本發明的實施例說明具有雙十字形鰭的鰭式場效電晶體的概示圖。

圖6A係根據本發明的實施例說明單個十字形鰭具有應力於鰭中的概示圖。

圖6B係說明具有應力之單個十字形鰭的剖面圖。

圖6C係根據本發明的實施例說明雙十字形鰭具有應力於鰭中的概示圖。

圖6D係說明具有應力之雙十字形鰭的剖面圖。

圖6E係說明習知的鰭具有應力於鰭中的概示圖。

圖6F係說明習知的鰭具有應力於鰭中的剖面圖。

圖7A根據本發明的實施例說明具有兩個鰭與單個十字形的平面圖。

圖7B係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖7C係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖7D係根據本發明的另一實施例說明具有兩個鰭與C形的平面圖。

圖7E係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖7F係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖7G係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖7H係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8A係根據本發明的另一實施例說明具有兩個鰭與雙十字形的平面圖。

圖8B係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8C係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8D係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8E係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8F係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8G係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8H係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8I係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8J係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8K係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖8L係根據本發明的另一實施例說明具有兩個鰭的平面圖。

圖9係根據本發明的實施例說明方法的流程圖。

### 【實施方式】

本發明提供了數個不同的實施方法或實施例，可用於實現本發明的不同特徵。為簡化說明起見，本發明也同時描述了特定零組件與佈置的範例。請注意提供這些特定範例的目的僅在於示範，而非予以任何限制。舉例而言，在以下說明第一特徵如何在第二特徵上或上方的敘述中，可能會包含某些實施例，其中第一特徵與第二特徵為直接

接觸，而敘述中也可能包含其他不同實施例，其中第一特徵與第二特徵中間另有其他特徵，以致於第一特徵與第二特徵並不直接接觸。此外，本發明中的各種範例可能使用重複的參考數字和/或文字註記，以使文件更加簡單化和明確，這些重複的參考數字與註記不代表不同的實施例與配置之間的關聯性。

本發明的一或多個實施例之裝置範例係半導體裝置。例如，此裝置為鳍式場效電晶體裝置。例如，鳍式場效電晶體裝置可為互補金屬氧化物半導體(CMOS)裝置，其包含P型金屬氧化物半導體(PMOS)鳍式場效電晶體裝置以及N型金屬氧化物半導體(NMOS)鳍式場效電晶體裝置。以下揭露內容以鳍式場效電晶體為範例，其說明本發明各種實施例。然而，可理解除了申請專利範圍所請求的之外，本發明應不限於特定型式的裝置。

如圖1至圖8L所示，以下說明係描述本發明之各實施例的鳍與半導體裝置。這些實施例的半導體裝置係鳍式場效電晶體。

根據本發明的實施例，所形成的FinFET具有鳍，其包含從鳍之主要表面向外延伸的部分。圖1係說明具有延伸部20之鳍12的實施例。所述之實施例係具有單個十字形的鳍12，其具有主要部分18延伸於第一方向Y，在鳍12的兩個對立的端區16之間具有中間區14。在一端區16，次要部分20係與主要部分18交叉，並且以第二方向X延伸離開鳍12之對立的主側。次要部分20未與主要部分18共線。在一些實施例中，第二方向X係實質垂直於第一方向Y。

圖2A至2D係說明鳍12的實施例之平面圖。次要部分20可交叉端區16中的鳍之主要部分18。次要部分20可交叉靠近主要部分18的端部之鳍的主要部分，形成十字形，如圖2A所示，或是在主要部分18的端部形成T形，如圖2B所示。或者，次要部分20可從端區16中的主要部分18之一側向外延伸，如圖2C與2D所示。

鰭可具有複數個次要部分，從主要部分向外延伸，如圖3所示。所示之實施例係雙十字形鰭38，鰭具有兩個次要部分20交叉主要部分18。在此實施例中，在鰭12的各端區16，形成次要部分20交叉主要部分18。各個次要部分20可延伸於方向X，其係實質垂直於鰭的主要部分18所延伸的方向Y。

圖4A至4G係說明鰭38的實施例。在端區16，次要部分20可與鰭的主要部分18交叉。在靠近主要部分的端部，次要部分20可與主要部分18交叉，如圖4A所示，或是交叉於主要部分18的端部形成H形，如圖4B所示。或者，次要部分20可從端區16中的主要部分18之一側向外延伸，如圖4C與4D所示。如圖4E、4F與4G所示，次要部分20亦可從主要部分18的對側延伸。

如5係說明具有雙十字形鰭的半導體裝置40之實施例。在鰭的中間區14上方形成閘極結構22。閘極結構包含閘極介電層26形成於鰭的中間區14上方。閘極電極24係形成於閘極介電層26上方，側壁間隔物28係形成於閘極電極的主要表面上。在鰭的端區16，源極30與汲極32區係形成於鰭的次要部分20上方。在一些實施例中，在源極/汲極區30、32上方形成應力層34，例如SiC層(於NMOS)或是SiGe層(於PMOS)。在一些實施例中，在鰭的下方區，於半導體基板44上形成絕緣層36。絕緣層36可為淺溝渠隔離區。

根據本發明，在半導體基板44上，形成鰭12、38。在一實施例中，半導體基板44係矽基板。或者，半導體基板可包含鍺、矽鍺、砷化鎵、或其他合適的半導體材料。或者，半導體基板可包含磊晶層。例如，半導體基板可具有磊晶層位於大塊半導體上方。再者，半導體基板可受應力以增進效能。例如，磊晶層可包含不同於大塊半導體的半導體材料，例如矽鍺層位於大塊矽上方，或是矽層位於大塊矽鍺上方。可藉由選擇性磊晶成長(SEG)而形成此受應力的基板。再者，半

導體基板可包含絕緣體上半導體(SOI)結構。或者，半導體基板可包含包埋的介電層，例如包埋的氧化物(BOX)層，例如由氧植入(SIMOX)技術、晶圓接合、SEG、或其他合適的方法而形成。在其他實施例中，基板可包含化合物半導體，其包含IV-IV化合物半導體，例如SiC與SiGe；III-V化合物半導體，例如GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、AlGaN、AlInAs、AlGaAs、GaInAs、GaInP以及/或GaInAsP；或其組合。

鰭係設置於半導體基板上，鰭可由與半導體基板相同的材料製成並且可從半導體基板延伸。可藉由選擇性蝕刻半導體基板而形成鰭。或者，可使用EPI先行方法(EPI first method)形成鰭。在EPI先行方法中，在半導體基板上形成磊晶層，而後將該磊晶層圖案化而形成鰭。

可使用光微影蝕刻製程定義半導體基板上的鰭。在一些實施例中，在半導體基板上形成硬遮罩層。硬遮罩層可包含SiN與SiO<sub>2</sub>雙層。在半導體基板上旋塗光阻層。將光阻選擇性曝光至光化照射而圖案化光阻。通常，圖案化製程可包含光阻塗覆(例如旋塗塗覆)、軟烘烤、遮罩對準、曝光、曝光後烘烤、光阻顯影、清洗、乾燥(例如硬烘烤)、其他合適的製程、或其組合。或者，藉由其他適當的方法，例如無遮罩光微影蝕刻、電子束寫、直接寫、與/或離子束寫，用於實施或替代光微影蝕刻曝光製程。

接著，藉由蝕刻硬遮罩層之暴露區域，而將光阻層的圖案轉移至硬遮罩層中。而後，硬遮罩層作為蝕刻半導體基板過程中的遮罩。可藉由各種方法，包含乾式蝕刻、濕式蝕刻、或乾式蝕刻與濕式蝕刻的組合，蝕刻半導體基板。乾式蝕刻製程可使用含氟氣體(例如CF<sub>4</sub>、SF<sub>6</sub>、CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>以及/或C<sub>4</sub>F<sub>8</sub>)、含氯氣體(例如Cl<sub>2</sub>、CHCl<sub>3</sub>、CCl<sub>4</sub>、以及/或BCl<sub>3</sub>)、含溴氣體(例如HBr與/或CHBr<sub>3</sub>)、含氧氣體、含碘氣

體、其他合適的氣體與/或電漿、或其組合。蝕刻製程可包含多步驟蝕刻以得到蝕刻選擇性、彈性以及所欲之蝕刻輪廓。

參閱圖5，根據本發明的實施例，半導體裝置40包含絕緣材料36沿著期的下部而形成於半導體基板44上方。在包含複數個鰭的實施例中，當在複數個鰭之間形成淺溝渠隔離(STI)區時，可沉積絕緣材料。STI區可包含氧化矽、氮化矽、氮氧化矽、其他合適的材料、以及其組合。可藉由任何合適的製程，形成STI區。在一實施例中，使用化學氣相沉積(CVD)，以一或多種介電材料填充鰭之間的區域而形成STI區。在一些實施例中，所填充的區域可具有多層結構，例如以氮化矽或氧化矽填充的熱氧化物墊層。在STI區形成之後，可進行退火製程。退火製程包含快速熱退火(RTA)、雷射退火製程、或其他合適的退火製程。

在一些實施例中，使用可流動的CVD形成STI區。在可流動的CVD中，沉積可流動的介電材料替代氧化矽。可流動的介電材料，一如其名，在沉積過程中可「流動」，以高深寬比填充間隙或空間。通常，添加各種化學物質至含矽前驅物中，使得沉積的膜流動。在一些實施例中，加入氮氫接合劑(nitrogen hydride bonds)。例如，可流動的介電質前驅物，特別是可流動的氧化矽前驅物包含矽酸鹽、矽氧烷、甲基半矽氧烷(MSQ)、氮半矽氧烷(HSQ)、MSQ/HSQ、全氫矽氧烷(perhydrosilazane, TCPS)、全氫聚矽氧烷(perhydro-polysilazane, PSZ)、正矽酸乙酯(TEOS)、或矽烷基胺，例如三烷基胺(TSA)。在多操作製程中形成這些可流動的氧化矽材料。在可流動的膜沉積之後，將其硬化而後退火移除所不要的元素以形成氧化矽。當不要的元素移除時，可流動的膜緻密且皺縮。在一些實施例中，進行多次退火製程。可流動的膜硬化且退火超過一次，其退火溫度例如在約1000°C至約1200°C的範圍中，退火時間例如共約30小時或更久。



進行化學機械拋光(CMP)操作，以從STI區移除過多材料，並且提供實質平坦的表面。接著，將摻質植入鰭中，以形成n與p槽，而後將裝置退火。將STI區回蝕以移除部分的STI區並且暴露鰭的上部，而後在該處形成閘極結構22以及源極/汲極區30、32。閘極電極結構的形成可包含額外的沉積、圖案化、以及蝕刻製程。藉由合適的蝕刻製程，例如使用HF+NH<sub>3</sub>而無電漿或是NF<sub>3</sub>+NH<sub>3</sub>與電漿的半等向性蝕刻；或是例如稀釋的HF之等向性蝕刻，進行STI移除。

閘極結構形成製程包含沉積閘極介電質、沉積閘極電極、圖案化電極以及輕摻雜汲極(LDD)植入與退火的操作。而後，在閘極結構上形成側壁間隔物，以及進行源極/汲極植入與退火。

閘極介電質26可包含氧化矽、氮化系、氮氧化矽、高介電常數介電材料、其他合適的介電材料、以及/或其組合。閘極電極24可包含任何合適的材料，例如多晶矽、鋁、銅、鈦、鉭、鎢、鉬、氮化鉭、矽化鎳、矽化鈷、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、金屬合金、其他合適的材料、或其組合。

在一些實施例中，可使用閘極先行方法或閘極最後方法(gate last method)製造鰭式場效電晶體。在使用高介電常數金屬閘極(HK/MG)的實施例中，使用閘極最後方法形成閘極電極。在閘極最後方法中，形成虛擬閘極，在高溫退火操作之後，在稍後的操作中移除該虛擬閘極，並且形成高介電常數金屬閘極(HK/MG)。

根據本發明的實施例，高介電常數閘極介電質可包含HfO<sub>2</sub>、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、氧化鋯、氧化鋁、二氧化鈣-氧化鋁(HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub>)合金、其他合適的高介電常數介電材料、或其組合。金屬閘極材料可包含一或多層的Ti、TiN、鈦-鋁合金、Al、AlN、Ta、TaN、TaC、TaCN、TaSi、以及類似物。

在一些實施例中，側壁間隔物28係用於補償後續所形成的摻雜

區，例如源極/汲極區。側壁間隔物28可進一步用於設計或修飾源極/汲極區(接合)輪廓。可藉由合適的沉積與蝕刻技術形成側壁間隔物28，其可包含氮化矽、碳化矽、氮氧化矽、其他合適的材料、或其組合。

在一些實施例中鰭式場效電晶體可包含升高的源極/汲極區30、32，如圖5、6A與6C所示。升高的源極/汲極區30、32形成於鰭的端區16上。可藉由一或多種磊晶(epi)製程，形成升高的源極/汲極區30、32，因而在鰭上形成結晶態的Si特徵、SiC特徵SiGe特徵或Si EPI上的III-V族半導體材料、或其他合適的特徵。磊晶製程包含CVD沉積技術(例如氣相磊晶(VPE)與/或超高真空CVD(UHV-CVD))、分子束磊晶與/或其他合適的製程。

在一些實施例中，源極/汲極材料可為受應力的源極/汲極材料。例如，受應力的源極/汲極材料包含於n型金屬氧化物半導體(NMOS)中的SiC以及於p型金屬氧化物半導體(PMOS)中的SiGe。

在一些實施例中，閘極電極24係由多晶矽形成，並且可包含閘極電極24上方所形成的硬遮罩。硬遮罩可由合適的硬遮罩材料所製成，包含SiO<sub>2</sub>、SiN或SiCN。閘極電極結構可包含其他層，例如介面層、覆蓋層、擴散/阻障層、介電層、傳導層、以及其他合適的層、以及其組合。

在本發明的一些實施例中，所形成的源極/汲極電極接觸個別的源極/汲極。電極可由合適的傳導材料製成，例如銅、鎢、鎳、鈦、或類似物。在一些實施例中，在傳導材料與源極/汲極介面形成金屬矽化物，以改良介面的傳導性。在一範例中，鑲嵌與/或雙鑲嵌製程係用於形成銅為基礎的多層互連結構。在另一實施例中，使用鎢形成鎢插塞。

根據本發明的實施例，後續製程亦可形成各種接點/通路/線以及

多層互連特徵(例如，金屬層與層間介電)於半導體基板上，用於連接是鰭式場效電晶體裝置的各種特徵或結構。例如，多層互連包含垂直互連，例如習知的通路或接點，以及水平互連，例如金屬線。

在一些實施例中，對立的主要雙側之間鰭的主要部分18之寬度W1係約3奈米至約20奈米。在一些實施例中，W1係在約5奈米與15奈米之間。在一些實施例中，W1係約7奈米。鰭12、38的高度h係從鰭的基底於半導體基板之蝕刻的區域之底部深度至鰭區的頂表面所量測而得，其範圍在一些實施例中係在約30奈米至約300奈米，而在其他實施例中範圍可從30奈米至100奈米。在一實施例中，鰭的高度h可為約42奈米。在一些實施例中，鰭的深寬比(W1/h)範圍自約0.01至約0.66。在一些實施例中，鰭的深寬比範圍係自約0.05至約0.50。在一些實施例中，次要部分20從鰭的主要部分18向外延伸距離W2，其中 $0.14W1 \leq W2 \leq 7W1$ 。在一些實施例中，次要部分沿著第二方向Y從鰭的主要部分18之主要表面向外延伸約3奈米至約20奈米。在一些實施例中，次要部分20係沿著第二方向從鰭的主要部分18之主要表面向外延伸約5奈米至約7奈米。

在次要部分20從鰭的主要部分18之對立的主要雙側延伸的一些實施例中，在對立的主要雙側上延伸的次要部分20可從鰭的主要部分18延伸相同或不同距離。

如圖6A至6F所示，次要部分20具有控制鰭式場效電晶體的通道區中之應力的效果。圖6A係模擬半導體裝置10的單個十字形鰭12中的應力，該半導體裝置10具有形成於鰭的端區16之次要部分20。鬼線係說明鰭12上形成的閘極結構與源極/汲極區之輪廓。圖6B係沿著鰭12之第一方向Y的剖面圖。

圖6C與6D係說明半導體裝置40中的雙十字形鰭38中的應力模擬結果，半導體裝置40具有次要部分20形成於其38的各端部分16。鬼線

係說明鰭12上所形成的閘極結構以及源極與汲極的輪廓。圖6D係沿著鰭38的第一方向Y之剖面圖。具有兩個次要部分20的鰭38中的應力係小於具有單個次要部分的實施例中的應力(參閱圖6A與6B)。

相較於圖6A至6D的單個與兩個次要部分結構，具有鰭52而無次要部分的半導體裝置50係在鰭中具有較大的應力，如圖6E與6F所示。圖6F係沿著鰭52的第一方向Y之剖面圖。

在本發明的一些實施例中，半導體裝置包含複數個鰭。在一些實施例中，複數個鰭的主要部分18係實質配置彼此平行，如圖7A至7H所示。緊鄰的鰭12的次要部分20可彼此連接形成C形，如圖7A至7D的平面圖所示。次要部分20可自接近主要部分之端部而從鰭的主要部分18延伸，如圖7A所示，或是在主要部分18的端部從鰭的主要部分18延伸，如圖7B所示。或者，次要部分可僅形成於兩緊鄰的鰭之間的區域中，因而連接每一個鰭，如圖7C與7D所示。在其他非限制實施例中，可形成次要部分20自緊鄰的鰭18的對立側向外延伸，如圖7E、7F、7G與7H所示。在一些實施例中，相較於次要部分在緊鄰的鰭的面對側上，在緊鄰的鰭的相反側上具有次要部分之架構係在具有次要部分的該鰭之間具有較短距離。此技藝中具有通常技術者可知在本發明的範圍中有其他架構的次要部分。

緊鄰的鰭12可彼此相間隔約20至60奈米。在一些實施例中，緊鄰的鰭12在兩緊鄰的鰭12的中心之間可彼此相間隔約42奈米。

在具有複數個鰭的一些實施例中，每一個鰭38包含兩個次要部分20，如圖8A至8L所示。在一些實施例中，緊鄰的鰭38的次要部分20係彼此連接，如圖8A至8H所示。次要部分20可於接近主要部分之端部與鰭的主要部分18相交，如圖8A與8C所示，或是相交於主要部分18的端部，如圖8B與8D所示。次要部分20可僅形成於兩個緊鄰的鰭之間的區域中，因而連接每一個鰭，如圖8C與8D所示。在其他非

限制實施例中，可形成次要部分20具有一個次要部分從緊鄰的鰭的相反側向外延伸，並且僅於兩緊鄰的鰭之間的部分中形成另一鰭，如圖8E與8F所示。在其他實施例中，一個次要部分20可從一緊鄰的鰭向外延伸而不從另一緊鄰的鰭向外延伸，如圖8G與8H所示。在其他實施例中，緊鄰的鰭的一對對立的次要部分20可連接，而另一對對立的次要部分20未連接，如圖8I至8L所示。在一些實施例中，緊鄰的鰭的次要部分20可從主要部分18向外延伸不同距離，如圖8K與8L所示。此技藝中具有通常技術者可知本發明的範圍內有其他架構的次要部分。

次要部分可為任何合適的形狀。在一些實施例中，次要部分為實質矩形或圓形。

在本發明的一些實施例中，提供製造半導體裝置的方法200，如圖9所示。方法200包含在半導體基板上形成遮罩的操作202。該遮罩包含阻擋部，其覆蓋將要形成於半導體基板中的鰭所對應之半導體基板的區域。阻擋部包含沿著第一方向延伸的阻擋主要部分，以及至少一阻擋次要部分，其係從阻擋主要部分沿著第二方向向外延伸，該第一方向與該第二方向並非在同一直線。方法200進一步包含操作204移除未被遮罩之阻擋部分覆蓋的半導體基板之區域，形成至少一鰭，其包含沿著第一方向延伸之鰭主要部分，以及至少一鰭次要部分，其係從鰭主要部分沿著第二方向向外延伸，該第一方向與該第二方向並非在同一直線。在形成鰭之後，進行操作206，在鰭主要部分上方形成閘極結構。此外，方法包含操作208，在至少一次要部分上方形成源極或汲極區以提供半導體裝置。

在一些實施例中，形成遮罩係包含在半導體基板上沉積硬遮罩材料，在硬遮罩材料上方沉積光阻材料，以及圖案化光阻材料與硬遮罩材料以形成阻擋部。

在一些實施例中，藉由蝕刻硬遮罩材料與半導體基板而進行移除半導體基板的區域。可使用任何合適的蝕刻劑，以蝕刻硬遮罩材料與半導體基板。

寬度小於約14奈米的鰭，例如寬度為7奈米，容易因各種外力或是製程步驟而破裂，因而降低產率。具有從主要部分向外延伸之側部的鰭係在結構強度較強的主要部分，因而較不容易破裂。因此，本發明係提供較高產率的半導體裝置以及對於具有寬度小於約14奈米的鰭之裝置改良半導體信賴度。

此外，相較於在線形鰭上方所形成的源極/汲極區，鰭的主要及次要部分上方所形成的源極/汲極區係與鰭具有較大的接觸面積。較大的接觸面積在源極/汲極區與鰭之間提供較低的接觸電阻，因而改良裝置效能。

根據本發明的實施例，提供具有至少一鰭設置於半導體基板之表面上的半導體裝置。該鰭包含主要部分沿著第一方向延伸，以及至少一次要部分從主要部分沿著第二方向向外延伸，第二方向與第一方向並非同一直線。

根據本發明的另一實施例，半導體裝置係包含複數個鰭設置於半導體基板的表面上。每一個鰭包含沿著第一方向延伸的主要部分。主要部分沿著該第一方向具有對立端區以及在對立端區之間的中間區。至少一次要部分係從主要部分沿著第二方向向外延伸，第二方向與第一方向並非同一直線。

根據本發明的另一實施例，製造半導體裝置的方法係包含在半導體基板上形成遮罩。遮罩係包含阻擋部，其覆蓋對應於欲在半導體基板中形成鰭的半導體基板之區域。阻擋部係包含沿著第一方向延伸的阻擋主要部分，以及至少一阻擋次要部分，其係從該阻擋主要部分沿著第二方向向外延伸，該第一方向與該第二方向並非在同一直線。

移除未被遮罩的阻擋部覆蓋之半導體基板的區域，以形成至少一鰭，其包含沿著第一方向延伸的鰭主要部分，以及至少一鰭次要部分，其係從鰭主要部分沿著第二方向向外延伸，該第一方向與該第二方向並非同一直線。在鰭主要部分上方形成閘極結構，並且在該至少一次要部分上方形成源極或汲極區。

該技藝中的技術人士可理解在該方法的其他實施例中可替換或排除上述方法中所描述的一些步驟。

前述內容概述一些實施方式的特徵，因而熟知此技藝之人士可更加理解本發明之各方面。熟知此技藝之人士應理解可輕易使用本發明作為基礎，用於設計或修飾其他製程與結構而實現與本申請案所述之實施例具有相同目的與/或達到相同優點。熟知此技藝之人士亦應理解此均等架構並不脫離本發明揭示內容的精神與範圍，並且熟知此技藝之人士可進行各種變化、取代與替換，而不脫離本發明之精神與範圍。

#### 【符號說明】

10	半導體裝置
12	鰭
14	中間區
16	端區
18	主要部分
20	次要部分
22	閘極結構
24	閘極電極
26	閘極介電層
28	側壁間隔物
30	源極

32	汲極
34	應力層
36	絕緣層
38	鰭
40	半導體裝置
44	半導體基板
50	半導體裝置
52	鰭



## 申請專利範圍

1. 一種半導體裝置，其包含：

至少一鰭，設置於一半導體基板的一表面上，該鰭係包含延伸於一第一方向的一主要部分，以及至少一次要部分，其從該主要部分沿著一第二方向向外延伸，該第一方向與該第二方向並非同一直線。

2. 如申請專利範圍第1項所述之半導體裝置，其中該次要部分係從該主要部分的對立的主要雙側向外延伸。
3. 如申請專利範圍第1項所述之半導體裝置，其中該主要部分係包含沿著該第一方向延伸的一第一端區、一中間區、以及一第二端區，其中該第一端區與該第二端區係位於該主要部分的對立端，以及該中間區係位於該第一端區與該第二端區之間。
4. 如申請專利範圍第3項所述之半導體裝置，其中該至少一次要部分係從該主要部分的該第一端區或該第二端區延伸。
5. 如申請專利範圍第3項所述之半導體裝置，其包含一第一次要部分與一第二次要部分，其中該第一次要部分係於該第一端區從該主要部分向外延伸，以及該第二次要部分係於該第二端區從該主要部分向外延伸。
6. 一種半導體裝置，其包含：

複數個鰭，其係設置於一半導體基板的一表面上，每一個鰭包含沿著一第一方向延伸的一主要部分，該主要部分具有對立端區以及沿著該第一方向並位於該對立端區之間的一中間區；以及

至少一次要部分，其係沿著一第二方向自每一個鰭的該主要部分向外延伸，該第一方向與該第二方向並非同一直線。

7. 如申請專利範圍第6項所述之半導體裝置，其中該次要部分係自

該主要部分的對立的主要雙側向外延伸。

8. 如申請專利範圍第6項所述之半導體裝置，其中該複數個鰭的配置係實質彼此平行。
9. 如申請專利範圍第6項所述之半導體裝置，其中緊鄰的鰭的該次要部分係彼此連接。
10. 如申請專利範圍第6項所述之半導體裝置，其中每一個鰭係包含兩個次要部分，一個次要部分於一端區自該主要部分向外延伸，以及另一個次要部分於另一對立的端區向外延伸。

圖式

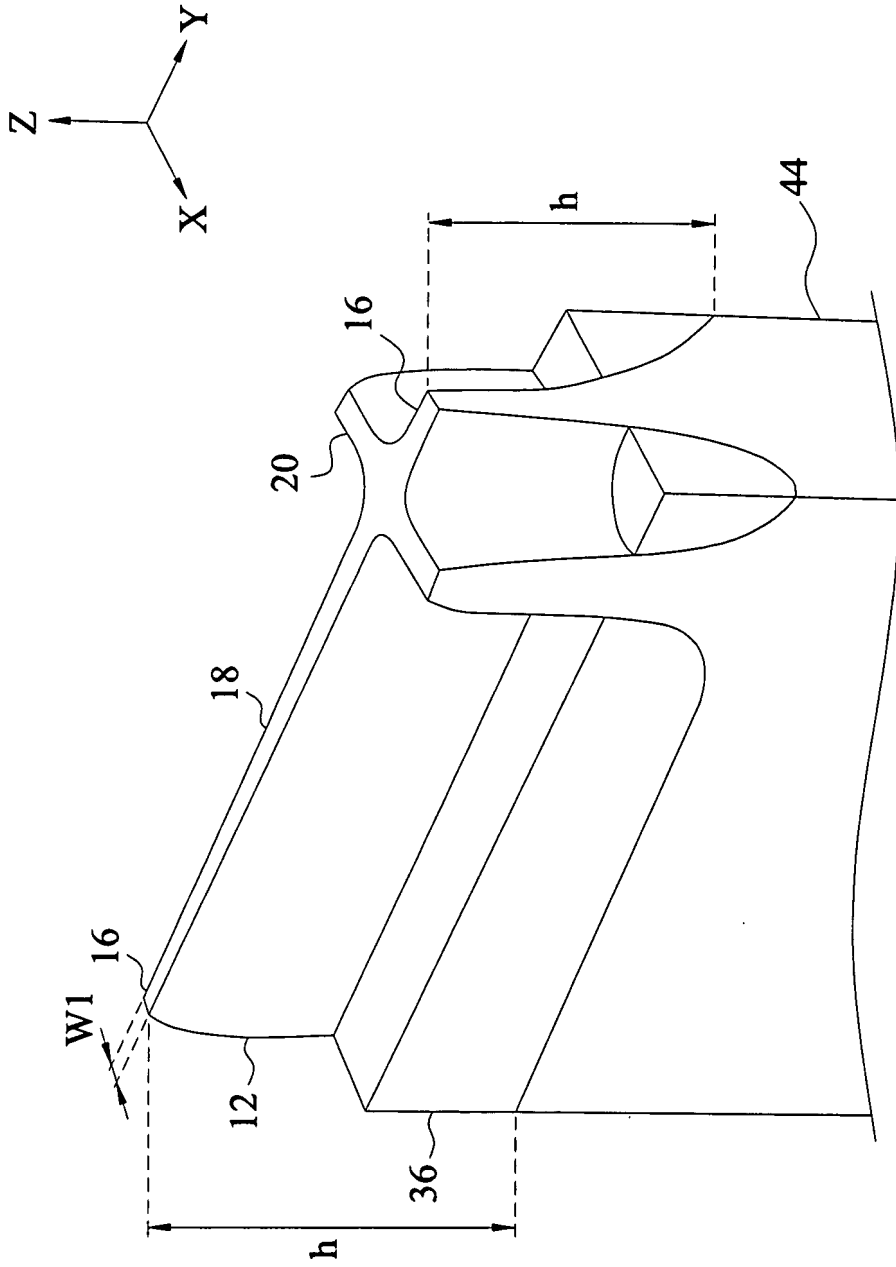


圖 1

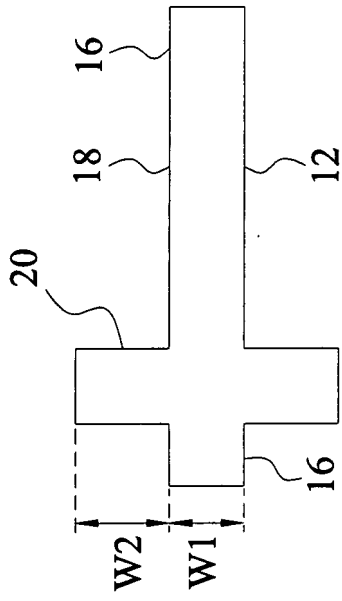


圖 2A

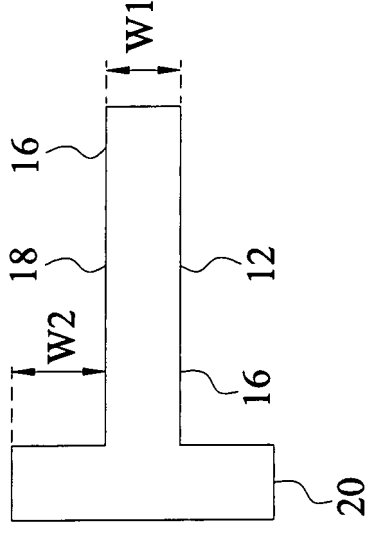


圖 2B

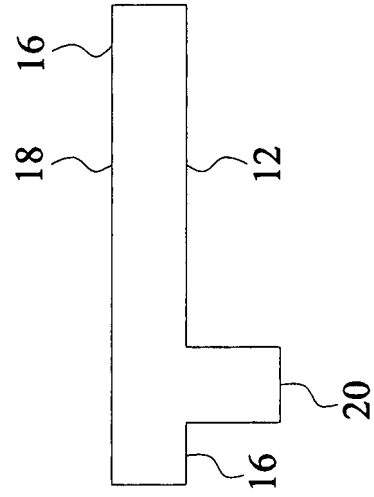


圖 2C

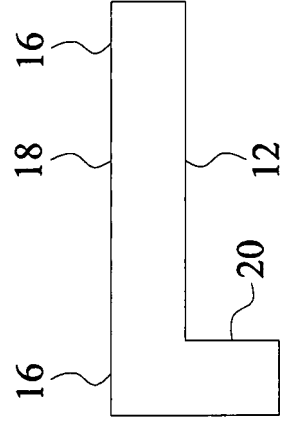


圖 2D

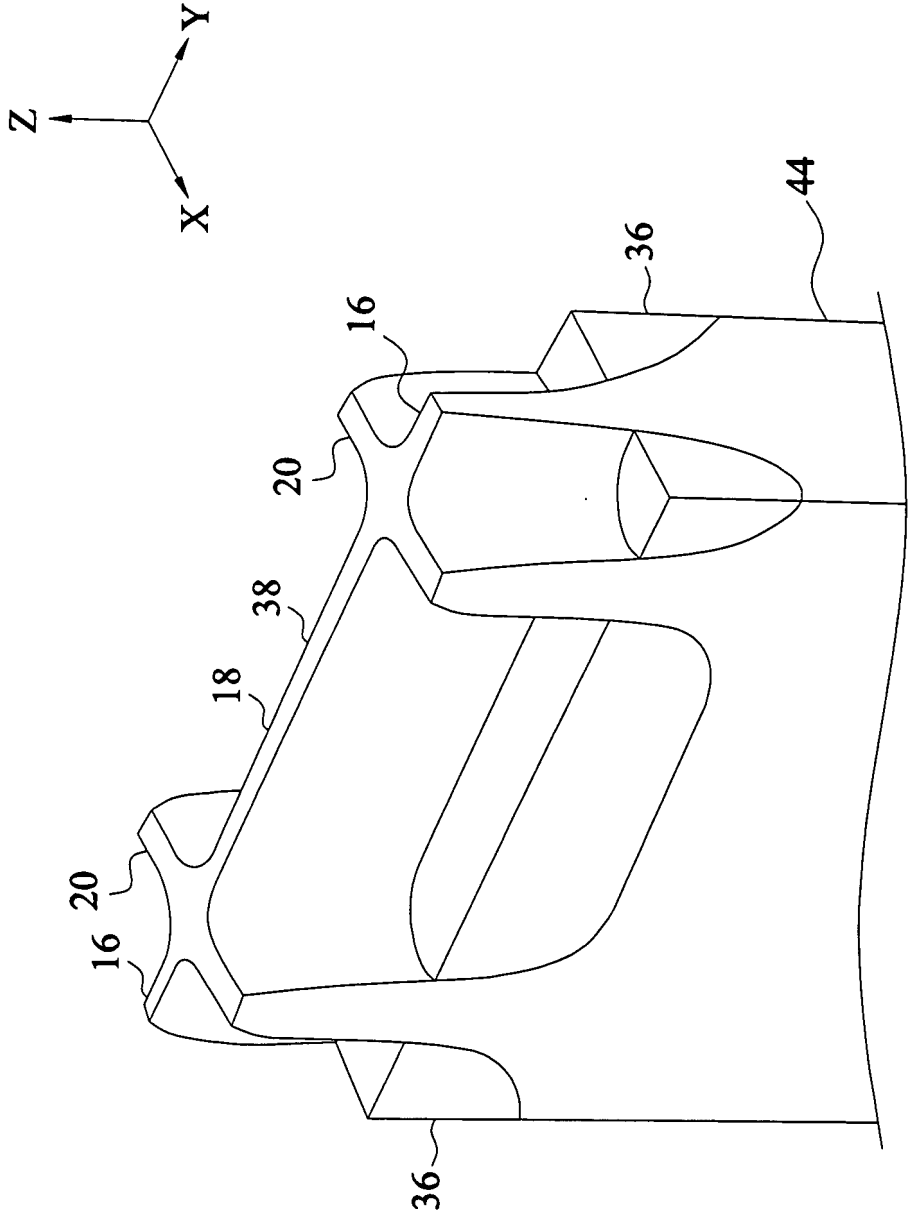


圖 3

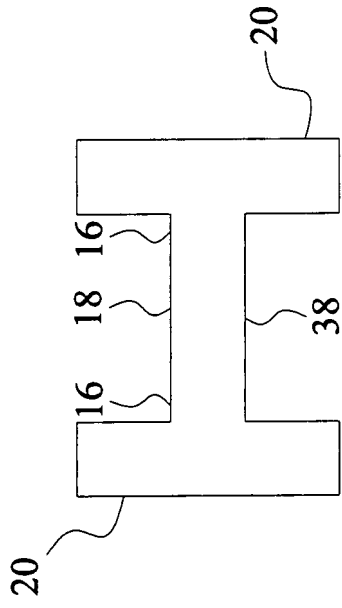


圖 4B

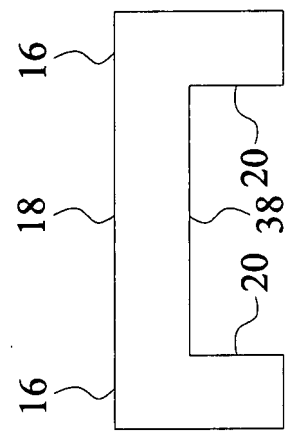


圖 4D

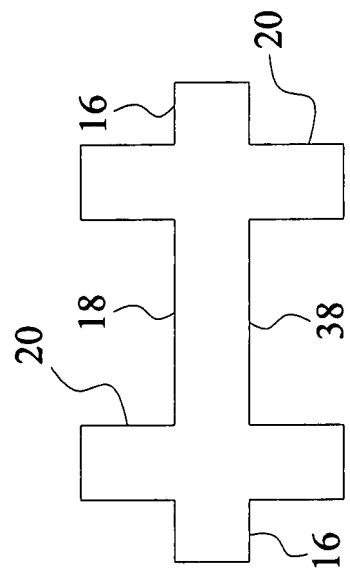


圖 4A

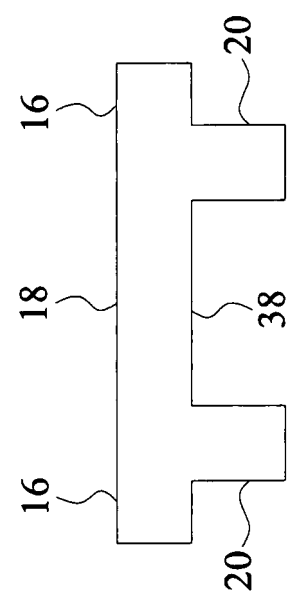


圖 4C

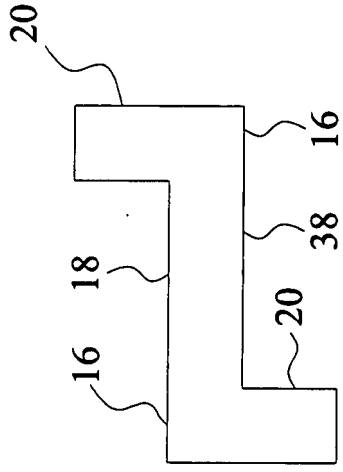


圖 4F

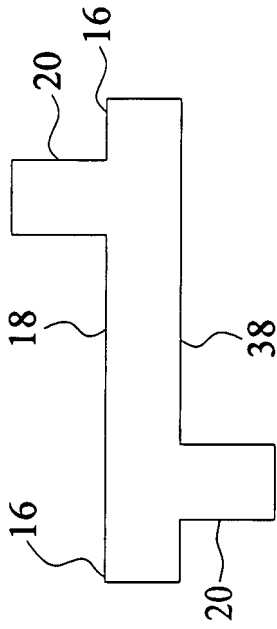


圖 4E

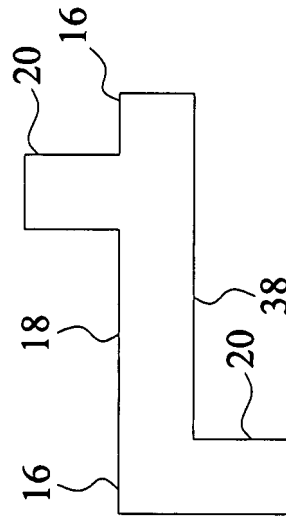


圖 4G

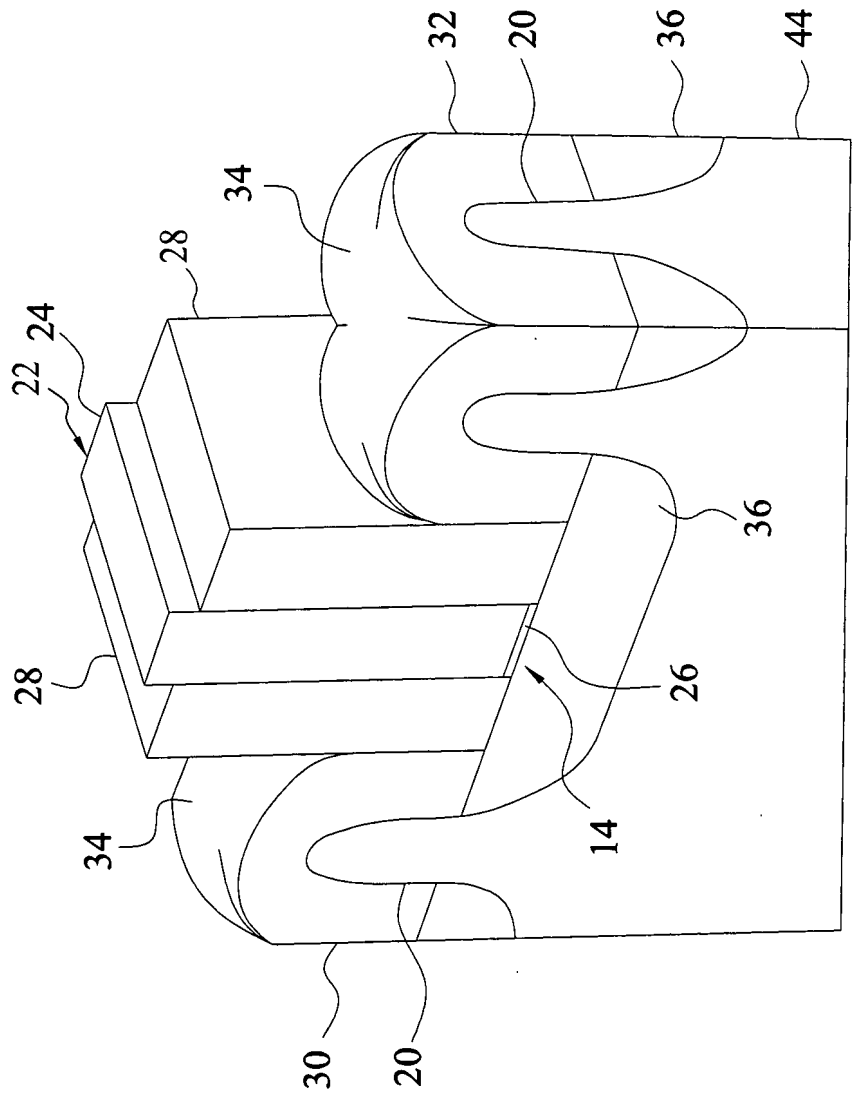


圖 5



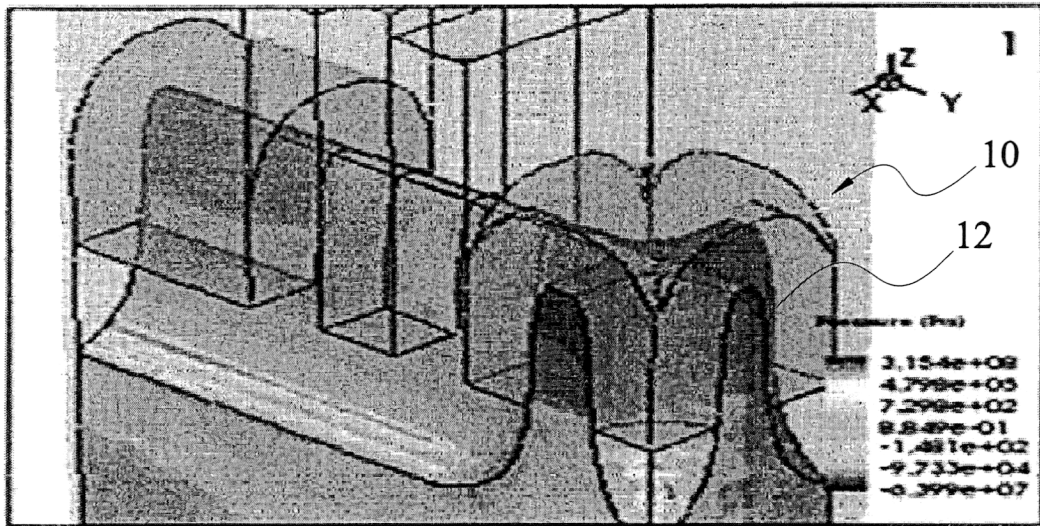


圖 6A

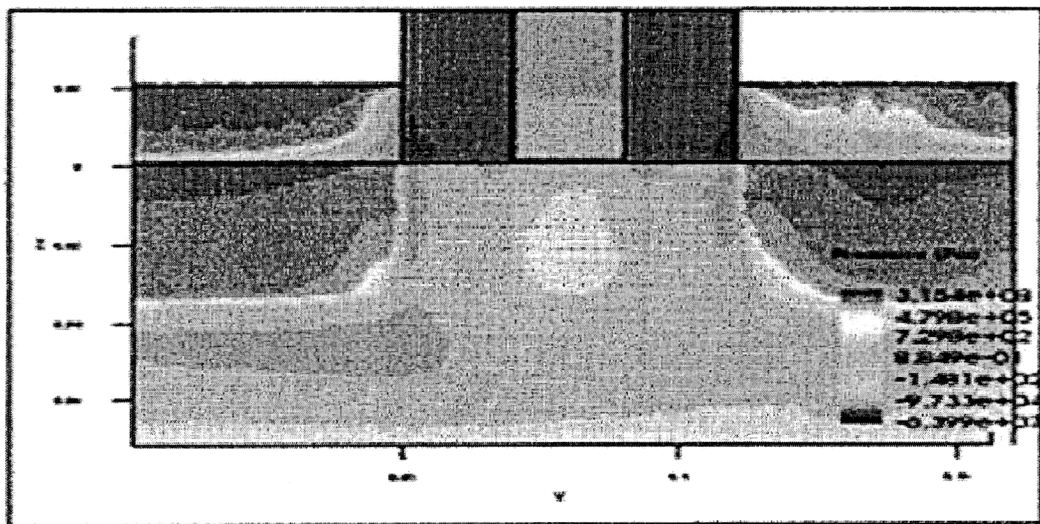


圖 6B

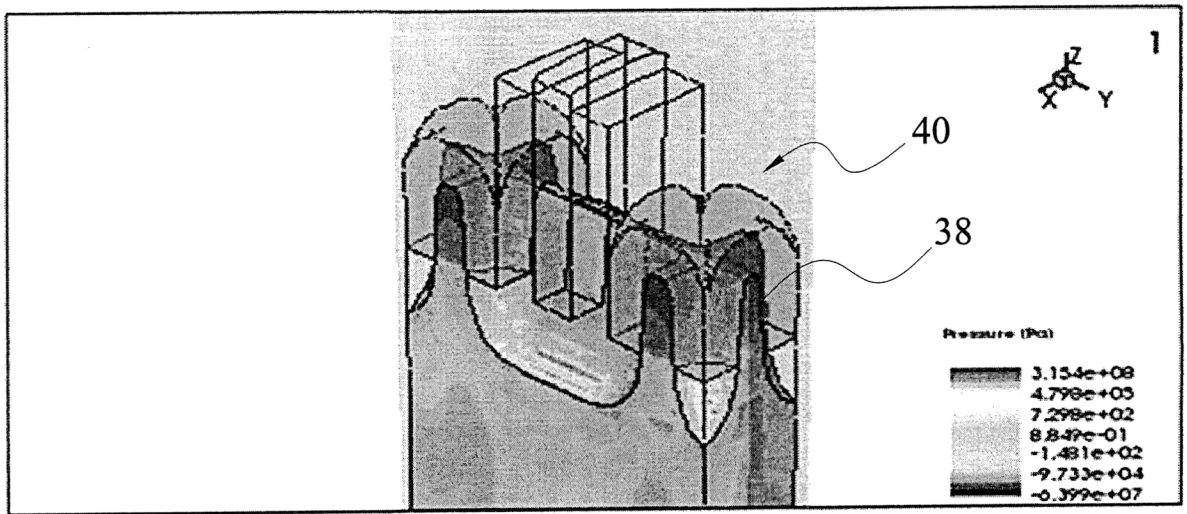


圖 6C

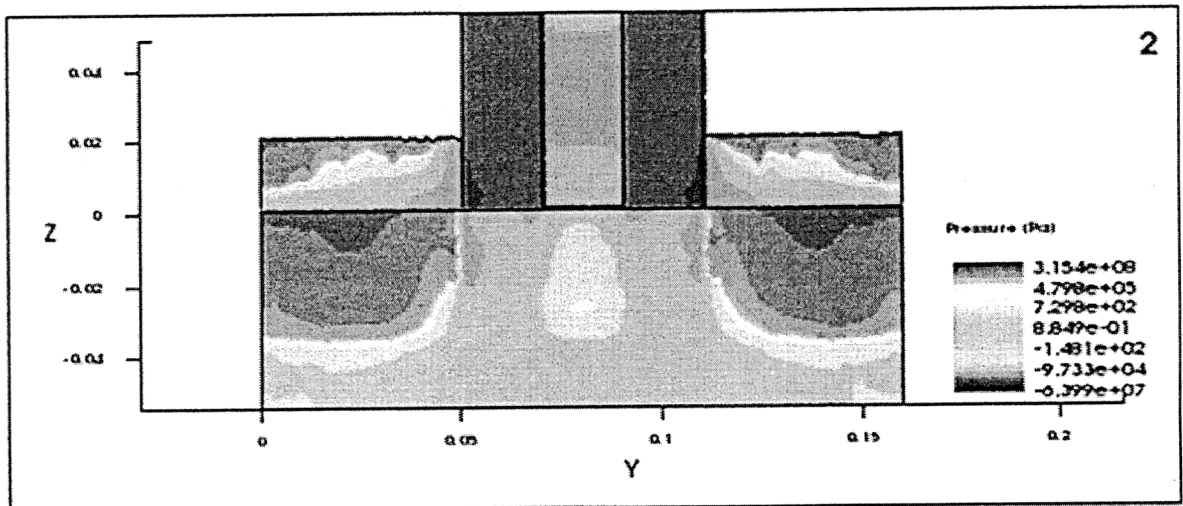


圖 6D



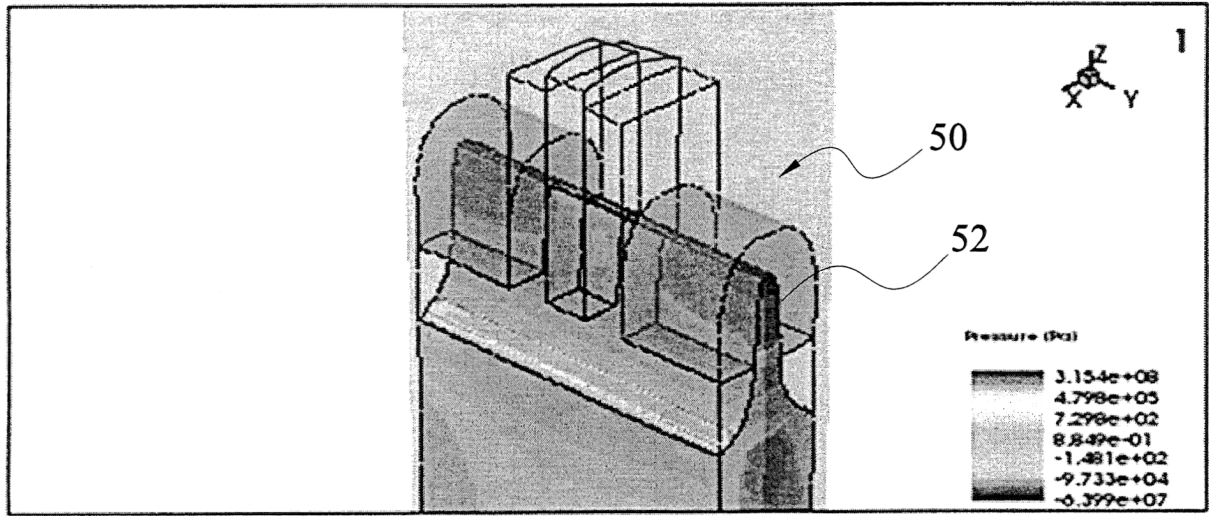


圖 6E

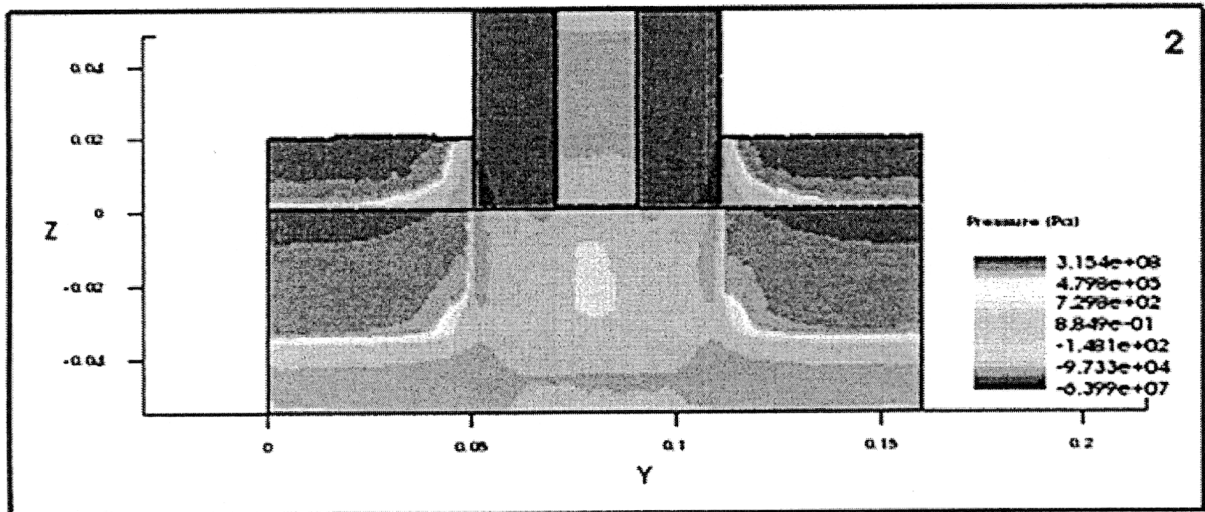


圖 6F

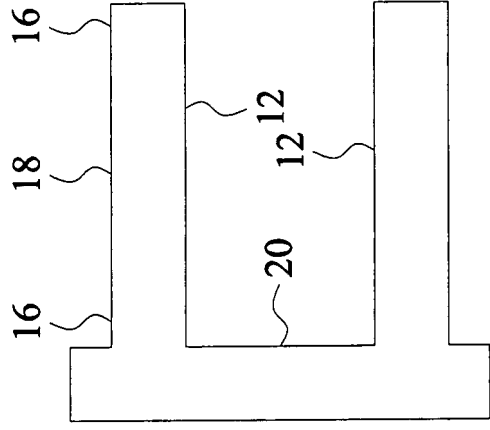


圖 7B

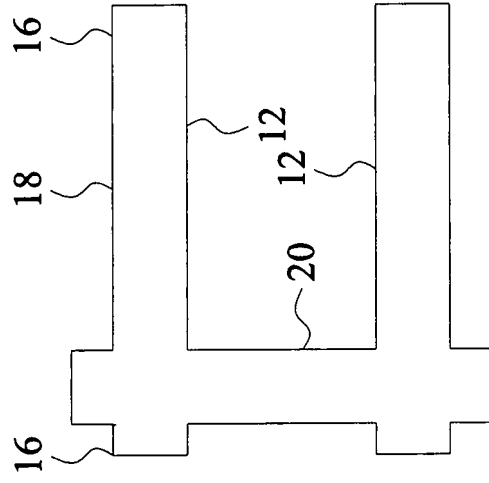


圖 7A

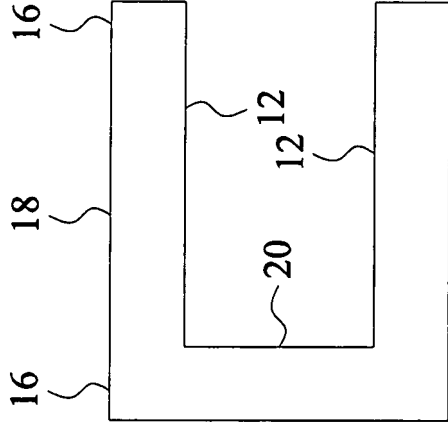


圖 7D

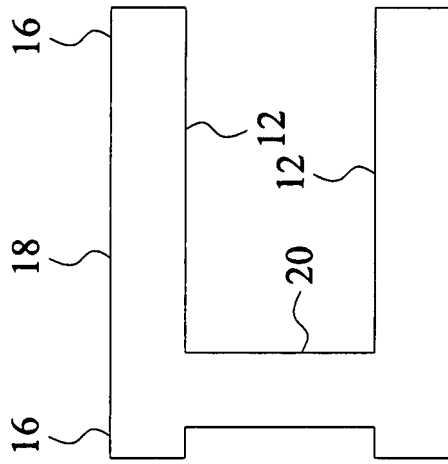


圖 7C

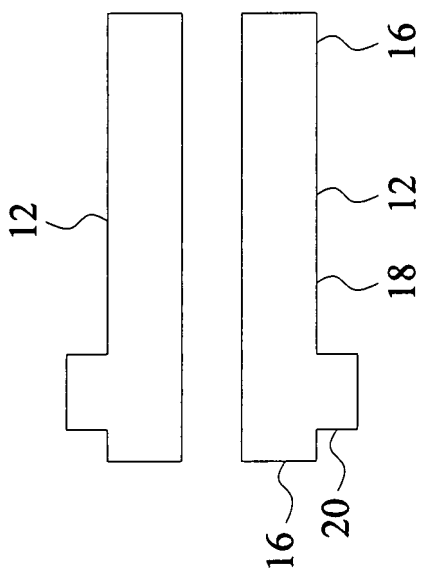


圖 7E

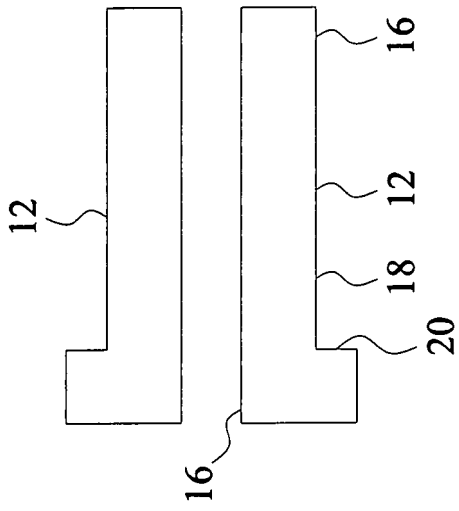


圖 7F

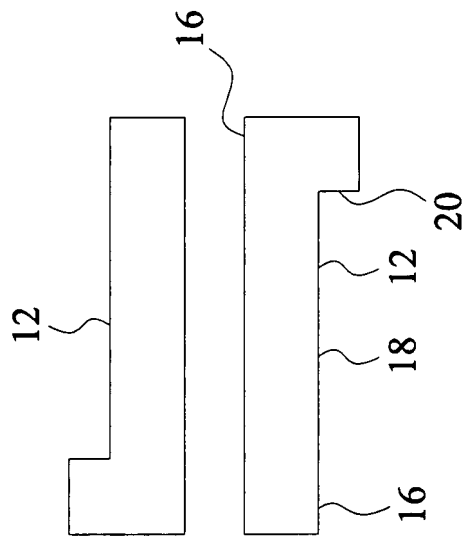


圖 7G

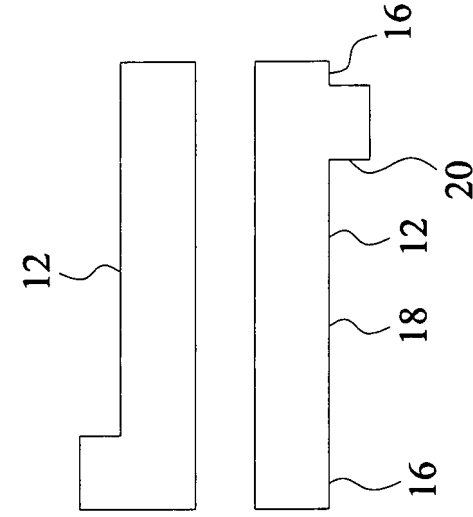


圖 7H

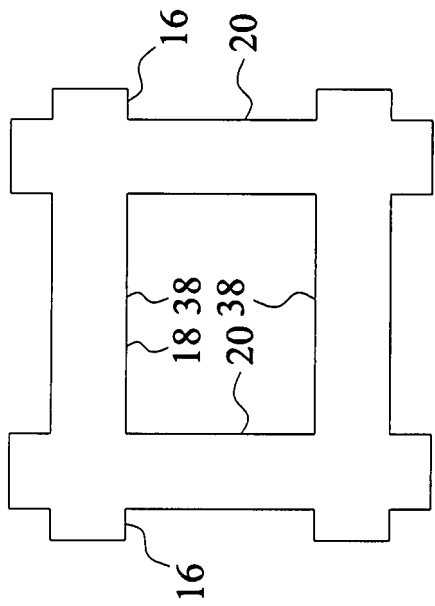


圖 8A

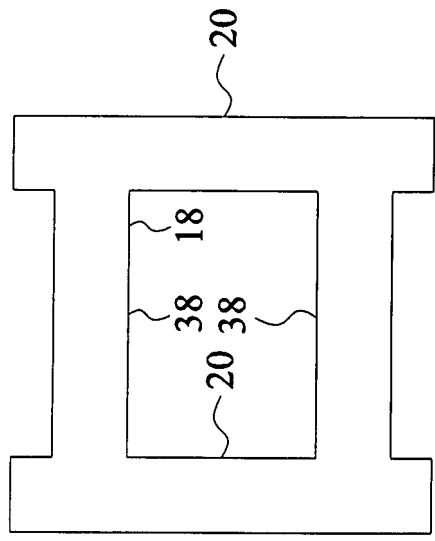


圖 8B

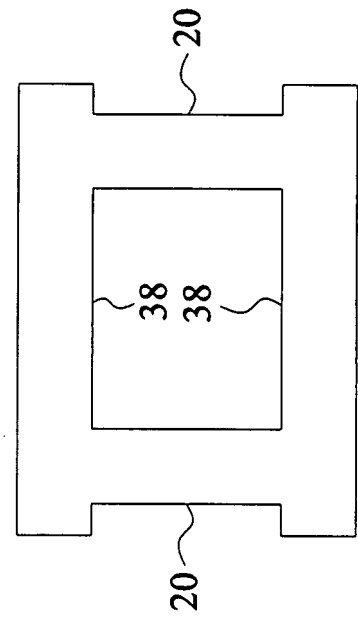


圖 8C

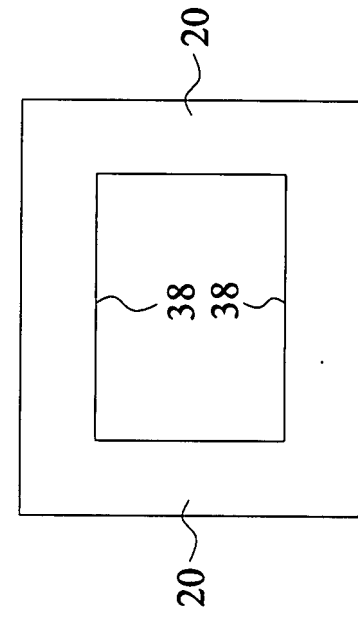


圖 8D

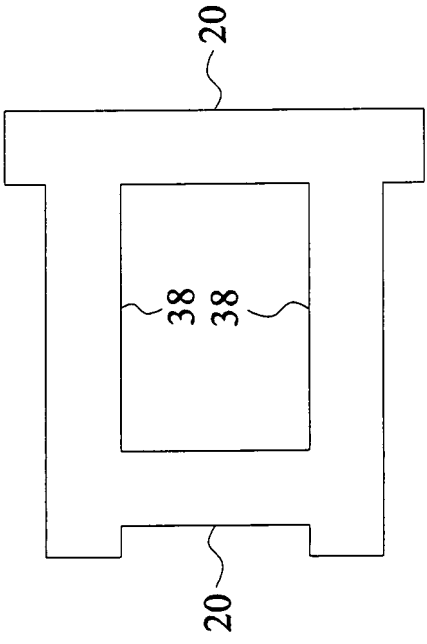


圖 8E

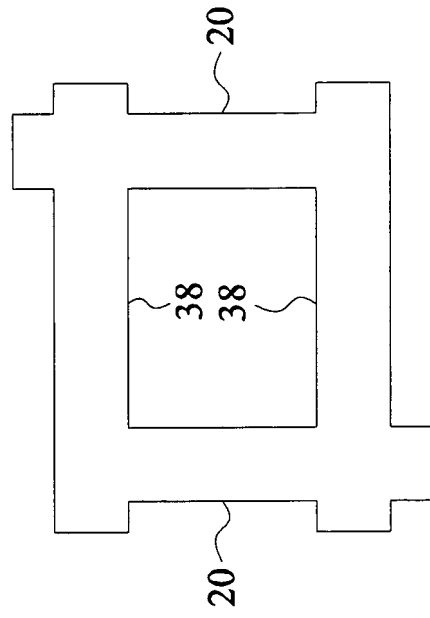


圖 8F

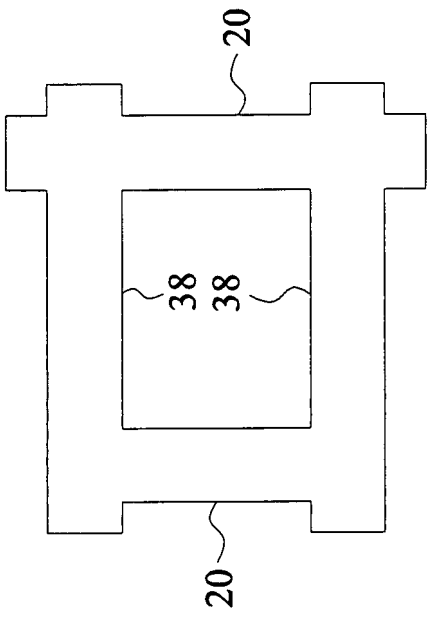


圖 8G

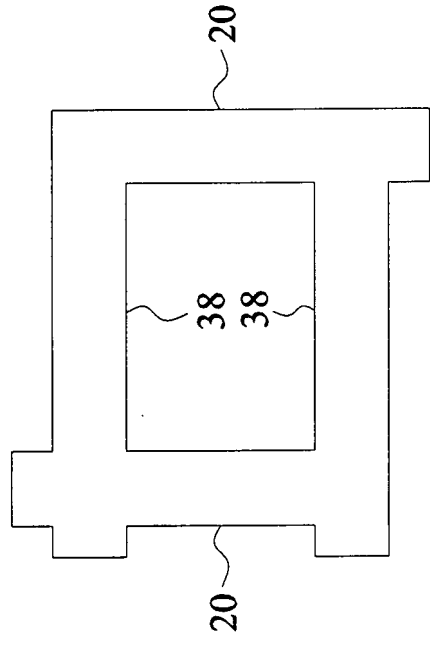


圖 8H



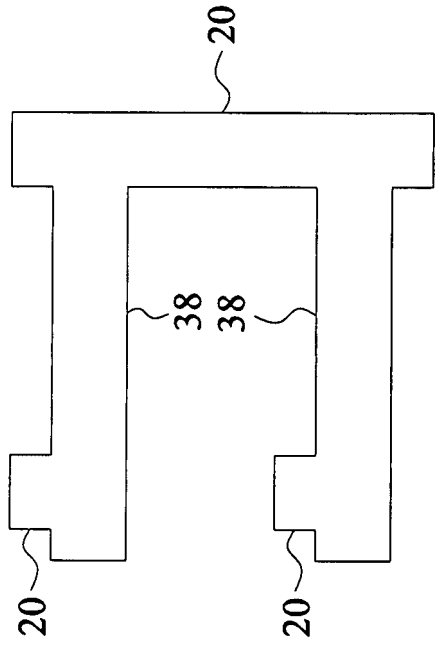


圖 8I

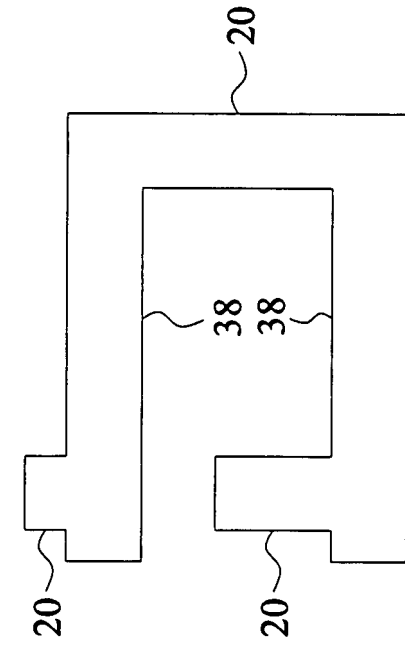


圖 8J

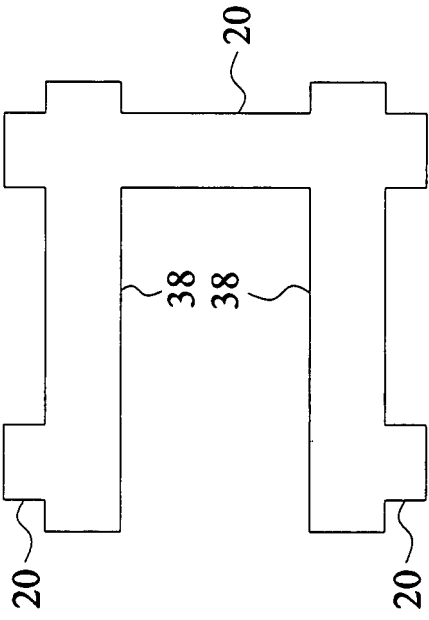


圖 8K

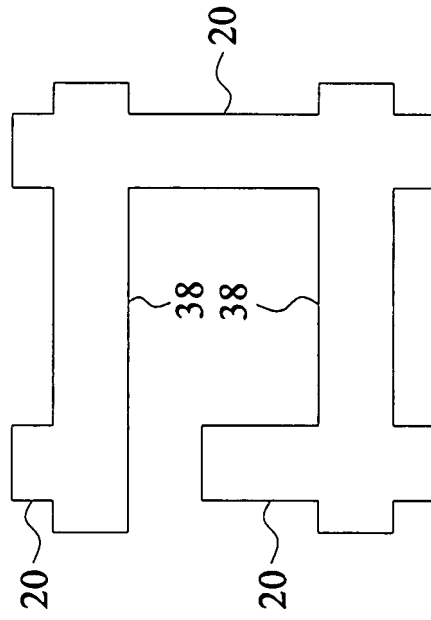


圖 8L

200

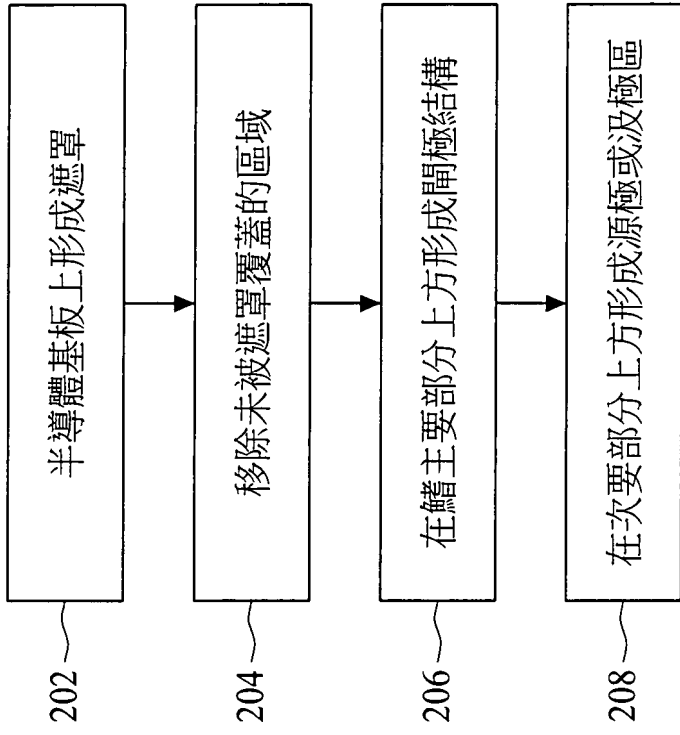


圖 9