



(21)申請案號：104122413

(22)申請日：中華民國 104 (2015) 年 07 月 09 日

(51)Int. Cl. :

H01L29/74 (2006.01)

H01L27/02 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO-TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

奇景光電股份有限公司(中華民國) HIMAX TECHNOLOGIES LIMITED (TW)

臺南市新市區紫棟路 26 號

(72)發明人：張俊彥 CHANG, CHUN-YEN (TW)；顏祥修 YEN, SHIANG-SHIU (TW)；張邵勤 CHANG, SHAO-CHIN (TW)；江哲維 CHIANG, CHE-WEI (TW)

(74)代理人：陳達仁

申請實體審查：有 申請專利範圍項數：17 項 圖式數：11 共 30 頁

(54)名稱

矽控整流器與靜電放電箝制電路

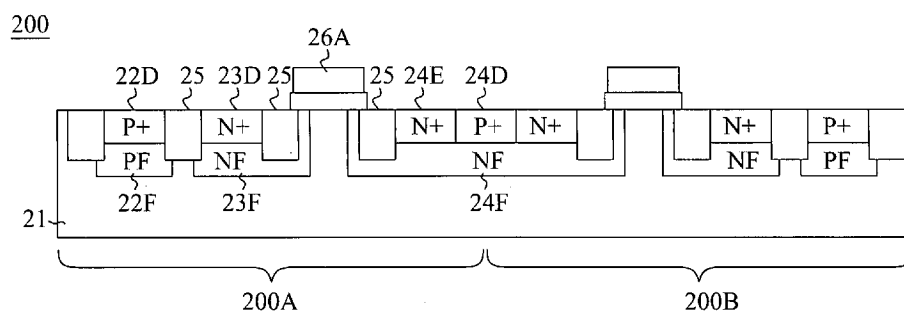
SILICON-CONTROLLED RECTIFIER AND AN ESD CLAMP CIRCUIT

(57)摘要

一種矽控整流器，包含分離的第一型場、第二型第一場及第二型第二場，形成於第一型井內；連續第一型摻雜區，形成於第一型場內；分段第二型摻雜區，形成於第二型第一場內；及分段第一型摻雜區，形成於第二型第二場內。

A silicon-controlled rectifier (SCR) includes a first-type field, a second-type first field and a second-type second field disconnectedly formed in a first-type well; an entire first-type doped region formed within the first-type field; a segmented second-type doped region formed within the second-type first field; and a segmented first-type doped region formed within the second-type second field.

指定代表圖：



第二B圖

符號簡單說明：

200 . . . 矽控整流器

200A . . . 單元晶胞

200B . . . 單元晶胞

21 . . . 第一型井

22F . . . 第一型場

22D . . . 連續第一型摻雜區

23F . . . 第二型第一場

23D . . . 分段第二型摻雜區

24F . . . 第二型第二場

24D . . . 分段第一型摻雜區

24E . . . 連續第二型摻雜區

25 . . . 隔離區

26A . . . 多晶矽閘

PF . . . P型場

NF . . . N型場

P+ . . . P型摻雜

N+ . . . N型摻雜



申請日: 104. 7. 09

201703257

【發明摘要】

IPC分類: H01L 29/74 (2006.01)
H01L 27/02 (2006.01)

【中文發明名稱】 矽控整流器與靜電放電箝制電路

【英文發明名稱】 SILICON-CONTROLLED RECTIFIER AND AN ESD CLAMP
CIRCUIT

【中文】一種矽控整流器，包含分離的第一型場、第二型第一場及第二型第二場，形成於第一型井內；連續第一型摻雜區，形成於第一型場內；分段第二型摻雜區，形成於第二型第一場內；及分段第一型摻雜區，形成於第二型第二場內。

【英文】A silicon-controlled rectifier (SCR) includes a first-type field, a second-type first field and a second-type second field disconnectedly formed in a first-type well; an entire first-type doped region formed within the first-type field; a segmented second-type doped region formed within the second-type first field; and a segmented first-type doped region formed within the second-type second field.

【指定代表圖】 第二B圖

【代表圖之符號簡單說明】

200	矽控整流器
200A	單元晶胞
200B	單元晶胞

21	第一型井
22F	第一型場
22D	連續第一型摻雜區
23F	第二型第一場
23D	分段第二型摻雜區
24F	第二型第二場
24D	分段第一型摻雜區
24E	連續第二型摻雜區
25	隔離區
26A	多晶矽閘
PF	P 型場
NF	N 型場
P+	P 型摻雜
N+	N 型摻雜

【發明說明書】

【中文發明名稱】 矽控整流器與靜電放電箝制電路

【英文發明名稱】 SILICON-CONTROLLED RECTIFIER AND AN ESD CLAMP
CIRCUIT

【技術領域】

【0001】 本發明係有關一種矽控整流器（SCR），特別是關於一種具增強保持（holding）電壓的矽控整流器及一種多晶矽電阻觸發的堆疊矽控整流器。

【先前技術】

【0002】 矽控整流器為一種固態電流控制裝置及適用於靜電放電（ESD）裝置的雙向裝置。第一圖顯示關於積體電路之靜電放電的一般矽控整流器的電流-電壓曲線。一般來說，觸發（trigger）電壓必須小於安全電壓 V_{safe} ，以確保靜電放電時氧化層不會造成崩潰。另一方面，保持電壓必須大於最大額定裝置電壓 V_{ddmax} ，以確保正常運作裝置不會造成閃鎖（latch-up）。

【0003】 一些增加保持電壓的機制被提出以避免閃鎖。然而，這些機制會造成電流擁擠（crowding）並降低第二崩潰的電流值，因而犧牲靜電放電的能力。再者，這些機制還會增加觸發電壓。

【0004】 傳統矽控整流器串接時，保持電壓與觸發電壓會等比於矽控整流器的數目。一種使用護環（guard ring）的機制被提出。然而，當矽控整流器的連接數目增加時，觸發電壓也會一定程度的增加。

【0005】因此亟需提出一種新穎的機制，以克服傳統矽控整流器的缺失。

【發明內容】

【0006】鑑於上述，本發明實施例的目的之一在於提出一種矽控整流器的新穎架構，其具增強的保持電壓。一實施例提出多晶矽電阻觸發的堆疊矽控整流器，其不會增加觸發電壓。

【0007】根據本發明實施例，矽控整流器包含第一型場、第二型第一場、第二型第二場、連續第一型摻雜區、分段第二型摻雜區及分段第一型摻雜區。第一型場、第二型第一場及第二型第二場形成於第一型井內且彼此分離。連續第一型摻雜區形成於第一型場內；分段第二型摻雜區形成於第二型第一場內；且分段第一型摻雜區形成於第二型第二場內。連續第一型摻雜區的離子劑量大於第一型場的離子劑量，其再大於第一型井的離子劑量。分段第二型摻雜區的離子劑量大於第二型第一場的離子劑量，其再大於第一型井的離子劑量。分段第一型摻雜區的離子劑量大於第二型第二場的離子劑量，其再大於第一型井的離子劑量。

【圖式簡單說明】

第一圖顯示一般矽控整流器的電流-電壓曲線。

第二 A 圖顯示本發明第一實施例之矽控整流器的俯視圖。

第二 B 圖顯示第二 A 圖之矽控整流器沿剖面線 2B-2B' 的剖面圖。

第二 C 圖顯示第二 A 圖之矽控整流器沿剖面線 2C-2C' 的剖面圖。

第三、四 A、四 B 及第五圖顯示本發明替代實施例的俯視圖。

第六 A 圖顯示本發明第二實施例之矽控整流器的俯視圖。

第六 B 圖顯示第六 A 圖之矽控整流器沿剖面線 6B-6B' 的剖面圖。

第六 C 圖顯示第六 A 圖之矽控整流器沿剖面線 6C-6C' 的剖面圖。

第七圖顯示多晶矽電阻觸發的堆疊矽控整流器的剖面圖。

第八圖顯示第七圖的替代實施例。

第九圖顯示本發明實施例之靜電放電箝制電路，其堆疊二個矽控整流器。

第十圖顯示本發明實施例之靜電放電箝制電路，其堆疊三個矽控整流器。

第十一圖顯示本發明實施例之靜電放電箝制電路，其堆疊四個矽控整流器。

【實施方式】

【0008】 第二A圖顯示本發明第一實施例之矽控整流器200的俯視圖，第二B圖顯示第二A圖之矽控整流器200沿剖面線2B-2B' 的剖面圖，且第二C圖顯示第二A圖之矽控整流器200沿剖面線2C-2C' 的剖面圖。

【0009】 本實施例之矽控整流器200包含至少一單元晶胞200A。如第二A圖所示，矽控整流器200可包含額外單元晶胞200B，其鏡射於單元晶胞200A。以下僅針對單元晶胞200A作描述，並省略單元晶胞200B的描述。

【0010】 在本實施例中，首先提供第一型井 (well) 21 (例如P型井)。第一型場 (field) 22F、第二型第一場23F及第二型第二場24F形成於第一型井21內。在本實施例中，如第二A/二B/二C圖所例示，第一型指P型，且第二型指N型。第一型場22F、第二型第一場23F及第二型第二場24F於橫向依序設置。此外，第一型場22F、第二型第一場23F及第二型第二場24F彼

此分離。第一型井21上形成有多晶矽閘26A，其位於第二型第一場23F與第二型第二場24F之間。

【0011】繼續參閱第二A/二B/二C圖，連續（未分段）第一型摻雜（例如P⁺）區22D形成於第一型場22F內，分段第二型摻雜（例如N⁺）區23D形成於第二型第一場23F內，且分段第一型摻雜（例如P⁺）區24D形成於第二型第二場24F內。連續第二型摻雜（例如N⁺）區24E形成於第二型第二場24F內。在一例子中，連續第二型摻雜區24E位於分段第二型摻雜區23D與分段第一型摻雜區24D之間，且連接於分段第一型摻雜區24D。在另一例子中（如第三圖所示），分段第一型摻雜區24D位於分段第二型摻雜區23D與連續第二型摻雜區24E之間。

【0012】根據本實施例的特徵之一，連續第一型摻雜區22D的離子劑量大於第一型場22F的離子劑量，其再大於第一型井21的離子劑量。類似的情形，分段第二型摻雜區23D的離子劑量大於第二型第一場23F的離子劑量，其再大於第一型井21的離子劑量。類似的情形，分段第一型摻雜區24D的離子劑量大於第二型第二場24F的離子劑量，其再大於第一型井21的離子劑量。類似的情形，連續第二型摻雜區24E的離子劑量大於第二型第二場24F的離子劑量，其再大於第一型井21的離子劑量。

【0013】在本實施例中，所謂“分段（segmented）”係指摻雜區（例如分段第二型摻雜區23D）是由多個摻雜次區所組成，其於縱向依序設置且彼此分離。在一例子中，摻雜次區被其他次區所分隔，這些其他次區具有第二型第一場23F的離子劑量。在另一例子中，摻雜次區被輕摻雜次區所分隔，這些輕摻雜次區具有相同型摻雜，如第四A圖所示。例如，輕摻雜

次區N-的離子劑量小於分段第二型摻雜區23D的離子劑量，但大於第二型第一場23F的離子劑量。在又一例子中，摻雜次區被其他摻雜次區所分隔，這些其他摻雜次區具有相反型摻雜，如第四B圖所示。在此例子中，如果分段第一型摻雜區24D的第一型摻雜次區被其他第二型摻雜次區所分隔，則可省略連續第二型摻雜區24E，並由隔離區25所取代，如第五圖所示。在又一例子中，部分摻雜次區被具有第二型第一場23F的離子劑量的其他次區所分隔，而另一部分摻雜次區則被具有相反型摻雜的其他摻雜次區所分隔。

● **【0014】** 第六A圖顯示本發明第二實施例之矽控整流器600的俯視圖，第六B圖顯示第六A圖之矽控整流器600沿剖面線6B-6B' 的剖面圖，且第六C圖顯示第六A圖之矽控整流器600沿剖面線6C-6C' 的剖面圖。

【0015】 第二實施例類似於第一實施例，不同的地方在於多晶矽閘26A被取代為淺溝槽隔離區（STI）26B，設於第一型井21內。相較於第一實施例，第二實施例的保持電壓與觸發電壓較小。

● **【0016】** 根據上述實施例，藉由使用各種場22F、23F及24F，使得最大電場與最大電流密度可被分離開，因而降低電流擁擠所造成的焦耳熱（joule heat）。因此，即使N+或P+區較小於傳統矽控整流器，第二崩潰的電流值卻得以保持，因而增強保持電壓。

【0017】 第七圖顯示多晶矽電阻觸發的堆疊矽控整流器的剖面圖，其係串接多個（在本例中為二個）第一實施例之矽控整流器200。雖然第七圖例示串接有二個矽控整流器，然而也可依相同方式連接更多的矽控整流器。如第七圖所示，多晶矽區71連接於第一矽控整流器701的陰極與第二矽控整流器702的陽極之間，用以觸發第二矽控整流器702。觸發電壓可根據

多晶矽區71的阻值來調整，使得保持電壓可等比於矽控整流器的數目，但不會增加觸發電壓。值得注意的是，多晶矽區71是矽控整流器內特別製造的元件，有別於傳統護環所形成或具有的寄生電阻。

【0018】第八圖顯示第七圖的替代實施例。本實施例更形成額外第一型摻雜區81，其相鄰於多晶矽閘26A，且與第二型第二場24F及第一型井21互相重疊，用以加速觸發。

【0019】矽控整流器可作為靜電放電裝置，其連接輸/出入墊至 V_{DD}/V_{SS} 端，或作為積體電路 V_{DD} 與 V_{SS} 之間靜電放電的電源箝制。為了加速矽控整流器的觸發，矽控整流器的觸發電壓（ V_t ）必須愈小愈好。當導通時，矽控整流器的阻抗從高變為低，使得矽控整流器的跨壓變小。為了避免 V_{DD} 與 V_{SS} 之間的閃鎖，矽控整流器的保持電壓（ V_h ）必須愈大愈好。因此，觸發電壓與保持電壓之間的距離（亦即， $V_t - V_h$ ），通常稱為靜電放電設計視窗（第一圖），必須愈小愈好。

【0020】第九圖顯示靜電放電箝制電路900，其堆疊二個矽控整流器，亦即，第一矽控整流器SCR1與第二矽控整流器SCR2。靜電放電箝制電路900還包含分路（shunt）電阻R2，並聯於第二矽控整流器SCR2。實務上，第一矽控整流器SCR1必須符合基本要求 $V_{BD} > 1.2V_{DD}$ （ V_{BD} 為崩潰電壓且 V_{DD} 為電源），使得在正常操作（亦即，非靜電放電事件）下得以維持低漏電。適用於該基本要求的矽控整流器可為橫向矽控整流器（LSCR）、修改型橫向矽控整流器（MLSCR）及低壓觸發矽控整流器（LVTSCR）。該些矽控整流器的細節可參考柯明道於“電子電路與系統（Electronics, Circuits and Systems）”，IEEE（美國電機電子工程師學會）1998，所提出的“使用

橫向矽控整流器於互補型金屬氧化物半導體積體電路的靜電放電保護：概述（Electrostatic Discharge Protection Circuits in CMOS IC's Using the Lateral SCR Devices: An Overview）”。

【0021】於第一矽控整流器導通後，為了確保第二矽控整流器可立即觸發，必須使用低觸發電壓的第二矽控整流器。適合的低觸發電壓的矽控整流器可為修改型橫向矽控整流器（MLSCR）及低壓觸發矽控整流器（LVTSCR）。

● 【0022】當第一矽控整流器導通後，電流會流經第二矽控整流器相關的分路電阻R2。當分路電阻R2的跨壓高於第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）時，第二矽控整流器導通，且其阻抗從高變為低。因此，電流幾乎會流經第二矽控整流器。

● 【0023】若第一矽控整流器的觸發電壓（ $V_{t,SCR1}$ ）大於第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）與第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）之和，亦即， $V_{t,SCR1} > V_{h,SCR1} + V_{t,SCR2}$ ，則靜電放電箝制電路900的整體觸發電壓等於第一矽控整流器的觸發電壓（ $V_{t,SCR1}$ ）。藉此，包含有第一矽控整流器與第二矽控整流器的堆疊矽控整流器的整體觸發電壓不會超過任何一個矽控整流器的觸發電壓。

【0024】反過來說，若第一矽控整流器的觸發電壓（ $V_{t,SCR1}$ ）小於第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）與第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）之和，亦即， $V_{t,SCR1} < V_{h,SCR1} + V_{t,SCR2}$ ，則靜電放電箝制電路900的整體觸發電壓等於第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）與第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）之和，亦即， $V_{h,SCR1} + V_{t,SCR2}$ 。

【0025】第十圖顯示靜電放電箝制電路1000，其堆疊三個矽控整流器，亦即，第一矽控整流器SCR1、第二矽控整流器SCR2與第三矽控整流器SCR3。靜電放電箝制電路1000還包含分路電阻R2，並聯於相關的第二矽控整流器SCR2；及分路電阻R3，並聯於相關的第三矽控整流器SCR3。在本實施例中，分路電阻R2大於分路電阻R3。實務上，第一矽控整流器SCR1必須符合基本要求 $V_{BD} > 1.2V_{DD}$ ，使得在正常操作（亦即，非靜電放電事件）下得以維持低漏電。

【0026】於第一矽控整流器導通後，為了確保第二矽控整流器與第三矽控整流器可依序觸發，必須使用低觸發電壓的第二矽控整流器與第三矽控整流器。適合的低觸發電壓的矽控整流器可為修改型橫向矽控整流器（MLSCR）及低壓觸發矽控整流器（LVTSCR）。

【0027】當第一矽控整流器導通後，若 $R_2 \gg R_3$ ，則第二矽控整流器的跨壓為第一矽控整流器的觸發電壓（ $V_{t,SCR1}$ ）與第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）之差，亦即， $V_{t,SCR1} - V_{h,SCR1}$ 。當此跨壓大於第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）時，第二矽控整流器導通，且其阻抗從高變為低。

【0028】當第一矽控整流器與第二矽控整流器導通後，第三矽控整流器的跨壓為 $V_{ac} - V_{h,SCR1} - V_{h,SCR2}$ 。當此跨壓大於第三矽控整流器的觸發電壓（ $V_{t,SCR3}$ ）時，第三矽控整流器導通，且其阻抗從高變為低。靜電放電箝制電路1000的整體觸發電壓等於第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）、第二矽控整流器的保持電壓（ $V_{h,SCR2}$ ）與第三矽控整流器的觸發電壓（ $V_{t,SCR3}$ ）之和，亦即， $V_{h,SCR1} + V_{h,SCR2} + V_{t,SCR3}$ 。

【0029】第十一圖顯示靜電放電箝制電路1100，其堆疊四個矽控整流器，亦即，第一矽控整流器SCR1、第二矽控整流器SCR2、第三矽控整流器SCR3與第四矽控整流器SCR4。靜電放電箝制電路1100還包含分路電阻R2，並聯於相關的第三矽控整流器SCR3；分路電阻R3，並聯於相關的第四矽控整流器SCR4；及分路電阻R4，並聯於相關的第四矽控整流器SCR4。在本實施例中，分路電阻的關係符合 $R_2 > R_3 + R_4$ 且 $R_3 > R_4$ 。實務上，第一矽控整流器SCR1必須符合基本要求 $V_{BD} > 1.2V_{DD}$ ，使得在正常操作（亦即，非靜電放電事件）下得以維持低漏電。

【0030】於第一矽控整流器導通後，為了確保第二矽控整流器、第三矽控整流器與第四矽控整流器可依序觸發，必須使用低觸發電壓的第二矽控整流器、第三矽控整流器與第四矽控整流器。適合的低觸發電壓的矽控整流器可為修改型橫向矽控整流器（MLSCR）及低壓觸發矽控整流器（LVTSCR）。

【0031】當第一矽控整流器導通後，若 $R_2 \gg R_3 + R_4$ ，則第二矽控整流器的跨壓為第一矽控整流器的觸發電壓（ $V_{t,SCR1}$ ）與第一矽控整流器的保持電壓（ $V_{h,SCR1}$ ）之差，亦即， $V_{t,SCR1} - V_{h,SCR1}$ 。當此跨壓大於第二矽控整流器的觸發電壓（ $V_{t,SCR2}$ ）時，第二矽控整流器導通，且其阻抗從高變為低。

【0032】當第一矽控整流器與第二矽控整流器導通後，若 $R_3 > R_4$ ，當第三矽控整流器的跨壓大於第三矽控整流器的觸發電壓（ $V_{t,SCR3}$ ）時，第三矽控整流器導通，且其阻抗從高變為低。

【0033】當第一矽控整流器、第二矽控整流器與第三矽控整流器導通後，第四矽控整流器的跨壓為 $V_{ac} - V_{h,SCR1} - V_{h,SCR2} - V_{t,SCR4}$ 。當此跨壓大於第四

矽控整流器的觸發電壓 ($V_{t.SCR4}$) 時，第四矽控整流器導通，且其阻抗從高變為低。靜電放電箝制電路1100的整體觸發電壓等於第一矽控整流器的保持電壓 ($V_{h.SCR1}$)、第二矽控整流器的保持電壓 ($V_{h.SCR2}$)、第三矽控整流器的保持電壓 ($V_{h.SCR3}$) 與第四矽控整流器的觸發電壓 ($V_{t.SCR4}$) 之和，亦即， $V_{h.SCR1}+V_{h.SCR2}+V_{h.SCR3}+V_{t.SCR4}$ 。

【0034】一般來說，靜電放電箝制電路可堆疊 n 個矽控整流器，依序為第一矽控整流器至第 n 矽控整流器。組成靜電放電箝制電路的矽控整流器可為第二A圖至第六C圖所述的矽控整流器，也可為其他矽控整流器。靜電放電箝制電路還包含 $(n-1)$ 個分路電阻，分別並聯於相關的 $(n-1)$ 個矽控整流器，亦即第二矽控整流器至第 n 矽控整流器。

【0035】為了確保 n 個矽控整流器可從第一矽控整流器至第 n 矽控整流器依序觸發，從第二矽控整流器至第 n 矽控整流器的相關分路電阻的阻抗呈單調遞減。

【0036】對於一給定序號之分路電阻，其阻抗需大於所有大於該給定序號之分路電阻的阻抗和。以第十一圖為例， $R_2 > R_3 + R_4$ 。

【0037】以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【符號說明】

200	矽控整流器
200A	單元晶胞

200B	單元晶胞
600	矽控整流器
701	第一矽控整流器
702	第二矽控整流器
900	靜電放電箝制電路
1000	靜電放電箝制電路
1100	靜電放電箝制電路
21	第一型井
22F	第一型場
22D	連續第一型摻雜區
23F	第二型第一場
23D	分段第二型摻雜區
24F	第二型第二場
24D	分段第一型摻雜區
24E	連續第二型摻雜區
25	隔離區
26A	多晶矽閘
26B	淺溝槽隔離區
71	多晶矽區
81	額外第一型摻雜區
I	電流
V	電壓

V_{dd}	額定裝置電壓
V_{ddmax}	最大額定裝置電壓
V_{safe}	安全電壓
$V_{breakdown}$	崩潰電壓
PF	P型場
NF	N型場
P+	P型摻雜
P-	P型輕摻雜
N+	N型摻雜
N-	N型輕摻雜
STI	淺溝槽隔離區
SCR1	第一矽控整流器
SCR2	第二矽控整流器
SCR3	第三矽控整流器
SCR4	第四矽控整流器
R2	分路電阻
R3	分路電阻
R4	分路電阻
V_{ac}	電源
V1	電壓
V2	電壓
V3	電壓

V4

電壓

【發明申請專利範圍】

【第 1 項】一種矽控整流器，包含：

第一型場、第二型第一場及第二型第二場形成於第一型井內，其中該第一型場、該第二型第一場及該第二型第二場彼此分離；

連續第一型摻雜區，形成於該第一型場內；

分段第二型摻雜區，形成於該第二型第一場內；及

分段第一型摻雜區，形成於該第二型第二場內；

其中該連續第一型摻雜區的離子劑量大於該第一型場的離子劑量，其再大於該第一型井的離子劑量；該分段第二型摻雜區的離子劑量大於該第二型第一場的離子劑量，其再大於該第一型井的離子劑量；且該分段第一型摻雜區的離子劑量大於該第二型第二場的離子劑量，其再大於該第一型井的離子劑量。

【第 2 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該第一型場、該第二型第一場及該第二型第二場於橫向依序設置。

【第 3 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該第二型第一場及該第二型第二場彼此分離。

【第 4 項】根據申請專利範圍第 1 項所述之矽控整流器，更包含多晶矽閘，形成於該第一型井上，該多晶矽閘位於該第二型第一場與該第二型第二場之間。

【第 5 項】根據申請專利範圍第 4 項所述之矽控整流器，更包含額外第一型摻雜區，其相鄰於該多晶矽閘，且與該第二型第二場及該第一型井互相重疊。

【第 6 項】根據申請專利範圍第 1 項所述之矽控整流器，更包含淺溝槽隔離區，設於該第一型井內，且位於該第二型第一場與該第二型第二場之間。

【第 7 項】根據申請專利範圍第 1 項所述之矽控整流器，更包含連續第二型摻雜區，形成於該第二型第二場內。

【第 8 項】根據申請專利範圍第 7 項所述之矽控整流器，其中該連續第二型摻雜區位於該分段第二型摻雜區與該分段第一型摻雜區之間，且連接於該分段第一型摻雜區。

【第 9 項】根據申請專利範圍第 7 項所述之矽控整流器，其中該分段第一型摻雜區位於該分段第二型摻雜區與該連續第二型摻雜區之間，且連接於該連續第二型摻雜區。

【第 10 項】根據申請專利範圍第 7 項所述之矽控整流器，其中該連續第二型摻雜區的離子劑量大於該第二型第二場的離子劑量，其再大於該第一型井的離子劑量。

【第 11 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該分段第二型摻雜區是由多個摻雜次區所組成，至少部分摻雜次區被具有相反型摻雜的其他摻雜次區所分隔。

【第 12 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該分段第一型摻雜區是由多個摻雜次區所組成，至少部分摻雜次區被具有相反型摻雜的其他摻雜次區所分隔。

【第 13 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該分段第二型摻雜區是由多個摻雜次區所組成，至少部分摻雜次區被具有相同型摻雜的輕摻雜次區所分隔。

【第 14 項】根據申請專利範圍第 1 項所述之矽控整流器，其中該分段第一型摻雜區是由多個摻雜次區所組成，至少部分摻雜次區被具有相同型摻雜的輕摻雜次區所分隔。

【第 15 項】根據申請專利範圍第 1 項所述之矽控整流器，其串接二個該矽控整流器，且多晶矽區連接於第一矽控整流器的陰極與第二矽控整流器的陽極之間，用以觸發第二矽控整流器。

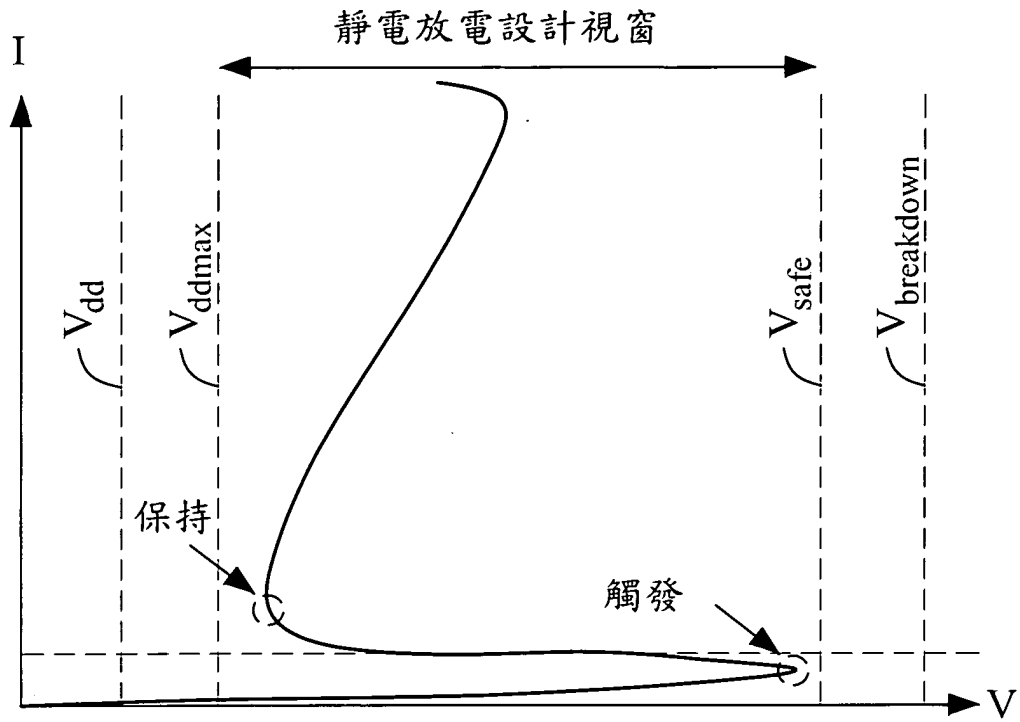
【第 16 項】一種靜電放電箝制電路，包含：

堆疊 n 個矽控整流器，依序為第一矽控整流器至第 n 矽控整流器；及 $(n-1)$ 個分路電阻，分別並聯於相關的 $(n-1)$ 個矽控整流器，其為第二矽控整流器至第 n 矽控整流器；

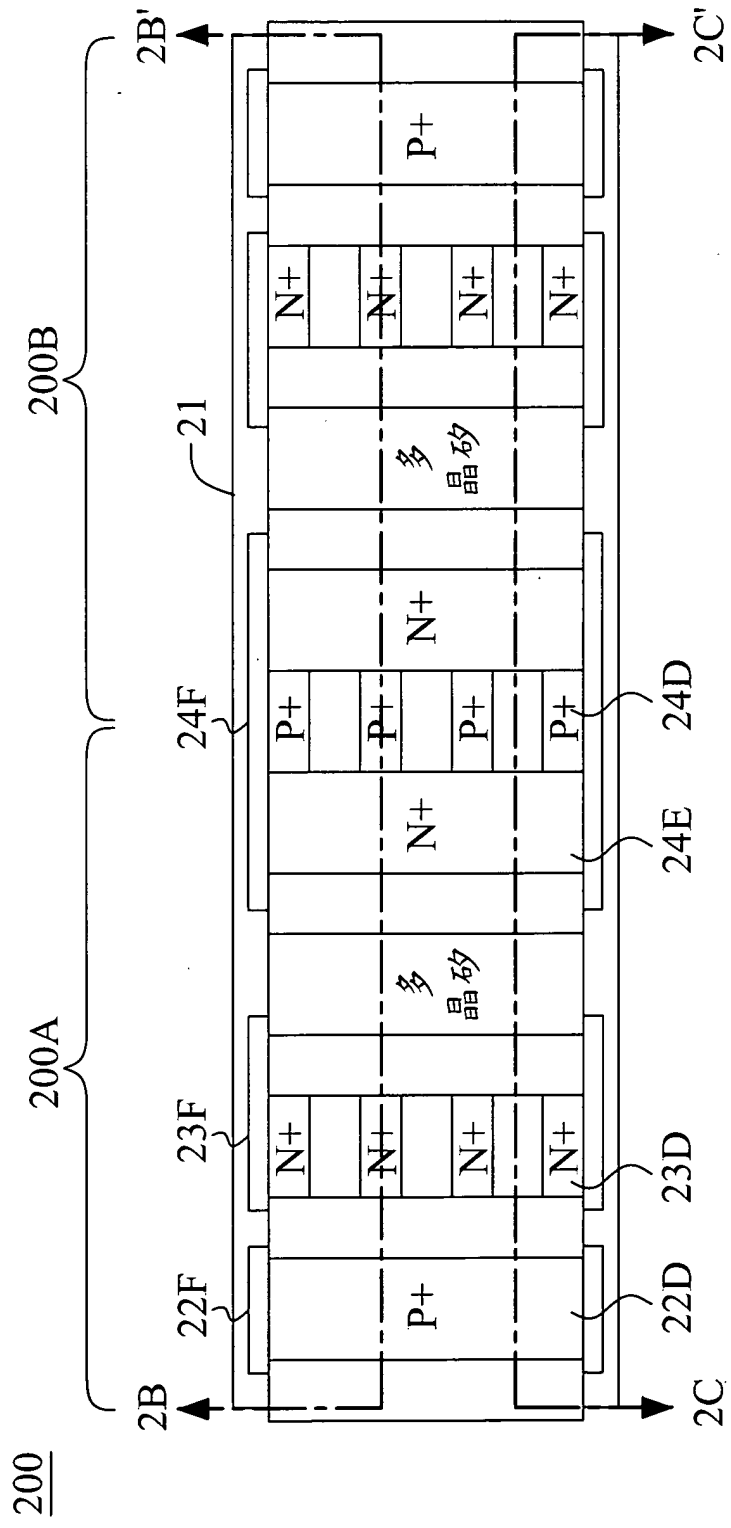
從第二矽控整流器至第 n 矽控整流器的 $(n-1)$ 個相關分路電阻的阻抗呈單調遞減。

【第 17 項】根據申請專利範圍第 16 項所述之靜電放電箝制電路，對於一給定序號之分路電阻，其阻抗需大於所有大於該給定序號之分路電阻的阻抗和。

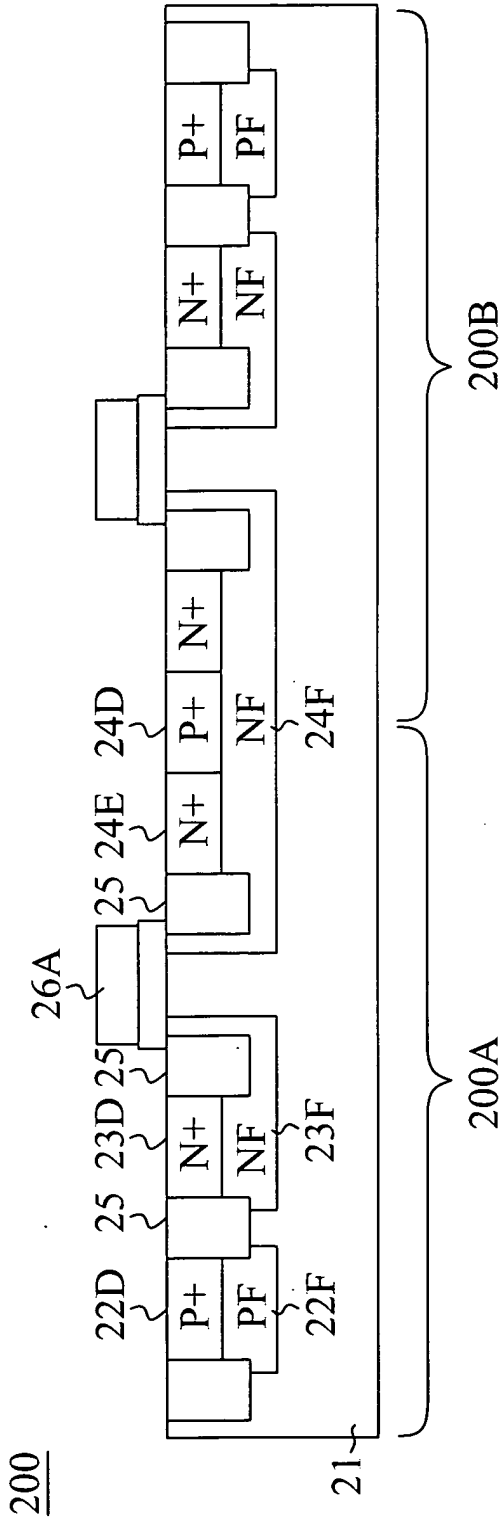
【發明圖式】



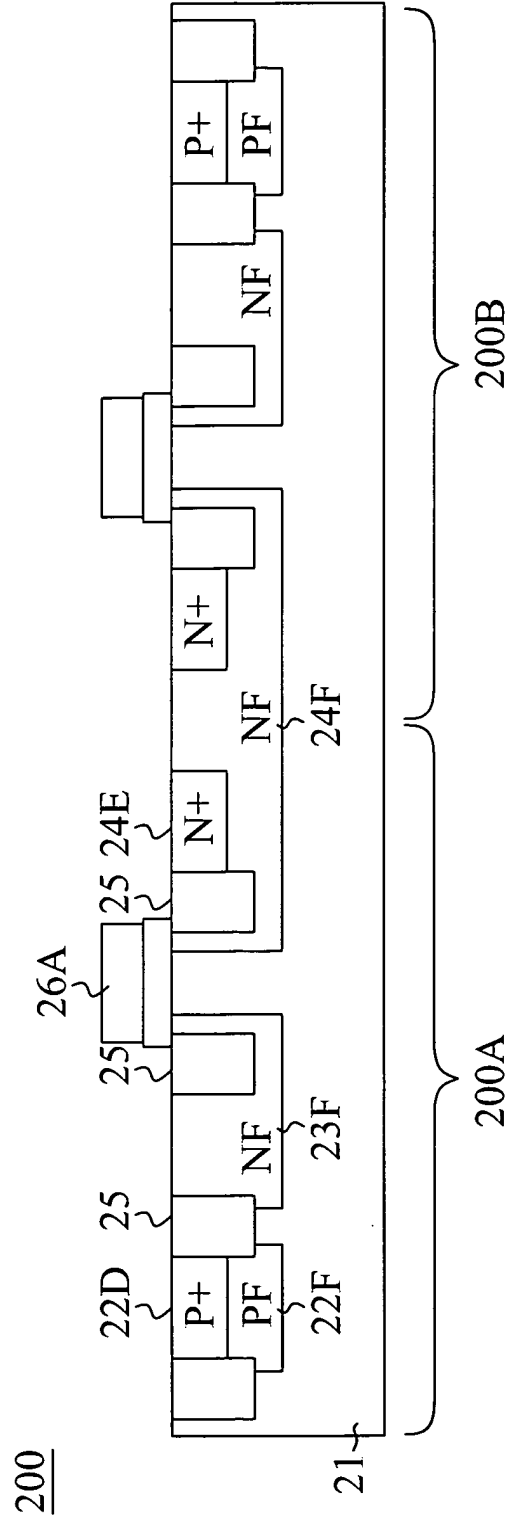
第一圖



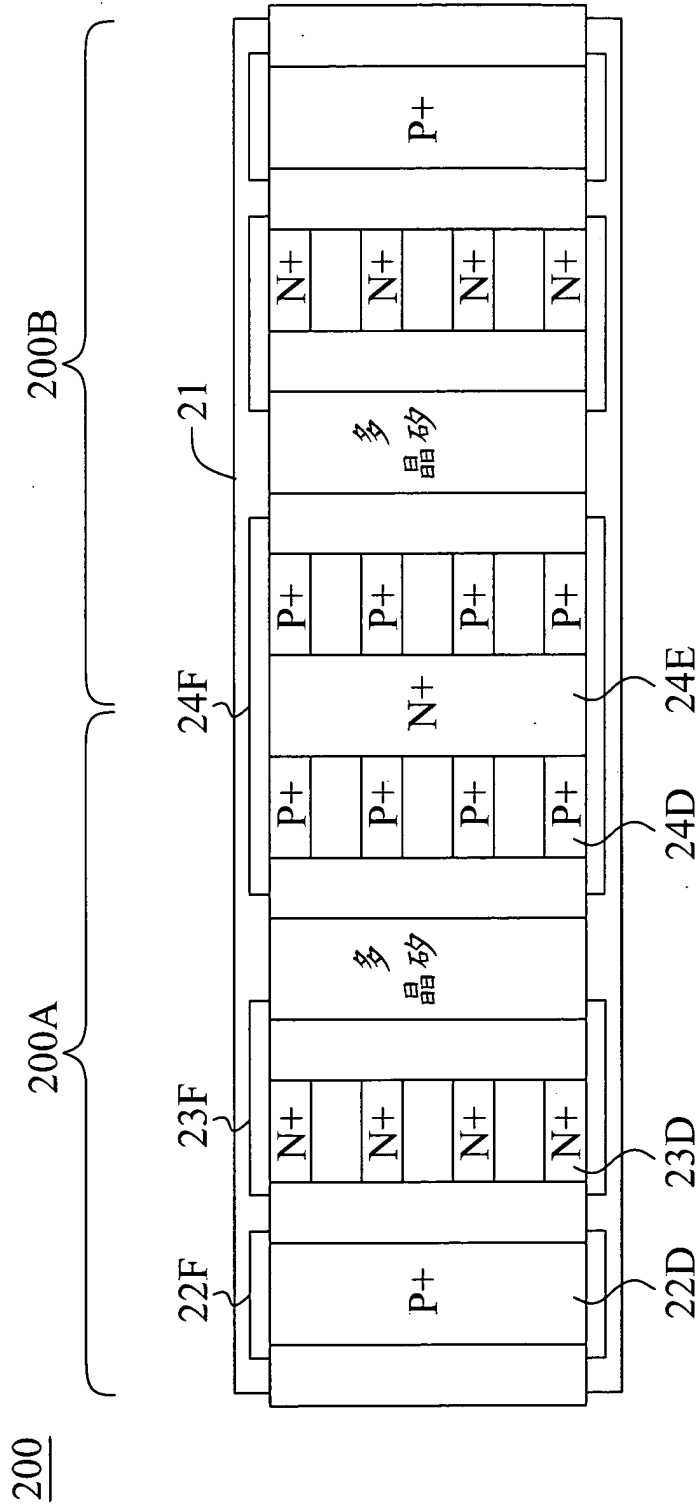
第二A圖



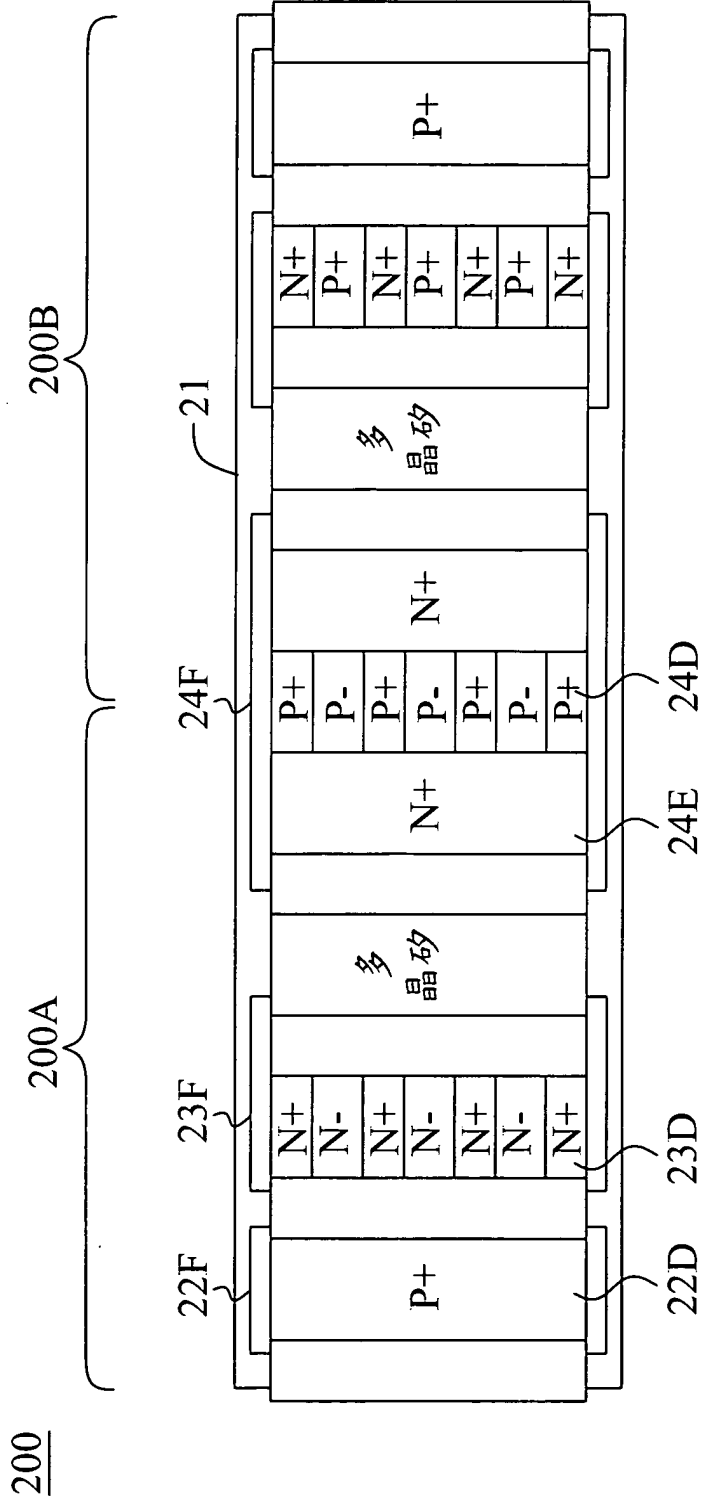
第二B圖



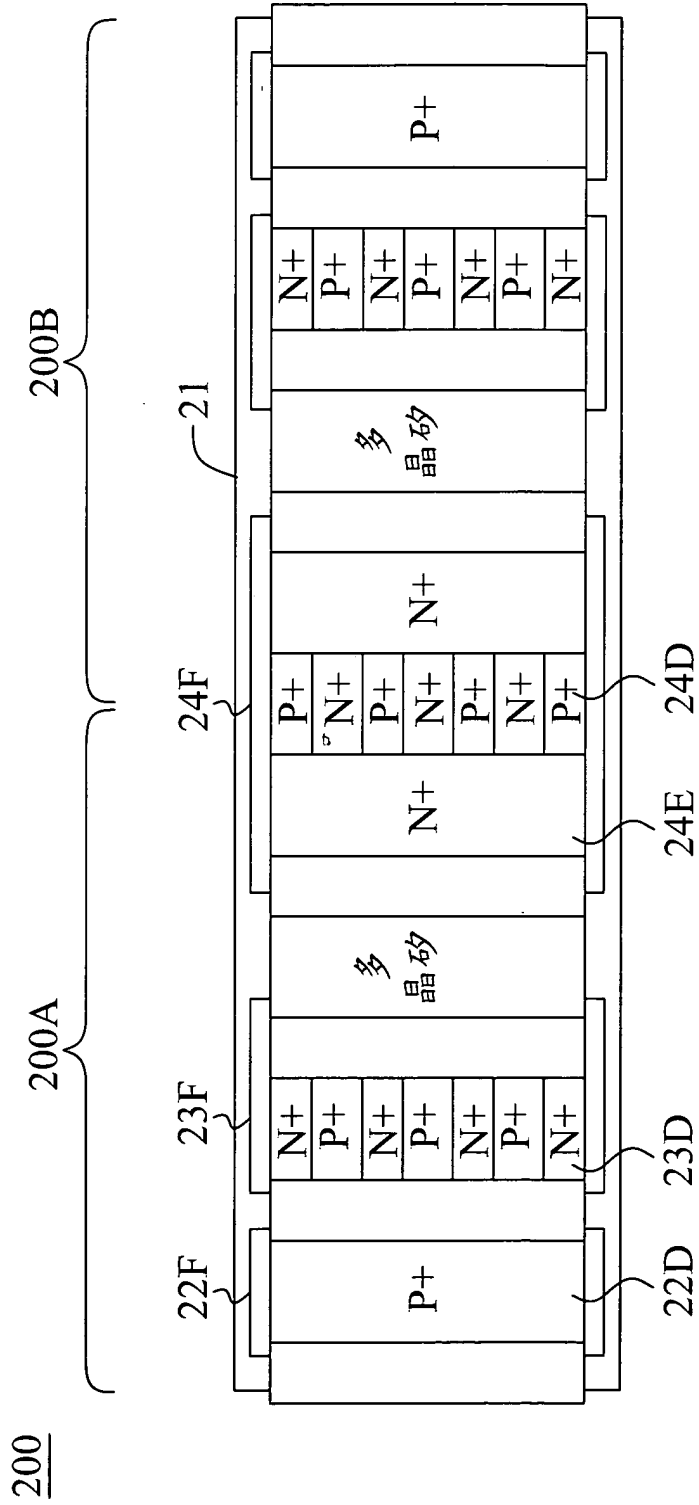
第二C圖



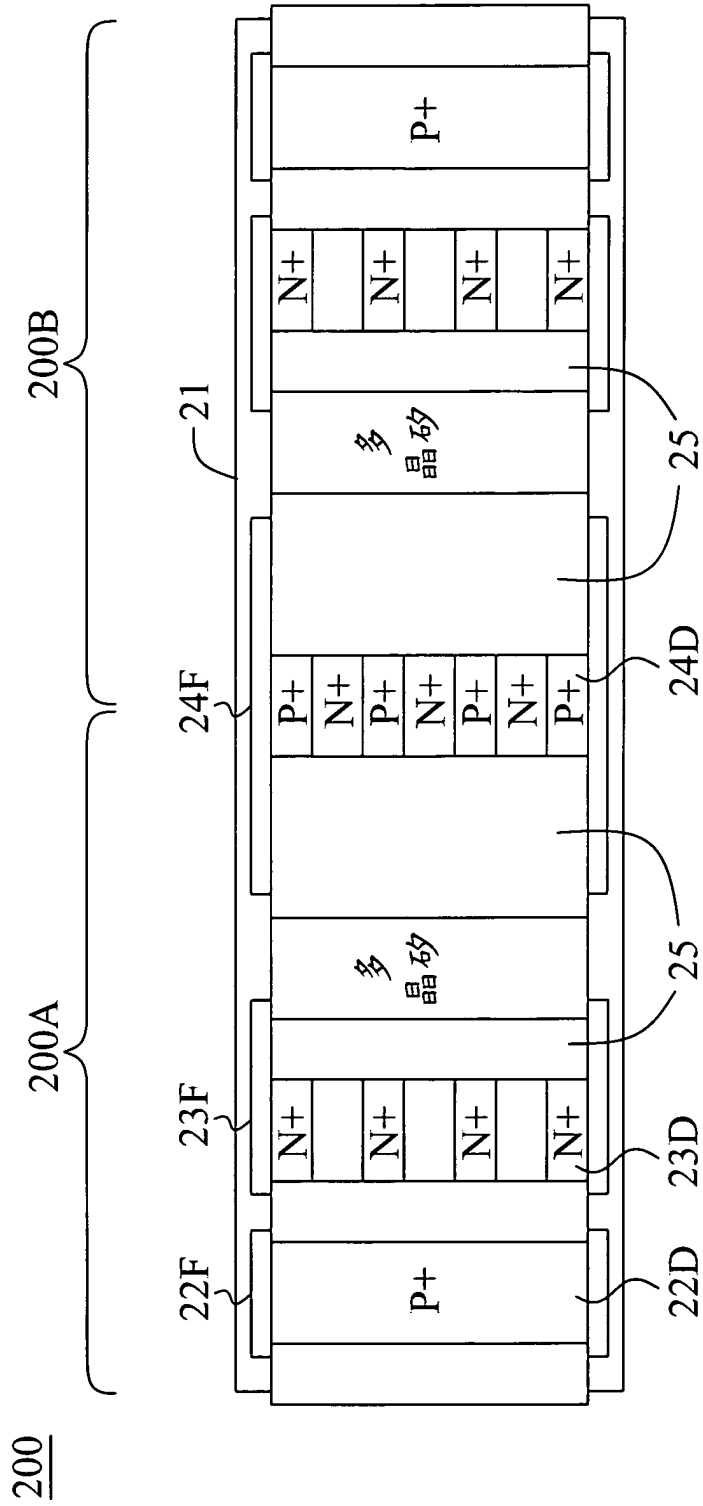
第三圖



第四A圖

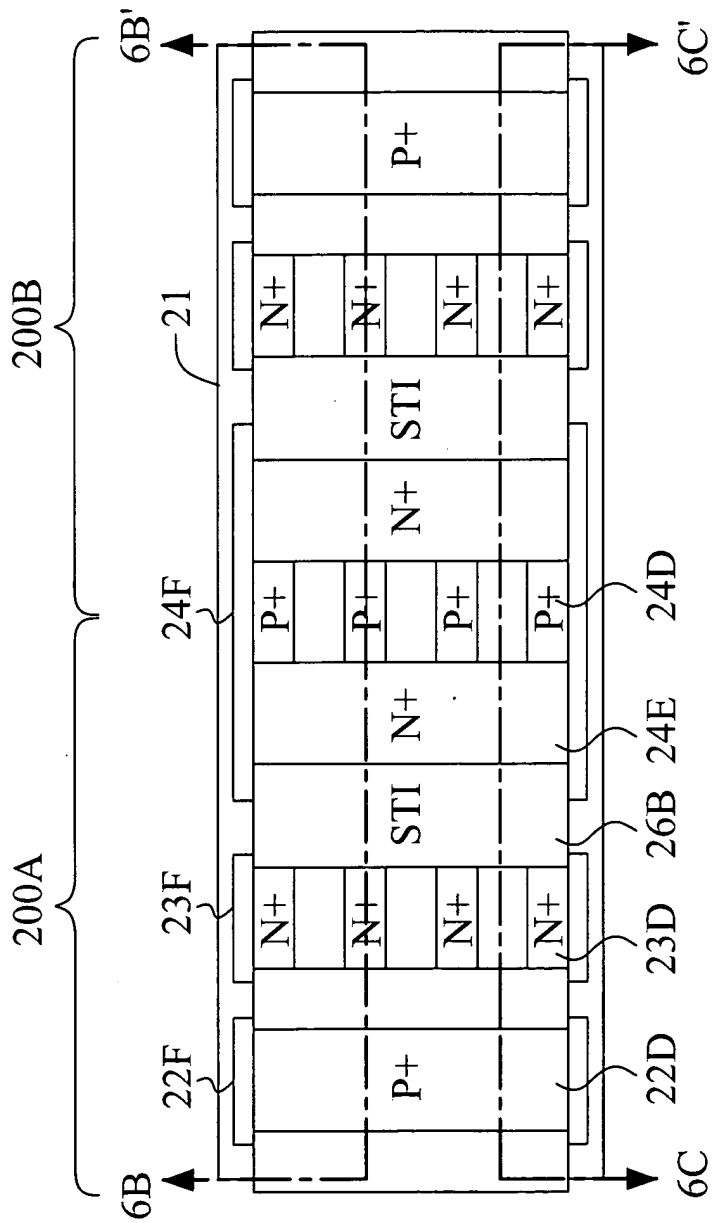


第四B圖

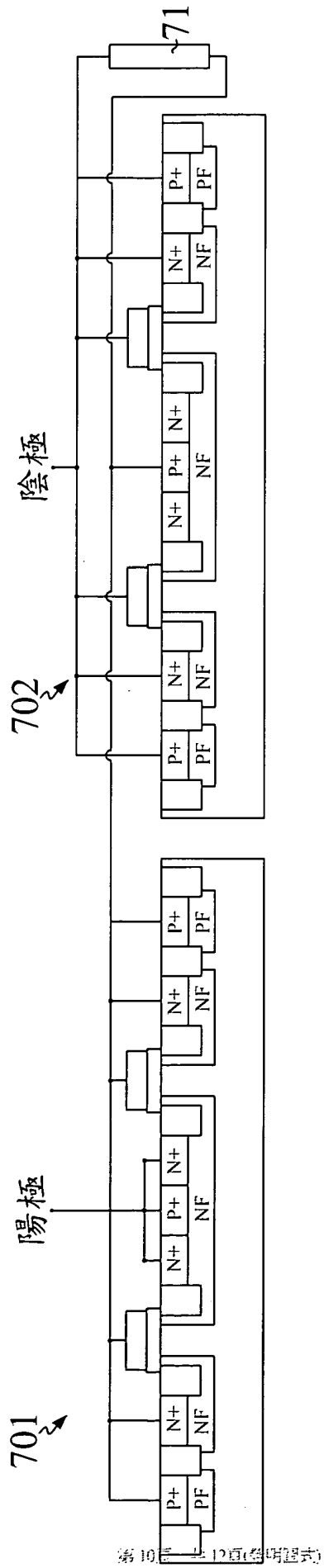


第五圖

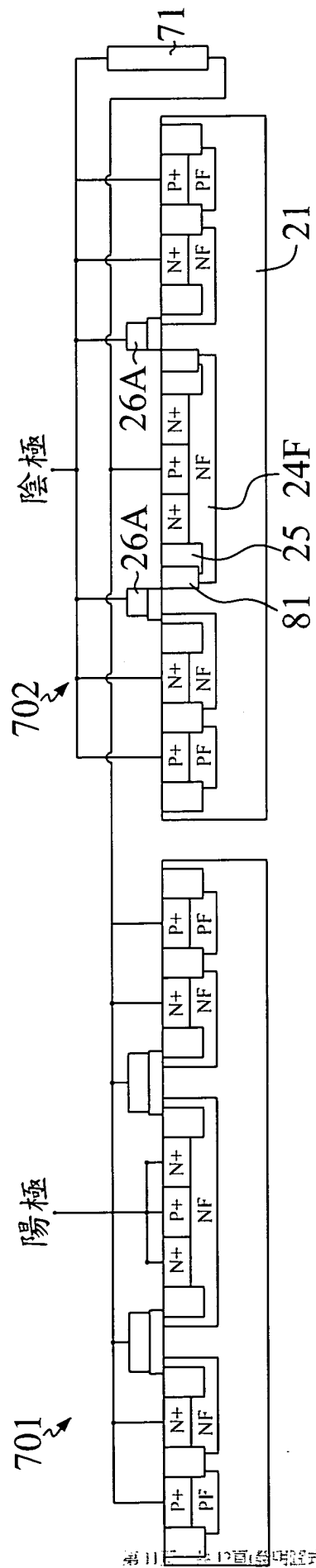
600



第六A圖

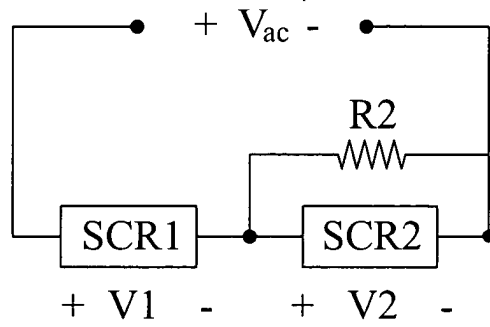


第七圖



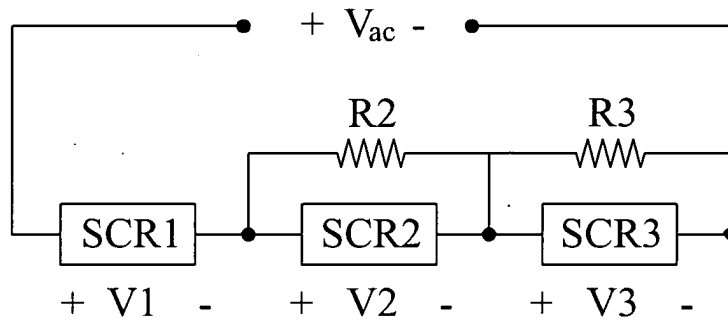
第八圖

900



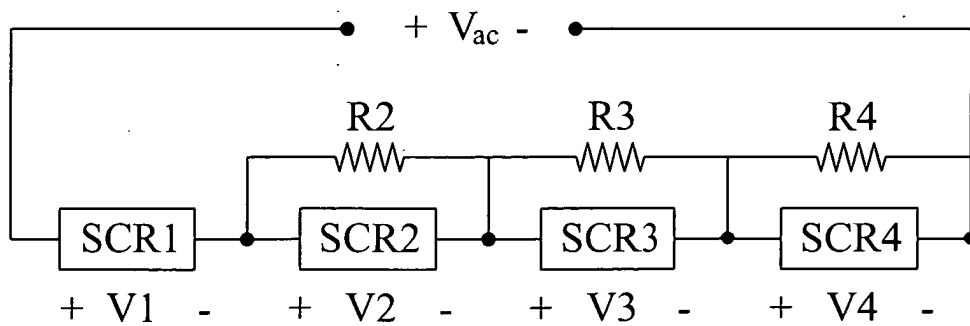
第九圖

1000



第十圖

1100



第十一圖

第12頁，共12頁(發明詳式)