



(21)申請案號：104139841

(22)申請日：中華民國 104 (2015) 年 11 月 30 日

(51)Int. Cl.：

H01L23/482 (2006.01)

H01L21/768 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；邱韋嵐 CHIU, WEI-LAN (TW)；呂佳凌 LU, JIA-LING (TW)

(74)代理人：葉璟宗；卓俊傑

申請實體審查：有 申請專利範圍項數：12 項 圖式數：11 共 23 頁

(54)名稱

線路結構及其製備方法

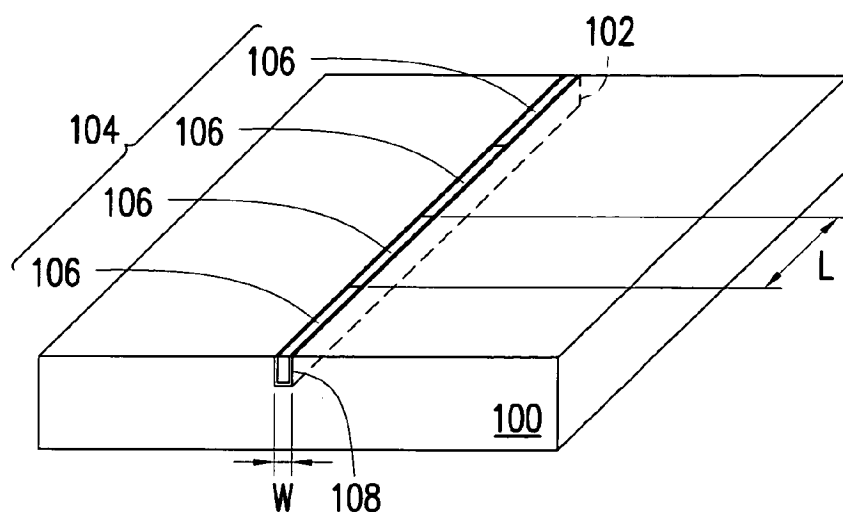
CIRCUIT STRUCTURE AND METHOD OF FABRICATING THE SAME

(57)摘要

一種線路結構及其製備方法。所述線路結構包括基板與形成在基板溝渠內的銅導線，其中銅導線是由數個晶粒兩兩連接而成。所述銅導線之表面面積的 20% 以上所含的晶粒均滿足每一晶粒的長度與線寬比在 5 以上，因此可使銅導線具有較低的電阻率以及良好的抗電遷移的特性。

A circuit structure and a method of fabricating the same are provided. The circuit structure includes a substrate and a copper line formed in a trench of the substrate, wherein the copper line consists of grains and each two of the grains are connected. The grains within a range of more than 20% of a surface area of the copper line are satisfied that a ration of the length of each grain to line width is above 5, and thus the copper line may possess a lower resistivity and high electromigration resistance.

指定代表圖：



符號簡單說明：

100 . . . 基板

102 . . . 溝渠

104 . . . 銅導線

106 . . . 晶粒

108 . . . 擴散阻障層

L . . . 晶粒的長度

W . . . 線寬

【圖1】



申請日: 104. 11. 30

201719836

【發明摘要】

IPC分類: H01L 23/482(2006.01)
H01L 21/68(2006.01)

【中文發明名稱】線路結構及其製備方法

【英文發明名稱】CIRCUIT STRUCTURE AND METHOD OF

FABRICATING THE SAME

【中文】一種線路結構及其製備方法。所述線路結構包括基板與形成在基板溝渠內的銅導線，其中銅導線是由數個晶粒兩兩連接而成。所述銅導線之表面面積的20%以上所含的晶粒均滿足每一晶粒的長度與線寬比在5以上，因此可使銅導線具有較低的電阻率以及良好的抗電遷移的特性。

【英文】A circuit structure and a method of fabricating the same are provided. The circuit structure includes a substrate and a copper line formed in a trench of the substrate, wherein the copper line consists of grains and each two of the grains are connected. The grains within a range of more than 20% of a surface area of the copper line are satisfied that a ration of the length of each grain to line width is above 5, and thus the copper line may possess a lower resistivity and high electromigration resistance.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：基板

102：溝渠

104：銅導線

106：晶粒

108：擴散阻障層

L：晶粒的長度

W：線寬

【發明說明書】

【中文發明名稱】線路結構及其製備方法

【英文發明名稱】CIRCUIT STRUCTURE AND METHOD OF
FABRICATING THE SAME

【技術領域】

【0001】本發明是有關於一種銅導線技術，且特別是有關於一種線路結構及其製備方法。

【先前技術】

【0002】隨著半導體技術的演進，奈米世代的線寬已經縮小到數十奈米以下。然而，當銅導線的寬度縮小到數十奈米以下時，因為受到溝渠內側壁的限制，電鍍完後長度方向的晶粒仍然在數十奈米大小，即使是在退火後形成一般竹節狀結構，銅晶粒平均大小仍然在數十奈米等級，在如此小的晶粒下，晶界的散射會使銅導線的電阻率提高許多，以及銅導線的電遷移將會成為元件操作上的嚴重問題。

【發明內容】

【0003】本發明提供一種線路結構，位於溝渠內的銅導線具有較低的電阻率以及良好的抗電遷移的能力，極有潛力直接應用於微電子晶圓的鑲嵌(Damascene)及雙鑲嵌(Dual damascene)導線上。

【0004】 本發明另提供一種線路結構，可提升銅導線的抗電遷移能力。

【0005】 本發明再提供一種線路結構的製備方法，能於溝渠內製備晶粒長度遠大於線寬的銅導線。

【0006】 本發明又提供一種線路結構的製備方法，能製備出具有良好的抗電遷移能力之銅導線。

【0007】 本發明的線路結構，包括基板和銅導線。基板具有至少一溝渠，而銅導線即形成於基板的溝渠內。所述銅導線是由數個晶粒兩兩連接而成，其中所述銅導線之表面面積的 20%以上所含的晶粒均滿足每一晶粒的長度與線寬比在 5 以上。

【0008】 在本發明的一實施例中，上述線寬在 5 nm~60 μm 之間。

【0009】 在本發明的一實施例中，上述線寬在 5 nm~50 nm 之間。

【0010】 在本發明的一實施例中，上述線路結構還可包括一擴散阻障層，位於溝渠與銅導線之間。

【0011】 本發明的另一線路結構，包括基板和銅導線。銅導線形成在基板上，且所述銅導線是由數個晶粒兩兩連接而成，其中所述銅導線之表面面積的 20%以上所含的晶粒均滿足每一晶粒的長度與線寬比在 5 以上。

【0012】 在本發明的另一實施例中，上述線寬在 5 nm~30 μm 之間。

【0013】 在本發明的另一實施例中，上述線寬在 5 nm~50 nm 之間。

【0014】 在本發明的另一實施例中，上述線路結構還可包括一擴散阻障層，位於基板與銅導線之間。

【0015】本發明的線路結構的製備方法包括在一基板中形成至少一溝渠，再於基板上形成一奈米雙晶銅膜，並使奈米雙晶銅膜填入溝渠內。隨後進行熱處理，在溝渠上方的(111)奈米雙晶銅會消失並成長變成大晶粒，並使填入溝渠內的奈米雙晶銅膜晶粒在長度方向成長，然後去除上述溝渠以外的奈米雙晶銅膜，而形成銅導線。

【0016】在本發明的再一實施例中，在形成上述奈米雙晶銅膜之前還可先在溝渠內形成一擴散阻障層。

【0017】本發明的另一線路結構的製備方法包括在一基板上形成一圖案化罩幕層，其中圖案化罩幕層具有至少一溝渠，再於圖案化罩幕層上形成一奈米雙晶銅膜，並使奈米雙晶銅膜填入溝渠內而形成一銅導線。隨後將圖案化罩幕層移除，再進行熱處理，使銅導線晶粒成長。

【0018】在本發明的又一實施例中，在形成上述圖案化罩幕層之前還可先在基板表面依序形成一擴散阻障及一銅晶種層。

【0019】基於上述，本發明藉由先形成奈米雙晶銅再進行熱處理的方式，即可達成晶粒長度遠大於線寬的銅導線，並藉此降低銅導線的電阻，使銅導線具有良好的抗電遷移的能力。

【0020】為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】**【0021】**

圖 1 是依照本發明的第一實施例的一種線路結構的立體示意圖。

圖 2 是依照本發明的第二實施例的一種線路結構的立體示意圖。

圖 3A 至圖 3D 是依照本發明的第三實施例的一種線路結構的製造流程橫截面示意圖。

圖 4A 至圖 4C 是依照本發明的第四實施例的一種線路結構的製造流程橫截面示意圖。

圖 5 是實驗例 1 中的奈米雙晶銅膜之橫截面之聚焦離子束影像圖(Focused ion beam, FIB)圖。

圖 6 是實驗例 1 中的奈米雙晶銅膜晶熱處理後之 FIB 影像圖。

圖 7 是實驗例 1 中的銅導線之平面穿透式電子影像圖。

圖 8 是實驗例 2 中的銅導線之平面 FIB 影像圖。

圖 9 是實驗例 3 中的銅導線之平面 FIB 影像圖。

圖 10 是實驗例 4 中的銅導線之平面 FIB 影像圖。

圖 11 是實驗例 5 中的銅導線之平面 FIB 影像圖。

【實施方式】

【0022】 以下將隨繪示有實施例的圖式，來更為完整地描述發明概念的示範實施例。然而，本發明仍可使用各種不同的形式來實

施，且不應該被受限於下列實施例。另外，在圖式所顯示的是各個實施例中所使用的方法、結構及/或材料的通常性特徵，因此這些圖式不應被解釋為界定或限制由實施例所涵蓋的範圍或性質。舉例來說，為了清楚起見，膜層、區域及/或結構元件的相對厚度及位置可能縮小或放大。

【0023】圖 1 是依照本發明的第一實施例的一種線路結構的立體示意圖。

【0024】在圖 1 中，第一實施例的線路結構包括基板 100，且基板 100 具有一溝渠 102，其中基板 100 例如單晶矽或其他半導體基板。雖然圖中僅顯示一個溝渠 102，但本發明並不限於此，還可依照線路設計而包括多條溝渠。而在溝渠 102 內形成有銅導線 104，其中銅導線 104 是由數個晶粒 106 兩兩連接而成，其中所述銅導線 104(從表面觀測)之表面面積的 20%以上所含的晶粒 106 均滿足每一晶粒 106 的長度 L 與線寬 W 比在 5 以上；較佳是銅導線 104 之表面面積的 30%以上所含的晶粒 106 均滿足每一晶粒 106 的長度 L 與線寬 W 比在 5 以上；更佳是銅導線 104 之表面面積的 30%以上所含的晶粒 106 均滿足每一晶粒 106 的長度 L 與線寬 W 比在 5 以上。此外，在溝渠 102 與銅導線 104 之間可設有一擴散阻障層 108，其材料例如 Ti、TiN、TaN 或其組合。在本實施例中，線寬 W 例如在 5 nm~60 μ m 之間。如應用於奈米世代的半導體製程，上述線寬 W 可在 5 nm~500 nm 之間。

【0025】圖 2 是依照本發明的第二實施例的一種線路結構的立體

示意圖。

【0026】 在圖 2 中，第二實施例的線路結構包括基板 200 和銅導線 202，其中基板 200 例如單晶矽或其他半導體基板。銅導線 202 是形成在基板 200 上，且銅導線 202 是由數個晶粒 204 兩兩連接而成，其中所述銅導線 202(從表面觀測)之表面面積的 20%以上所含的晶粒 204 均滿足每一晶粒 204 的長度 L 與線寬 W 比在 5 以上；較佳是銅導線 202(從表面觀測)之表面面積的 30%以上所含的晶粒 204 均滿足每一晶粒 204 的長度 L 與線寬 W 比在 5 以上；更佳是銅導線 202(從表面觀測)之表面面積的 40%以上所含的晶粒 204 均滿足每一晶粒 204 的長度 L 與線寬 W 比在 5 以上。雖然圖中僅顯示一條銅導線 202，但本發明並不限於此，還可依照線路設計而包括多條銅導線。而一般應用於半導體元件時，可在銅導線 202 上沉積絕緣材料或介電材料。另外，在基板 200 的表面 200a 與銅導線 202 之間還可設置一擴散阻障層 206(如 Ti 層)。在本實施例中，上述線寬 W 例如在 5 nm~30 μm 之間；如應用於奈米世代的半導體製程，線寬 W 可在 5 nm~500 nm 之間。

【0027】 圖 3A 至圖 3D 是依照本發明的第三實施例的一種線路結構的製造流程橫截面示意圖。

【0028】 請先參照圖 3A，在一基板 300 中形成一溝渠 302，其中基板 300 例如單晶矽或其他半導體基板，而形成溝渠 302 的方法例如採用微影蝕刻製程。

【0029】 然後，請參照圖 3B，可先在溝渠 302 內形成一擴散阻障

層 304，其中擴散阻障層 304 的材料例如 Ti、TiN、TaN 或其組合。之後於基板 300 上形成一奈米雙晶銅膜 306a，並使奈米雙晶銅膜 306a 填入溝渠 302 內，但若是溝渠 302 的寬度在較小的線寬奈米，則奈米雙晶銅可能無法填入。在本實施例中，奈米雙晶銅膜 306a 可利用電鍍方式實施直流電或脈衝電流沈積奈米雙晶的方式製作，且所形成的例如是具<111>優選方向的奈米雙晶銅膜。以電鍍方式為例，電鍍液例如硫酸銅(銅離子濃度約 20 g/L~60 g/L)、氯離子(濃度約 10 ppm~100 ppm)以及甲基磺酸(濃度約 80 g/L~120 g/L)，且可選擇性的添加其他介面活性劑或晶格修整劑(如 BASF Lugalvan 1 ml/L ~ 100 ml/L)。此外，電鍍液還可包含有機酸(例如甲基磺酸)或明膠等。

【0030】 隨後，請參照圖 3C，進行熱處理 308，熱處理完後，雙晶會消失，並且銅晶粒會長大而成為銅膜 306b，其晶粒長度與線寬比在 5 以上的長晶粒可以是具(100)優選方向或是無優選方向。

【0031】 在溝渠 302 上方的銅膜大多成長為大晶粒，並使填入溝渠 302 內的奈米雙晶銅膜 306a 晶粒在長度方向成長，形成較大晶粒且從銅導線(如圖 1 所示)表面觀測之表面面積的 20%以上所含的晶粒均滿足晶粒長度與線寬比在 5 以上。在本實施例中，熱處理 308 的溫度約在 200°C~450°C 之間、時間約在 0.2 小時~1 小時。

【0032】 然後，請參照圖 3D，去除溝渠 302 以外的銅膜(圖 3C 的 306b)，而形成銅導線 310。在本實施例中，去除銅膜的方法例如電解拋光或是化學機械研磨等方式。

【0033】圖 4A 至圖 4C 是依照本發明的第四實施例的一種線路結構的製造流程橫截面示意圖。

【0034】請先參照圖 4A，在一基板 400 上中形成圖案化罩幕層 402，其中圖案化罩幕層 402 具有一溝渠 404。上述基板 400 例如單晶矽或其他半導體基板，圖案化罩幕層 402 則例如光阻，所以可經由微影製程形成溝渠 404。在此步驟之前，可先在基板 400 表面依序形成一擴散阻障層 406 和一銅晶種層 408，其中擴散阻障層 406 例如 Ti 層或 TiW 層。在本圖中的銅晶種層 408 雖只位在溝渠 404 內，但銅晶種層 408 也可全面地形成在基板 400 上，並在後續製程中將不需要的部分去除即可。

【0035】然後，請參照圖 4B，在圖案化罩幕層 402 的溝渠 404 內形成一奈米雙晶銅膜 410。在本實施例中，奈米雙晶銅膜 410 可通過銅晶種層 408 利用電鍍方式實施直流電或脈衝電流沈積奈米雙晶的方式製作，並可參照第三實施例的製程，故不再贅述。

【0036】隨後，請參照圖 4C，將圖案化罩幕層 402 去除，且可同時移除(溝渠 404 以外不需要的)擴散阻障層 406 和銅晶種層 408。之後，進行熱處理 412，使奈米雙晶銅膜(圖 4B 的 410)晶粒成長，而形成較大晶粒的銅導線 414，且從銅導線 414 表面觀測之表面面積的 20%以上所含的晶粒均滿足晶粒長度與線寬比在 5 以上。在本實施例中，熱處理 412 的溫度約在 400°C~450°C 之間、時間約在 0.5 小時~1 小時。熱處理完後，雙晶會消失，並且銅晶粒會長大，晶粒長度與線寬比在 5 以上的長晶粒可以是具(100)優

選方向或是無優選方向。

【0037】 以下列舉幾個實驗例與比較例來確認本發明的功效，但本發明的範圍並不侷限於以下內容。

【0038】 <實驗例 1>

【0039】 首先，在矽晶圓中製作數個溝渠，溝渠深度約 123 nm、溝渠寬度約 65 nm。然後以濺鍍的方式在溝渠內形成 10nm 厚的 Ti 擴散阻障層。

【0040】 接著利用電鍍方式，實施直流電沈積奈米雙晶的方式，在矽晶圓上製作奈米雙晶銅，其中電解液是高純度的硫酸銅 (CuSO_4) 溶液添加合適的表面活性劑以及 40 p.p.m 氯化氫 (HCl)，並以 99.99% 高純度銅片作為陰極。直流電是以 $0.08\text{A}/\text{cm}^2$ 施以電流密度，並加入旋轉磁石以 800rpm 攪拌，電鍍出厚度約 $10\mu\text{m}$ 具 <111> 優選方向的奈米雙晶銅膜，如圖 5 所示。

【0041】 然後，經過在 400°C 熱處理 30 分鐘，使奈米雙晶消失同時並成長形成大晶粒，其直徑可達約 300 微米，如圖 6 所示。

【0042】 由於晶粒成長會使溝渠內的銅晶粒也成長，所以根據圖 7 的平面圖可觀察出晶粒長度約 480nm 且線寬約 65nm 的銅線，下方為經 TEM 明視野，選區繞射得到的繞射圖，證實圖 7 的銅線為單一晶粒的銅。

【0043】 <實驗例 2>

【0044】 根據實驗例 1 的方式製作銅導線，但矽晶圓中的溝渠寬度 $2\mu\text{m}$ ，所得結構顯示於圖 8。從圖 8 的平面圖可觀察出晶粒長度

約 36 μm 且線寬約 2 μm 的銅線。

【0045】 <實驗例 3>

【0046】 先在矽晶圓底部濺鍍厚度約 1200 nm 的鈦鎢(TiW)層作為附著層，並以 Oerlikon ClusterLine 300 (OC Oerlikon Corporation AG, Pfäffikon, Switzerland)於附著層上濺鍍 200 nm 厚的銅晶種層。然後，在其上塗佈光阻層，再以微影製程於光阻層中形成數個溝渠，溝渠寬度約 15 μm 。

【0047】 然後，利用電鍍方式，實施直流電沈積奈米雙晶的方式，在矽晶圓上溝渠內成長奈米雙晶銅。詳細方式是以高純度的硫酸銅(CuSO_4)溶液添加合適的表面活性劑以及 40 p.p.m 氯化氫(HCl)作為電解液、並以 99.99%高純度銅片作為陰極，成長奈米雙晶銅的旋轉速率為 600 r.p.m.，且電流密度為 50 mA cm^{-2} 。實驗週期為 $T_{\text{on}}=0.02 \text{ s}$ ，且 $T_{\text{off}}=1.5 \text{ s}$ 。沉積速率為 1.2 nm s^{-1} 。

【0048】 之後將光阻層、銅晶種層及鈦鎢層去除，然後在 400°C 熱處理 30 分鐘，使奈米雙晶消失並晶粒成長形成大晶粒，所得結構顯示於圖 9。從圖 9 的平面圖可觀察出晶粒長度約 520 μm 且線寬約 15 μm 的銅線。

【0049】 <實驗例 4>

【0050】 根據實驗例 3 的方式製作銅導線，但矽晶圓上的光阻層所形成的溝渠寬度為 35 μm ，所得結構顯示於圖 10。從圖 10 的平面圖可觀察出晶粒長度約 440 μm 且線寬約 35 μm 的銅線。

【0051】 <實驗例 5>

【0052】 根據實驗例 3 的方式製作銅導線，但矽晶圓上的光阻層所形成的溝渠寬度為 50 μm ，所得結構顯示於圖 11。從圖 11 的平面圖可觀察出晶粒長度約 400 μm 且線寬約 50 μm 的銅線。

【0053】 綜上所述，本發明的銅導線之晶粒長度遠大於線寬，因此能大幅降低晶界並因此使銅導線具有低的電阻率以及良好的抗電遷移的能力，特別適用於奈米世代的半導體元件。

【0054】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0055】

100、200、300、400：基板

102、302、404：溝渠

104、202、310、414：銅導線

106、204：晶粒

108、206、304、406：擴散阻障層

200a：表面

306a、410：奈米雙晶銅膜

306b：銅膜

308、412：熱處理

408：銅晶種層

L：晶粒的長度

W：線寬

【發明申請專利範圍】

【第1項】 一種線路結構，包括：

一基板，該基板具有至少一溝渠；以及

一銅導線，形成於該基板的該溝渠內，且該銅導線是由多數個晶粒兩兩連接而成，其中該銅導線之表面面積的 20%以上所含的該些晶粒均滿足每一所述晶粒的長度與線寬比在 5 以上。

【第2項】 如申請專利範圍第1項所述的線路結構，其中該線寬在 5 nm~60 μ m之間。

【第3項】 如申請專利範圍第1項所述的線路結構，其中該線寬在 5 nm~500 nm之間。

【第4項】 如申請專利範圍第1項所述的線路結構，更包括一擴散阻障層，位於該溝渠與所述銅導線之間。

【第5項】 一種線路結構，包括：

一基板；以及

一銅導線，形成於該基板上，且該銅導線是由多數個晶粒兩兩連接而成，其中該銅導線之表面面積的 20%以上所含的該些晶粒均滿足每一所述晶粒的長度與線寬比在 5 以上。

【第6項】 如申請專利範圍第5項所述的線路結構，其中該線寬在 5 nm~30 μ m之間。

【第7項】 如申請專利範圍第5項所述的線路結構，其中該線寬在 5 nm~50 nm之間。

【第8項】如申請專利範圍第5項所述的線路結構，更包括一擴散阻障層，位於該基板與所述銅導線之間。

【第9項】一種如申請專利範圍第1項所述之線路結構的製備方法，包括：

在一基板中形成至少一溝渠；

於該基板上形成一奈米雙晶銅膜，並使該奈米雙晶銅膜填入該溝渠內；

進行熱處理，在該溝渠上方的(111)奈米雙晶銅會消失且晶粒成長，並使填入該溝渠內的該奈米雙晶銅膜晶粒在長度方向成長；以及

去除該溝渠以外的該銅膜，而形成銅導線。

【第10項】如申請專利範圍第9項所述的製備方法，其中在形成該奈米雙晶銅膜之前更包括：在該溝渠內形成一擴散阻障層。

【第11項】一種如申請專利範圍第5項所述之線路結構的製備方法，包括：

在一基板上形成一圖案化罩幕層，其中該圖案化罩幕層具有至少一溝渠；

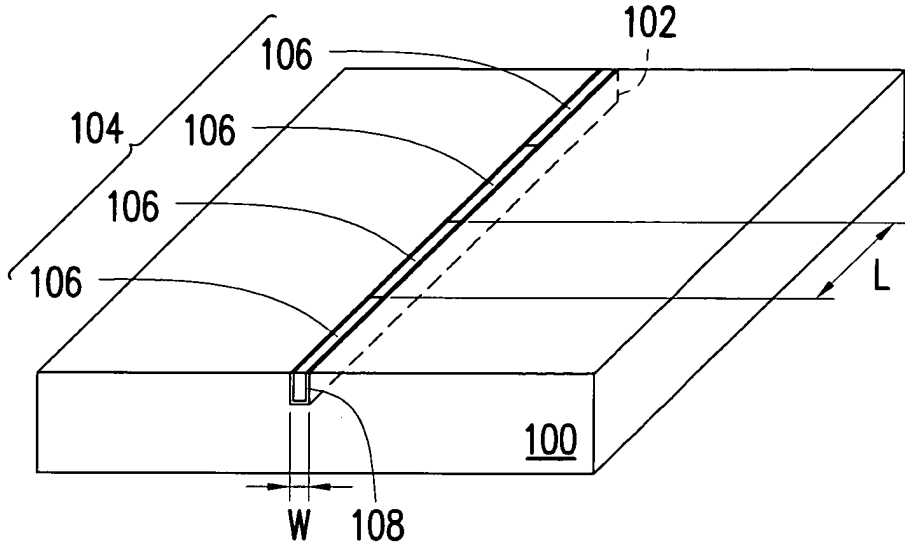
於該至少一溝渠內形成一奈米雙晶銅膜，並使該奈米雙晶銅膜填入該溝渠內；

去除該圖案化罩幕層；以及

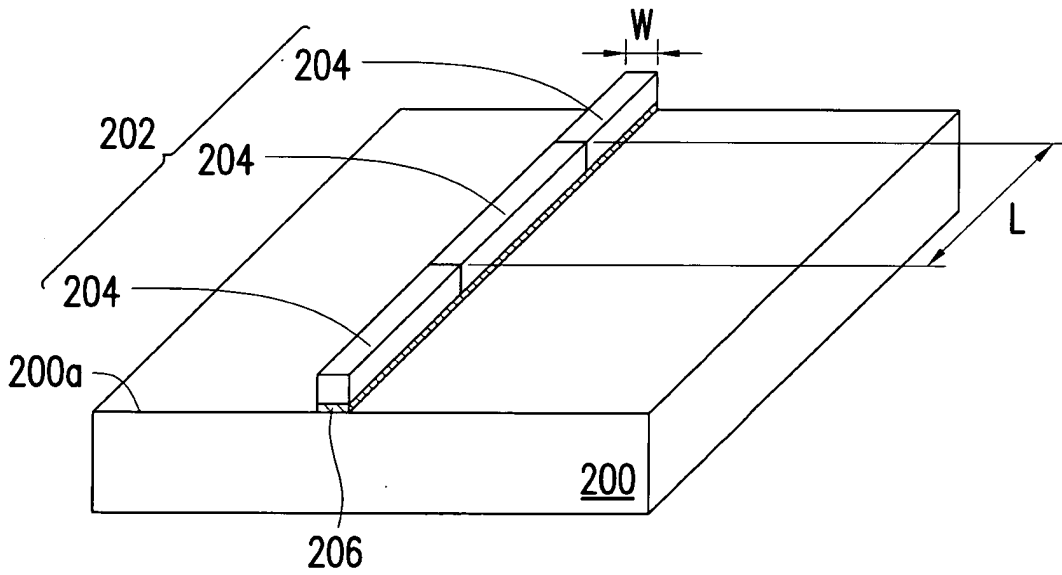
進行熱處理，使該奈米雙晶銅膜的晶粒成長，而形成銅導線。

【第12項】如申請專利範圍第11項所述的製備方法，其中在形成該圖案化罩幕層之前更包括：在該基板表面依序形成一擴散阻障層及一銅晶種層。

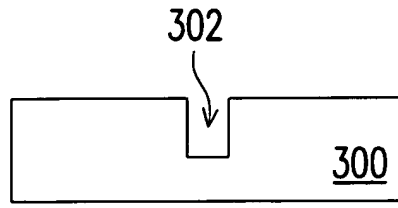
【發明圖式】



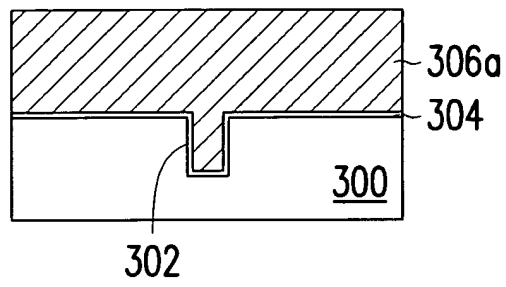
【圖1】



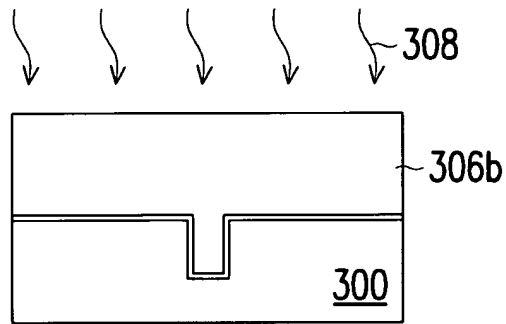
【圖2】



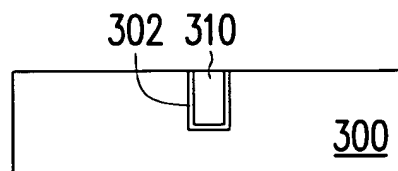
【圖3A】



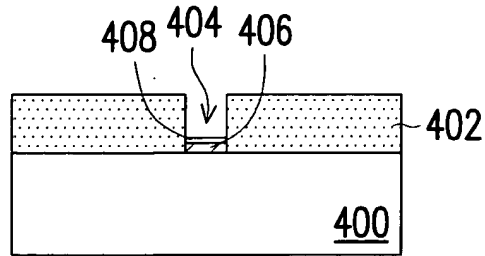
【圖3B】



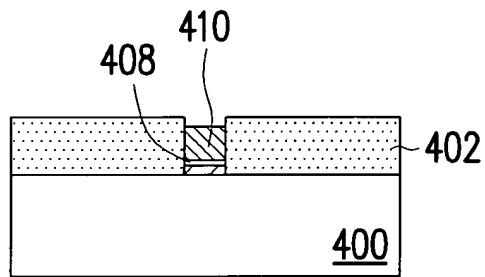
【圖3C】



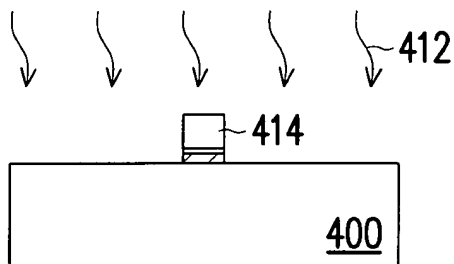
【圖3D】



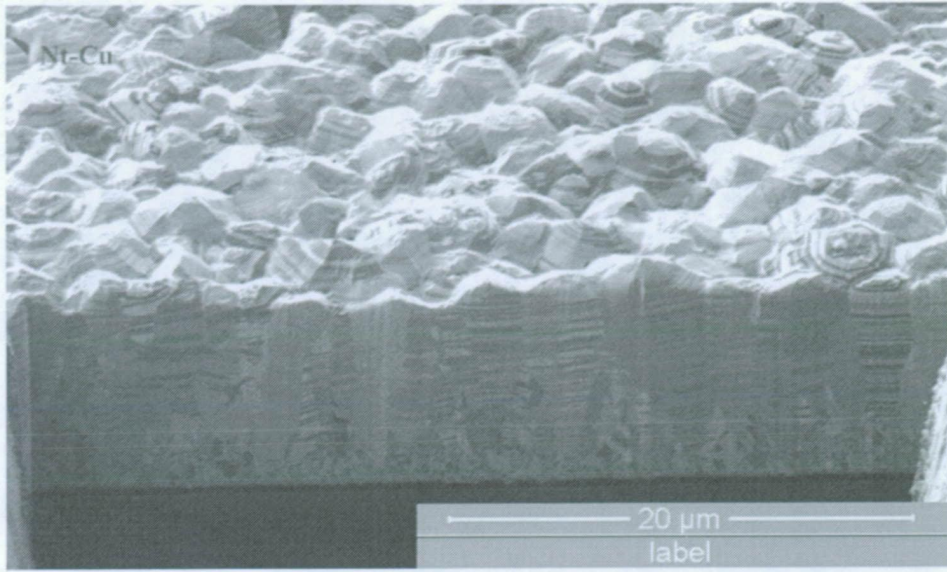
【圖4A】



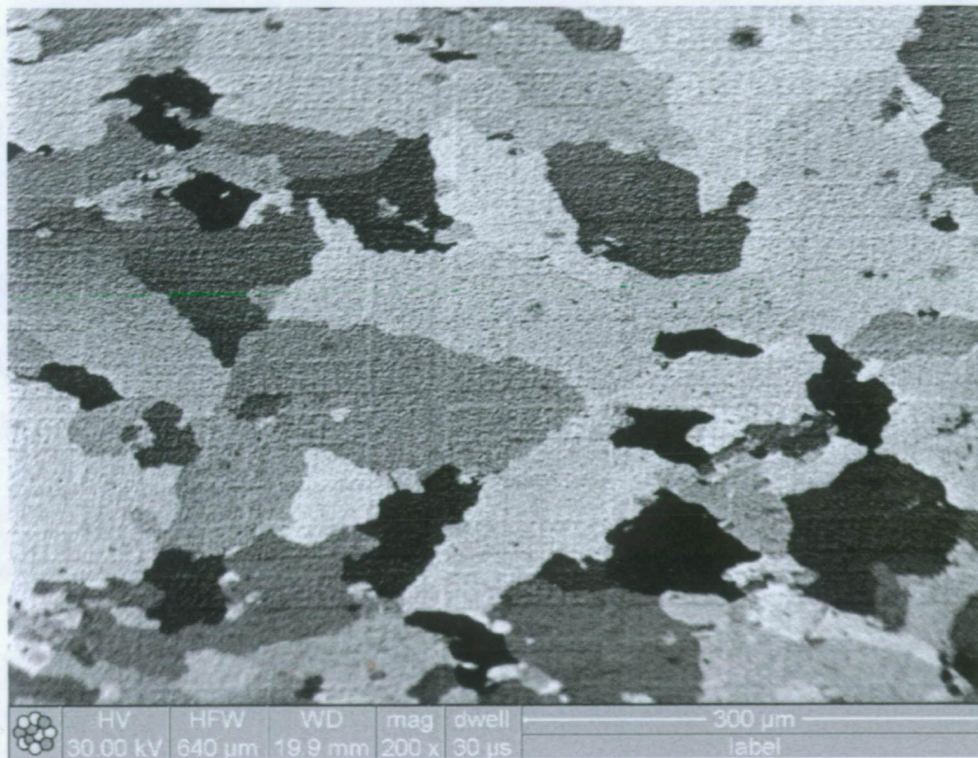
【圖4B】



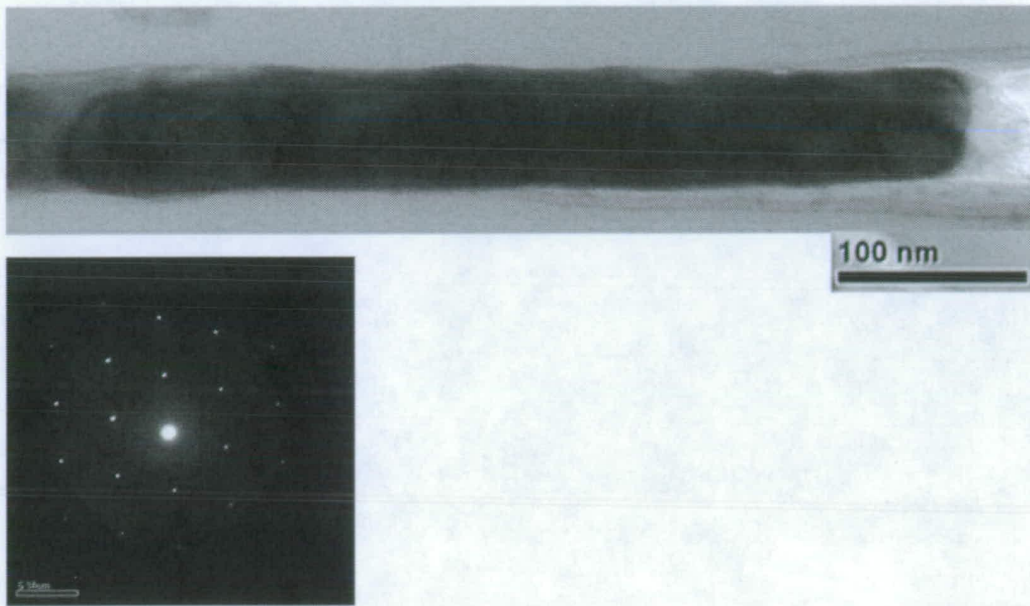
【圖4C】



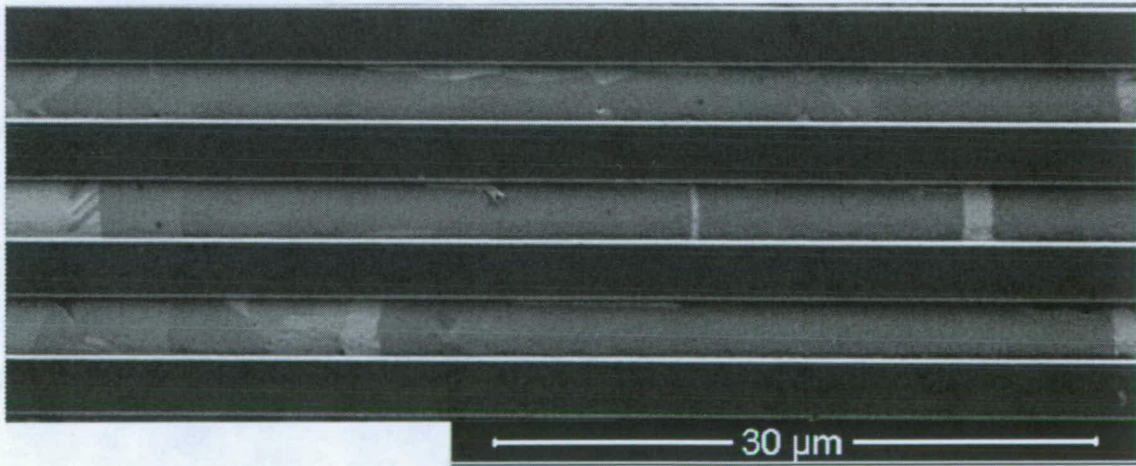
【圖5】



【圖6】



【圖7】



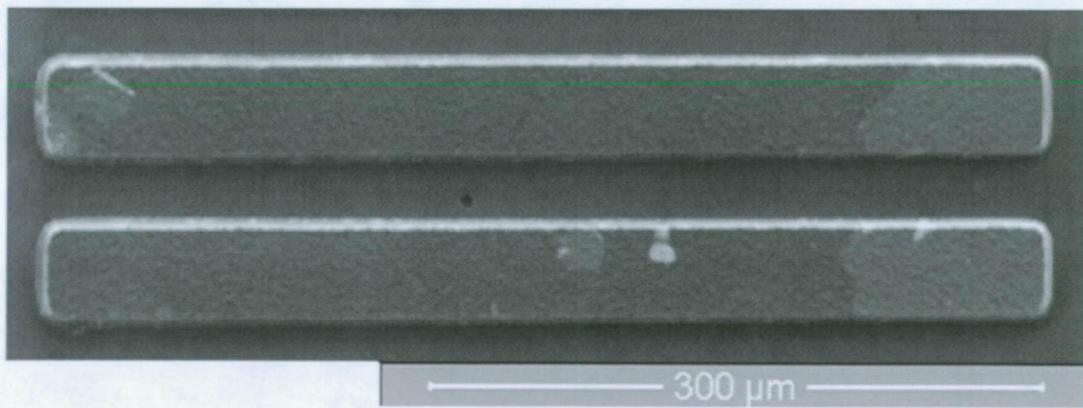
【圖8】



【圖9】



【圖10】



【圖11】