



(21) 申請案號：105102783

(22) 申請日：中華民國 105 (2016) 年 01 月 29 日

(51) Int. Cl. :

*G06F12/02 (2006.01)**G06F12/08 (2016.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳添福 CHEN, TIEN-FU (TW)；張孟凡 CHANG, MENG-FAN (TW)；楊耿豪 YANG, KENG-HAO (TW)

(74) 代理人：葉璟宗；卓俊傑

申請實體審查：有 申請專利範圍項數：18 項 圖式數：8 共 31 頁

(54) 名稱

具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法

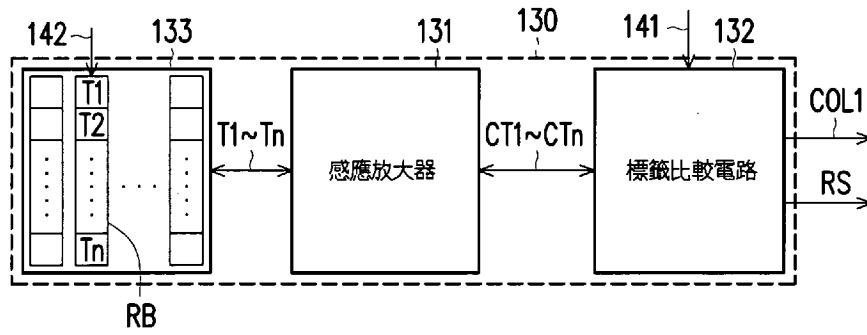
TAG MEMORY AND CACHE SYSTEM WITH AUTOMATING TAG COMPARISON MECHANISM AND CACHE METHOD THEREOF

(57) 摘要

一種具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法。快取系統中的標籤記憶體包括記憶晶胞陣列、感應放大器以及標籤比較電路。記憶晶胞陣列用以儲存多個快取標籤，且根據記憶體位址的索引而輸出此些快取標籤中的多個列標籤。感應放大器對此些列標籤進行信號放大處理以作為多個比較標籤。標籤比較電路將記憶體位址的目標標籤與各比較標籤進行並行比對。當其中一個比較標籤與目標標籤符合時，標籤比較電路輸出此符合的比較標籤的位置以作為第一行位址。第一行位址為記憶體位址對應至快取系統中的第一資料記憶體的行位址。

A tag memory and a cache system with automating tag comparison mechanism and a cache method thereof are provided. The tag memory in the cache system includes a memory cell array, sensing amplifiers and a tag comparison circuit. The memory cell array stores cache tags, and outputs row tags of the cache tags according to an index in a memory address. The sensing amplifiers perform signal amplifications on the row tags to serve as comparison tags. The tag comparison circuit performs parallel comparisons between a target tag in the memory address and the row tags. When one of the row tags matches the target tag, the tag comparison circuit output a location of the matched row tag to serve as a first column address. The first column address is a column address which the memory address corresponds to a first data memory in the cache system.

指定代表圖：



【圖2】

符號簡單說明：

130 . . . 標籤記憶體

131 . . . 感應放大器

132 . . . 標籤比較電
路133 . . . 記憶晶胞陣
列

141 . . . 目標標籤

142 . . . 索引

COL1 . . . 第一行位
址CT1~CTn . . . 比較
標籤

RB . . . 列區塊

RS . . . 比對結果

T1~Tn . . . 列標籤



201727490

【發明摘要】

申請日: 105.1.29

IPC分類:

G06F 12/62

(2006:01)

G06F 12/08

(2006:01)

【中文發明名稱】

具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法

【英文發明名稱】

TAG MEMORY AND CACHE SYSTEM WITH AUTOMATING TAG
COMPARISON MECHANISM AND CACHE METHOD THEREOF

【中文】一種具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法。快取系統中的標籤記憶體包括記憶晶胞陣列、感應放大器以及標籤比較電路。記憶晶胞陣列用以儲存多個快取標籤，且根據記憶體位址的索引而輸出此些快取標籤中的多個列標籤。感應放大器對此些列標籤進行信號放大處理以作為多個比較標籤。標籤比較電路將記憶體位址的目標標籤與各比較標籤進行並行比對。當其中一個比較標籤與目標標籤符合時，標籤比較電路輸出此符合的比較標籤的位置以作為第一行位址。第一行位址為記憶體位址對應至快取系統中的第一資料記憶體的行位址。

【英文】A tag memory and a cache system with automating tag comparison mechanism and a cache method thereof are provided. The tag memory in the cache system includes a memory cell array, sensing amplifiers and a tag comparison circuit. The memory cell array stores cache tags, and outputs row tags of the cache tags

according to an index in a memory address. The sensing amplifiers perform signal amplifications on the row tags to serve as comparison tags. The tag comparison circuit performs parallel comparisons between a target tag in the memory address and the row tags. When one of the row tags matches the target tag, the tag comparison circuit output a location of the matched row tag to serve as a first column address. The first column address is a column address which the memory address corresponds to a first data memory in the cache system.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

130：標籤記憶體

131：感應放大器

132：標籤比較電路

133：記憶晶胞陣列

141：目標標籤

142：索引

COL1：第一行位址

CT1~CTn：比較標籤

RB：列區塊

RS：比對結果

T1~Tn：列標籤

【發明說明書】

【中文發明名稱】

具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法

【英文發明名稱】

TAG MEMORY AND CACHE SYSTEM WITH AUTOMATING TAG
COMPARISON MECHANISM AND CACHE METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種快取技術，且特別是有關於一種具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法。

【先前技術】

【0002】 在計算機系統中，處理器可使用快取記憶體，以改進其資料存取效能，從而提昇計算機系統的整體效能。快取記憶體具有儲存標籤(tag)的區域以及儲存資料的區域。標籤的存取及比對是為了決定在目前的快取記憶體內是否存有所需的資料。一般來說，由於靜態隨機存取記憶體(SRAM)的存取速度快速，因此通常會採用靜態隨機存取記憶體來儲存標籤。當為了提昇計算機系統的整體效能而增加快取記憶體的容量時，標籤的儲存量也將隨之增加。然而，加大靜態隨機存取記憶體的容量(或是增加靜態隨機存取記憶體的數量)來儲存大量的標籤將會大幅增加硬體上的成本，故可採用高容量且較低成本的記憶體裝置來儲存標籤，例如

動態隨機存取記憶體(DRAM)等等。

【0003】然而，動態隨機存取記憶體之類的記憶體在接收到讀取指令及位址之後，尚需等待一段時間後方能依序地輸出所要比對的標籤，並無法同時將所要比對的標籤輸出，以致於無法對所要比對的標籤進行並行比對。如此一來，將大幅增加標籤比對的時間而降低計算機系統的整體效能。

【發明內容】

【0004】有鑑於此，本發明提供一種具備標籤自動比對機制的標籤記憶體、快取系統及其快取方法，在採用高容量且較低成本的記憶體裝置(例如各種 DRAM，但不限於此)來儲存標籤的同時，還可降低標籤的比對時間以提昇快取系統的整體效能。

【0005】本發明的標籤記憶體包括記憶晶胞陣列、多個感應放大器以及標籤比較電路。記憶晶胞陣列用以儲存多個快取標籤，其中記憶晶胞陣列接收關聯於記憶體位址的索引，且根據索引而輸出此些快取標籤中的多個列標籤。此些感應放大器耦接到記憶晶胞陣列以接收此些列標籤，且對此些列標籤進行信號放大處理以作為多個比較標籤。標籤比較電路用以接收關聯於記憶體位址的目標標籤，且耦接到此些感應放大器以接收此些比較標籤。標籤比較電路將目標標籤與此些比較標籤的每一者進行並行比對。當此些比較標籤的其中一者與目標標籤符合時，標籤比較電路輸出符合的比較標籤的位置以作為第一行位址，其中第一行位址為記

憶體位址對應至第一資料記憶體的行位址。

【0006】 在本發明的一實施例中，上述的索引對應到記憶晶胞陣列中的一列區塊，且此些列標籤儲存在此列區塊。上述的標籤比較電路包括暫存器、判斷電路以及位址決定電路。暫存器用以儲存此些比較標籤。判斷電路耦接到暫存器以接收此些比較標籤，將此些比較標籤的每一者與目標標籤進行並行比對，並據以產生比對結果。位址決定電路耦接到暫存器以接收此些比較標籤，且耦接到判斷電路以接收比對結果。當此些比較標籤的其中一者與目標標籤符合時，判斷電路輸出擊中(hit)的比對結果，且位址決定電路輸出此符合的比較標籤於上述列區塊中的位置以作為第一行位址。

【0007】 在本發明的一實施例中，上述的標籤比較電路更接收索引。索引包括上層輔助標籤，且此些比較標籤的每一者包括下層標籤以及其餘標籤。標籤比較電路將目標標籤與各此些比較標籤的下層標籤進行並行比對。若此些比較標籤的其中一者的下層標籤與目標標籤符合，標籤比較電路更判斷此符合的比較標籤中的其餘標籤與索引中的上層輔助標籤是否相符，若判斷結果為否，則標籤比較電路輸出此符合的比較標籤的位置以作為第一行位址，其中第一資料記憶體為多個層級快取的其中一級快取。

【0008】 在本發明的一實施例中，此些比較標籤的每一者更包括上層旗標。若標籤比較電路判斷此符合的比較標籤中的其餘標籤與索引中的上層輔助標籤相符，標籤比較電路更判斷此符合的比

較標籤中的上層旗標是否被設定，若此符合的比較標籤中的上層旗標未被設定，則標籤比較電路輸出此符合的比較標籤的位置以作為第一行位址。

【0009】 在本發明的一實施例中，此些比較標籤的每一者更包括路位置(way position)。若此符合的比較標籤中的上層旗標被設定，則標籤比較電路輸出此符合的比較標籤的路位置以作為第二行位址，其中第二行位址為記憶體位址對應至第二資料記憶體的行位址。第二資料記憶體為此些層級快取的其中另一級快取，且第一資料記憶體位於第二資料記憶體的下一層級。上層輔助標籤的位元長度關聯於第一資料記憶體與第二資料記憶體之間的記憶容量的差異。

【0010】 本發明的快取系統包括上述的具備標籤自動比對機制的標籤記憶體、第一資料記憶體以及處理器。處理器用以傳送記憶體位址以存取資料。標籤記憶體輸出第一行位址至第一資料記憶體，致使第一資料記憶體根據第一行位址與關聯於記憶體位址的第一列位址而對資料進行儲存或讀取動作。

【0011】 本發明的快取方法包括以下步驟。利用標籤記憶體中的記憶晶胞陣列來儲存多個快取標籤。透過處理器來提供記憶體位址。透過記憶晶胞陣列根據關聯於記憶體位址的索引來提供此些快取標籤中的多個列標籤。透過標籤記憶體中的多個感應放大器來對此些列標籤進行信號放大處理以作為多個比較標籤。透過標籤記憶體中的標籤比較電路將關聯於記憶體位址的目標標籤與此

些比較標籤的每一者進行並行比對。當此些比較標籤的其中一者與目標標籤符合時，透過標籤比較電路將此符合的比較標籤的位置作為第一行位址。透過第一資料記憶體根據第一行位址與關聯於記憶體位址的第一列位址而對資料進行儲存或讀取動作。

【0012】基於上述，本發明實施例的快取系統之標籤記憶體具備標籤自動比對的機制，特別是在採用大記憶容量快取(例如 DRAM 快取)的快取系統中，可在標籤記憶體的內部進行目標標籤與比較標籤的並行比對動作，而不是將標籤記憶體內部的比較標籤依序地輸出並依序地與目標標籤進行比對，故可大幅降低目標標籤與比較標籤的比對時間而提昇快取系統的整體效能。此外，本發明實施例的快取系統與快取方法可將多個層級快取的標籤合併以同時進行比對。如此一來，可減少快取系統的多個層級快取的標籤的比對時間。

【0013】為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0014】

圖 1 是依據本發明一實施例所繪示的快取系統。

圖 2 是圖 1 的標籤記憶體的架構示意圖。

圖 3 是圖 2 的標籤比較電路的架構示意圖。

圖 4 是依據本發明另一實施例所繪示的快取系統。

圖 5 是圖 4 的標籤記憶體的架構示意圖。

圖 6A 是依據本發明一實施例所繪示的記憶體位址基於第一資料記憶體與第二資料記憶體進行位址映射的示意圖。

圖 6B 是依據本發明一實施例所繪示的每一個快取標籤的內容示意圖。

圖 7 是一般的快取系統與圖 4 的快取系統的運作流程的對照示意圖。

圖 8 是根據本發明一實施例所繪示的快取方法的步驟流程示意圖。

【實施方式】

【0015】 現將詳細參考本發明之示範性實施例，在附圖中說明所述示範性實施例之實例。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件代表相同或類似部分。

【0016】 請同時參照圖 1 與圖 2，圖 1 是依據本發明一實施例所繪示的快取系統 100，而圖 2 是圖 1 的標籤記憶體 130 的架構示意圖。快取系統 100 可包括處理器 110、標籤記憶體 130 以及第一資料記憶體 150，但本發明並不以此為限。處理器 110 用以傳送記憶體位址 AD 以存取資料 DA，其中記憶體位址 AD 可透過處理器 110 或快取系統 100 中的一控制器(未繪示，例如為北橋晶片，但不限於此)進行位址映射(address mapping)以分割為目標標籤 141 以及索引 142。

【0017】 標籤記憶體 130 與第一資料記憶體 150 可視為快取系統 100 的多個層級快取中的其中一層快取。標籤記憶體 130 用以儲存多個快取標籤。標籤記憶體 130 可將記憶體位址 AD 中的目標標籤 141 與索引 142 所對應到的快取標籤進行並行比對，從而判斷資料 DA 是否位於第一資料記憶體 150，稍後會再進行詳細的說明。在本發明的一實施例中，第一資料記憶體 150 可採用多個動態隨機存取記憶晶胞(DRAM cell)、多個嵌入式動態隨機存取記憶晶胞(eDRAM cell)或是多個電阻式記憶晶胞(RRAM cell)等等的晶胞來實現，但本發明並不以此為限。

【0018】 以下將針對標籤記憶體 130 的架構及運作進行更詳細的說明。如圖 2 所示，標籤記憶體 130 可包括記憶晶胞陣列 133、感應放大器 131 以及標籤比較電路 132，但本發明並不以此為限。記憶晶胞陣列 133 用以儲存多個快取標籤，如圖 2 所示。記憶晶胞陣列 133 可接收關聯於記憶體位址 AD 的索引 142。記憶晶胞陣列 133 可根據索引 142 而對應到列區塊 RB，且可據以輸出此些快取標籤中儲放在列區塊 RB 中的列標籤 T1~Tn。在本發明的一實施例中，記憶晶胞陣列 133 可採用多個動態隨機存取記憶晶胞(DRAM cell)、多個嵌入式動態隨機存取記憶晶胞(eDRAM cell)或是多個電阻式記憶晶胞(RRAM cell)等等的晶胞來實現，但本發明並不以此為限。

【0019】 感應放大器 131 耦接到記憶晶胞陣列 133 以接收列標籤 T1~Tn，且可對列標籤 T1~Tn 進行信號放大處理以作為比較標籤

CT1~CTn。

【0020】 標籤比較電路 132 用以接收關聯於記憶體位址 AD 的目標標籤 141，且耦接到感應放大器 131 以接收比較標籤 CT1~CTn。標籤比較電路 132 將目標標籤 141 與每一個比較標籤 CT1~CTn 進行並行比對。當其中一個比較標籤(假設是比較標籤 CT1)與目標標籤 141 符合(match)時，表示處理器 110 要對記憶體位址 AD 進行存取的資料 DA 位於第一資料記憶體 150，故標籤比較電路 132 可輸出符合的比較標籤(比較標籤 T1)的位置以作為第一行位址(column address) COL1，其中第一行位址 COL1 為記憶體位址 AD 對應至第一資料記憶體 150 的行位址。

【0021】 更進一步來說，標籤記憶體 130 可輸出第一行位址 COL1 至第一資料記憶體 150，致使第一資料記憶體 150 根據第一行位址 COL1 與關聯於記憶體位址 AD 的第一列位址(row address)而對資料 DA 進行儲存或讀取動作。也就是說，資料 DA 將被寫入第一資料記憶體 150 的第一列位址與第一行位址 COL1 處，或是將自第一資料記憶體 150 的第一列位址與第一行位址 COL1 處讀取出來並回傳給上一層級快取或處理器 110。值得一提的是，為了降低第一資料記憶體 150 對資料 DA 的存取等待時間，在標籤記憶體 130 輸出第一行位址 COL1 至第一資料記憶體 150 之前，可先將第一資料記憶體 150 中對應於第一列位址的列資料啟動(active)。如此一來，一旦第一資料記憶體 150 接收到第一行位址 COL1，即可寫入資料 DA 或是輸出資料 DA。

【0022】特別一提的是，倘若第一資料記憶體 150 為動態隨機存取記憶體，則可根據第一資料記憶體 150 的容量大小並透過位址映射而將索引 142 分割為第一組位址(bank address)與第一列位址，致使第一資料記憶體 150 可根據第一組位址、第一列位址以及第一行位址 COL1 而對資料 DA 進行儲存或讀取動作。

【0023】以下請參照圖 3，圖 3 是圖 2 的標籤比較電路 132 的架構示意圖。標籤比較電路 132 可包括暫存器 1321、判斷電路 1323 以及位址決定電路 1325。暫存器 1321 用以儲存比較標籤 CT1~CTn。判斷電路 1323 耦接到暫存器 1321 以接收比較標籤 CT1~CTn，將每一個比較標籤 CT1~CTn 與目標標籤 141 進行並行比對，並據以產生比對結果 RS。位址決定電路 1325 耦接到暫存器 1321 以接收比較標籤 CT1~CTn，且耦接到判斷電路 1323 以接收比對結果 RS。當其中一個比較標籤(在此假設是比較標籤 CT1)與目標標籤 141 符合時，判斷電路 1323 可輸出擊中(hit)的比對結果 RS，且位址決定電路 1325 可輸出符合的比較標籤(比較標籤 CT1)於列區塊 RB 中的位置以作為第一行位址 COL1。舉例來說，假設比較標籤 CT1 存放在列區塊 RB 中的第一個位置，則位址決定電路 1325 可輸出位址值為「1」的第一行位址 COL1，但本發明並不以此為限。相對地，當每一個比較標籤 CT1~CTn 皆不符合目標標籤 141 時，則判斷電路 1323 將輸出未擊中(miss)的比對結果 RS。

【0024】需特別說明的是，本發明圖 1 實施例所示的快取系統 100，是將目標標籤 141 輸入標籤記憶體 130，並在標籤記憶體 130

的內部進行目標標籤 141 與比較標籤 CT1~CTn 的並行比對動作，而不是將標籤記憶體 130 內部比較標籤 CT1~CTn 依序輸出並依序地與目標標籤 141 進行比對，故可大幅降低目標標籤 141 與比較標籤 CT1~CTn 的比對時間而提昇快取系統 100 的整體效能。

【0025】 在本發明的一實施例中，為了減少快取系統的多個層級快取的標籤的比對時間，還可將這些層級快取中的至少兩個層級的標籤合併以同時進行比對。為了便於說明，以下將以兩個層級之標籤合併的實施方式為範例來說明，三個以上層級之標籤合併的實施方式則可依此類推。

【0026】 以下請參照圖 4，圖 4 是依據本發明另一實施例所繪示的快取系統 200。快取系統 200 可包括處理器 110、標籤記憶體 230、第一資料記憶體 150 以及第二資料記憶體 270，但本發明不限於此。快取系統 200 的處理器 110 與第一資料記憶體 150 分別類似於圖 1 所示的快取系統 100 的處理器 110 與第一資料記憶體 150，故可參酌上述的相關說明，在此不再贅述。在本發明的一實施例中，第二資料記憶體 270 可採用多個動態隨機存取記憶晶胞 (DRAM cell)、多個嵌入式動態隨機存取記憶晶胞 (eDRAM cell) 或是多個電阻式記憶晶胞 (RRAM cell) 等等的晶胞來實現，但本發明並不以此為限。

【0027】 相較於圖 1 所示的快取系統 100 中，標籤記憶體 130 與第一資料記憶體 150 為快取系統 100 的其中一層快取，在圖 4 所示的快取系統 200 中，標籤記憶體 230 與第一資料記憶體 150 可

視為快取系統 200 的多個層級快取中的其中一層快取，且標籤記憶體 230 與第二資料記憶體 270 可視為快取系統 200 的多個層級快取中的其中另一層快取，其中第一資料記憶體 150 位於第二資料記憶體 270 的下一層級，且第一資料記憶體 150 的記憶容量大於第二資料記憶體 270 的記憶容量。換句話說，快取系統 200 中的兩個不同層級快取可共用同一個標籤記憶體 230。更進一步來說，標籤記憶體 230 可儲存不同層級快取的快取標籤。

● **【0028】** 詳言之，處理器 110 可傳送記憶體位址 AD 以存取資料 DA，其中記憶體位址 AD 可透過處理器 110 或快取系統 200 中的一控制器(未繪示，例如為北橋晶片，但不限於此)進行位址映射以分割為目標標籤 141 以及索引 142。

● **【0029】** 標籤記憶體 230 可同時判斷資料 DA 是否位於第一資料記憶體 150 或第二資料記憶體 270 中。若標籤記憶體 230 判斷處理器 110 要對記憶體位址 AD 進行存取的資料 DA 位於第一資料記憶體 150，則可產生並輸出第一行位址 COL1 至第一資料記憶體 150。若標籤記憶體 230 判斷處理器 110 要對記憶體位址 AD 進行存取的資料 DA 位於第二資料記憶體 270，則可產生並輸出第二行位址 COL2 至第二資料記憶體 270。

【0030】 以下請同時參照圖 4 與圖 5，圖 5 是圖 4 的標籤記憶體 230 的架構示意圖。標籤記憶體 230 可包括記憶晶胞陣列 133、感應放大器 131 以及標籤比較電路 232，但本發明並不以此為限。記憶晶胞陣列 133 用以儲存多個快取標籤，其中每一個快取標籤可

具有不同層級快取的資訊，稍後會進行更詳細的說明。

【0031】 一般來說，對於兩個不同層級的快取而言，記憶體位址 AD 透過位址映射而得到的標籤與索引僅會有些微的差異。

【0032】 舉例來說，如圖 6A 所示，對於記憶容量較小的第二資料記憶體 270 而言，20 位元的記憶體位址 AD 透過位址映射而分割出來的標籤(下稱第二標籤 T62)可為 12 位元，而索引(下稱第二索引 IDX62)則為 8 位元；而對於記憶容量較大的第一資料記憶體 150 而言，在此假設第一資料記憶體 150 的記憶容量為第二資料記憶體 270 的 8 倍，則 20 位元的記憶體位址 AD 透過位址映射而分割出來的標籤(下稱第一標籤 T61)為 9 位元，而索引(下稱第一索引 IDX61)則為 11 位元，其中第二標籤 T62 較第一標籤 T61 多出來的 3 個位元(因記憶容量的差異)即為第一索引 IDX61 的前 3 個位元(下稱上層輔助標籤 AU62)，但不限於此。換句話說，上述第一標籤 T61 與上述第一索引 IDX61 的上層輔助標籤 AU62(即前 3 個位元)的結合即為上述第二標籤 T62。因此，在本發明的一實施例中，只要對記憶體位址 AD 進行一次位址映射(例如基於第一資料記憶體 150 來對記憶體位址 AD 進行位址映射)，再根據第一資料記憶體 150 與第二資料記憶體 270 的記憶容量的差異，即可同時取得記憶體位址 AD 對應至兩個不同層級快取的目標標籤。

【0033】 於此情況下，請重新參照圖 4 及圖 5，可基於第一資料記憶體 150 來對記憶體位址 AD 進行位址映射以得到目標標籤 141 以及索引 142。如同先前所述，記憶晶胞陣列 133 可根據索引 142

而對應到列區塊 RB，且可據以輸出此些快取標籤中儲放在列區塊 RB 中的列標籤 T1~Tn。感應放大器 131 可對列標籤 T1~Tn 進行信號放大處理以作為比較標籤 CT1~CTn。

【0034】 特別的是，圖 5 的每一個快取標籤(包括信號放大處理後的比較標籤 CT1~CTn)可包括下層標籤 L4T、其餘標籤 RT、上層旗標 L3F 以及路位置 WP，例如圖 6B 的比較標籤 CT1 所示，但本發明並不限於此。標籤比較電路 232 可將目標標籤 141 與每一個比較標籤 CT1~CTn 中的下層標籤 L4T 進行並行比對。若其中一個比較標籤(在此假設為比較標籤 CT1)的下層標籤 L4T 與目標標籤 141 符合，即表示處理器 110 要對記憶體位址 AD 進行存取的資料 DA 位於第一資料記憶體 150 或第二資料記憶體 270。接著，標籤比較電路 232 更進一步判斷此符合的比較標籤(比較標籤 CT1)中的其餘標籤 RT 與索引 142 中的上層輔助標籤 1421 (例如圖 6A 所示的第一索引 IDX61 中的 3 個位元的上層輔助標籤 AU62)是否相符，若判斷結果為否，則可確定處理器 110 要對記憶體位址 AD 進行存取的資料 DA 是位於第一資料記憶體 150，而不是位於第二資料記憶體 270。故標籤比較電路 232 可輸出符合的比較標籤(比較標籤 CT1)位於列區塊 RB 的位置以作為第一行位址 COL1。接著，標籤記憶體 230 可輸出第一行位址 COL1 至第一資料記憶體 150，致使第一資料記憶體 150 可根據第一行位址 COL1 與關聯於記憶體位址 AD 的第一列位址而對資料 DA 進行儲存或讀取動作。

【0035】 倘若標籤比較電路 232 判斷符合的比較標籤(比較標籤

CT1)中的其餘標籤 RT 與索引 142 中的上層輔助標籤 1421 相符，那麼標籤比較電路 232 更判斷符合的比較標籤(比較標籤 CT1)中的上層旗標 L3F 是否被設定。若符合的比較標籤(比較標籤 CT1)中的上層旗標 L3F 未被設定，則表示處理器 110 要對記憶體位址 AD 進行存取的資料 DA 並不是位於第二資料記憶體 270，而是位於第一資料記憶體 150。因此標籤比較電路 232 可輸出符合的比較標籤(比較標籤 CT1)位於列區塊 RB 的位置以作為第一行位址 COL1。如同先前所述，標籤記憶體 230 可輸出第一行位址 COL1 至第一資料記憶體 150，致使第一資料記憶體 150 可根據第一行位址 COL1 與關聯於記憶體位址 AD 的第一列位址而對資料 DA 進行儲存或讀取動作。

【0036】 相對地，在符合的比較標籤(比較標籤 CT1)中的其餘標籤 RT 與索引 142 中的上層輔助標籤 1421 相符的情況下，倘若符合的比較標籤(比較標籤 CT1)中的上層旗標 L3F 被設定，則表示處理器 110 要對記憶體位址 AD 進行存取的資料 DA 位於第二資料記憶體 270，則標籤比較電路 232 可輸出符合的比較標籤(比較標籤 CT1)中的路位置 WP 以作為第二行位址 COL2。接著，標籤記憶體 230 可輸出第二行位址 COL2 至第二資料記憶體 270，致使第二資料記憶體 270 可根據第二行位址 COL2 與關聯於記憶體位址 AD 的第二列位址而對資料 DA 進行儲存或讀取動作。值得一提的是，為了降低第二資料記憶體 270 對資料 DA 的存取等待時間，在標籤記憶體 230 輸出第二行位址 COL2 至第二資料記憶體 270 之前，

可先將第二資料記憶體 270 中對應於第二列位址的列資料啟動 (active)。如此一來，一旦第二資料記憶體 270 接收到第二行位址 COL2，即可寫入資料 DA 或是輸出資料 DA。

【0037】 以下請參照圖 7，圖 7 是一般的快取系統與本案圖 4 的快取系統 200 的運作流程的對照示意圖，在此以第二資料記憶體 270 為第三層級(level 3, L3)快取且以第一資料記憶體 150 為第四層級(level 4, L4)快取為範例來說明。在第二層級(level 2, L2)快取未擊中之後，一般的快取系統須先執行 L3 位址映射。接著比對 L3 的目標標籤。倘若 L3 快取擊中，則略過 L4 快取的相關動作，直接至 L3 快取存取資料。倘若 L3 快取未擊中，則執行 L4 的快取存取步驟。首先執行 L4 位址映射。接著比對 L4 的目標標籤。倘若 L4 快取擊中，則至 L4 快取存取資料。倘若 L4 快取未擊中，則前往第五層(level 5, L5)快取或主記憶體進行資料存取。

【0038】 相對地，本案圖 4 所示的快取系統 200 在比對 L3 快取的目标標籤(例如圖 6A 所示的第二標籤 T62)時，同時可對 L4 快取的目标標籤(例如圖 6A 所示的第一標籤 T61)進行比對，並區分資料是位於 L3 快取或是 L4 快取，因此，僅需進行一次位址映射與一次共用標籤的比對動作即可。如此一來，可減少快取系統 200 的兩個層級快取(L3 快取與 L4 快取)的目标標籤的比對時間。

【0039】 圖 8 是根據本發明一實施例所繪示的快取方法的步驟流程示意圖。請同時參照圖 1~圖 3 以及圖 8，本範例實施例的快取方法可用於圖 1 所示的快取系統 100。本範例實施例的快取方法包含如下

步驟。首先，在步驟 S800 中，利用標籤記憶體 130 中的記憶晶胞陣列 133 來儲存多個快取標籤。接著，在步驟 S810 中，透過處理器 110 來提供記憶體位址 AD。然後，在步驟 S820 中，透過記憶晶胞陣列 133 根據關聯於記憶體位址 AD 的索引 142 來提供此些快取標籤中的多個列標籤 T1~Tn。之後，在步驟 S830 中，透過標籤記憶體 130 中的感應放大器 131 來對列標籤 T1~Tn 進行信號放大處理以作為多個比較標籤 CT1~CTn。接著，在步驟 S840 中，透過標籤記憶體 130 中的標籤比較電路 132 將關聯於記憶體位址 AD 的目標標籤 141 與每一個比較標籤 CT1~CTn 進行並行比對。然後，在步驟 S850 中，當比較標籤 CT1~CTn 的其中一者與目標標籤 141 符合時，透過標籤比較電路 132 將符合的比較標籤的位置作為第一行位址 COL1。最後，在步驟 S860 中，透過第一資料記憶體 150 根據第一行位址 COL1 與關聯於記憶體位址 AD 的第一列位址而對資料 DA 進行儲存或讀取動作。

【0040】 另外，本發明實施例的快取方法之細節可以由圖 1 至圖 7 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

【0041】 綜上所述，本發明實施例的快取系統之標籤記憶體具備標籤自動比對的機制，特別是在採用大記憶容量快取(例如 DRAM 快取)的快取系統中，可在標籤記憶體的內部進行目標標籤與比較標籤的並行比對動作，而不是將標籤記憶體內部的比較標籤依序地輸出並依序地與目標標籤進行比對，故可大幅降低目標標籤與比較標籤的比對時間而提昇快取系統的整體效能。此外，本發明

實施例的快取系統與快取方法可將多個層級快取的標籤合併以同時進行比對。如此一來，可減少快取系統的多個層級快取的標籤的比對時間。

【0042】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0043】

- 100、200：快取系統
- 110：處理器
- 130、230：標籤記憶體
- 131：感應放大器
- 132、232：標籤比較電路
- 1321：暫存器
- 1323：判斷電路
- 1325：位址決定電路
- 133：記憶晶胞陣列
- 141：目標標籤
- 142：索引
- 1421、AU62：上層輔助標籤

150：第一資料記憶體

270：第二資料記憶體

AD：記憶體位址

COL1：第一行位址

COL2：第二行位址

CT1~CTn：比較標籤

DA：資料

IDX61：第一索引

IDX62：第二索引

L3F：上層旗標

L4T：下層標籤

RB：列區塊

RS：比對結果

RT：其餘標籤

S800、S810、S820、S830、S840、S850、S860：步驟

T1~Tn：列標籤

T61：第一標籤

T62：第二標籤

WP：路位置

【發明申請專利範圍】

【第1項】 一種具備標籤自動比對機制的標籤記憶體，包括：

一記憶晶胞陣列，用以儲存多個快取標籤，其中該記憶晶胞陣列接收關聯於一記憶體位址的一索引，且根據該索引而輸出該些快取標籤中的多個列標籤；

多個感應放大器，耦接到該記憶晶胞陣列以接收該些列標籤，且對該些列標籤進行信號放大處理以作為多個比較標籤；以及

一標籤比較電路，用以接收關聯於該記憶體位址的一目標標籤，且耦接到該些感應放大器以接收該些比較標籤，該標籤比較電路將該目標標籤與該些比較標籤的每一者進行並行比對，

其中，當該些比較標籤的其中一者與該目標標籤符合時，該標籤比較電路輸出該符合的比較標籤的位置以作為一第一行位址，

其中該第一行位址為該記憶體位址對應至一第一資料記憶體的行位址。

【第2項】 如申請專利範圍第1項所述的標籤記憶體，其中該索引對應到該記憶晶胞陣列中的一列區塊，且該些列標籤儲存在該列區塊，其中該標籤比較電路包括：

一暫存器，用以儲存該些比較標籤；

一判斷電路，耦接到該暫存器以接收該些比較標籤，將該些比較標籤的每一者與該目標標籤進行並行比對，並據以產生一比

對結果；以及

一位址決定電路，耦接到該暫存器以接收該些比較標籤，且耦接到該判斷電路以接收該比對結果，

其中，當該些比較標籤的其中一者與該目標標籤符合時，該判斷電路輸出擊中(hit)的該比對結果，且該位址決定電路輸出該符合的比較標籤於該列區塊中的位置以作為該第一行位址。

【第3項】如申請專利範圍第2項所述的標籤記憶體，其中當該些比較標籤的每一者皆不符合該目標標籤時，該判斷電路輸出未擊中(miss)的該比對結果。

【第4項】如申請專利範圍第1項所述的標籤記憶體，其中該標籤比較電路更接收該索引，該索引包括一上層輔助標籤，且該些比較標籤的每一者包括一下層標籤以及一其餘標籤，其中：

該標籤比較電路將該目標標籤與各該些比較標籤的該下層標籤進行並行比對，

若該些比較標籤的其中一者的該下層標籤與該目標標籤符合，該標籤比較電路更判斷該符合的比較標籤中的該其餘標籤與該索引中的該上層輔助標籤是否相符，若判斷結果為否，則該標籤比較電路輸出該符合的比較標籤的位置以作為該第一行位址，

其中該第一資料記憶體為多個層級快取的其中一級快取。

【第5項】如申請專利範圍第4項所述的標籤記憶體，其中該些比較標籤的每一者更包括一上層旗標，其中：

若該標籤比較電路判斷該符合的比較標籤中的該其餘標籤與

該索引中的該上層輔助標籤相符，該標籤比較電路更判斷該符合的比較標籤中的該上層旗標是否被設定，若該符合的比較標籤中的該上層旗標未被設定，則該標籤比較電路輸出該符合的比較標籤的位置以作為該第一行位址。

【第6項】如申請專利範圍第5項所述的標籤記憶體，其中該些比較標籤的每一者更包括一路位置(way position)，其中：

若該符合的比較標籤中的該上層旗標被設定，則該標籤比較電路輸出該符合的比較標籤的該路位置以作為一第二行位址，

其中該第二行位址為該記憶體位址對應至一第二資料記憶體的行位址，

其中該第二資料記憶體為該些層級快取的其中另一級快取，且該第一資料記憶體位於該第二資料記憶體的下一層級，

其中該上層輔助標籤的位元長度關聯於該第一資料記憶體與該第二資料記憶體之間的記憶容量的差異。

【第7項】一種快取系統，包括：

如申請專利範圍第1項所述的具備標籤自動比對機制的標籤記憶體；

該第一資料記憶體；以及

一處理器，用以傳送該記憶體位址以存取一資料，

其中該標籤記憶體輸出該第一行位址至該第一資料記憶體，致使該第一資料記憶體根據該第一行位址與關聯於該記憶體位址的一第一列位址而對該資料進行儲存或讀取動作。

【第8項】如申請專利範圍第7項所述的快取系統，其中在該標籤記憶體輸出該第一行位址至該第一資料記憶體之前，該第一資料記憶體中對應於該第一列位址的一列資料被啟動(active)。

【第9項】如申請專利範圍第7項所述的快取系統，其中該標籤比較電路更接收該索引，該索引包括一上層輔助標籤，且該些比較標籤的每一者包括一下層標籤以及一其餘標籤，其中：

該標籤比較電路將該目標標籤與各該些比較標籤的該下層標籤進行並行比對，

當該些比較標籤的其中一者的該下層標籤與該目標標籤符合時，該標籤比較電路更判斷該符合的比較標籤中的該其餘標籤與該索引中的該上層輔助標籤是否相符，若判斷結果為否，則該標籤比較電路輸出該符合的比較標籤的位置以作為該第一行位址。

【第10項】如申請專利範圍第9項所述的快取系統，其中該些比較標籤的每一者更包括一上層旗標，其中：

若該標籤比較電路判斷該符合的比較標籤中的該其餘標籤與該索引中的該上層輔助標籤相符，該標籤比較電路更判斷該符合的比較標籤中的該上層旗標是否被設定，若該符合的比較標籤中的該上層旗標未被設定，則該標籤比較電路輸出該符合的比較標籤的位置以作為該第一行位址。

【第11項】如申請專利範圍第10項所述的快取系統，更包括一第二資料記憶體，其中該些比較標籤的每一者更包括一路位置(way position)，其中：

若該符合的比較標籤中的該上層旗標被設定，則該標籤比較電路輸出該符合的比較標籤的該路位置以作為一第二行位址，

其中該標籤記憶體輸出該第二行位址至該第二資料記憶體，致使該第二資料記憶體根據該第二行位址與關聯於該記憶體位址的一第二列位址而對該資料進行儲存或讀取動作。

【第12項】如申請專利範圍第11項所述的快取系統，其中該第一資料記憶體與該第二資料記憶體分別為多個層級快取的其中一級快取，該第一資料記憶體位於該第二資料記憶體的下一層級，且該第一資料記憶體的記憶容量大於該第二資料記憶體的記憶容量，

其中該上層輔助標籤的位元長度關聯於該第一資料記憶體與該第二資料記憶體之間的記憶容量的差異。

【第13項】一種快取方法，包括：

利用一標籤記憶體中的一記憶晶胞陣列來儲存多個快取標籤；

透過一處理器來提供一記憶體位址；

透過該記憶晶胞陣列根據關聯於該記憶體位址的一索引來提供該些快取標籤中的多個列標籤；

透過該標籤記憶體中的多個感應放大器來對該些列標籤進行信號放大處理以作為多個比較標籤；

透過該標籤記憶體中的一標籤比較電路將關聯於該記憶體位址的一目標標籤與該些比較標籤的每一者進行並行比對；

當該些比較標籤的其中一者與該目標標籤符合時，透過該標籤比較電路將該符合的比較標籤的位置作為一第一行位址；以及

透過一第一資料記憶體根據該第一行位址與關聯於該記憶體位址的一第一列位址而對一資料進行儲存或讀取動作。

【第14項】如申請專利範圍第13項所述的快取方法，更包括：

在該標籤記憶體提供該第一行位址至該第一資料記憶體之前，啟動該第一資料記憶體中對應於該第一列位址的一列資料。

【第15項】如申請專利範圍第13項所述的快取方法，其中該些比較標籤的每一者包括一下層標籤以及一其餘標籤，該索引包括一上層輔助標籤，其中所述透過該標籤比較電路將該目標標籤與該些比較標籤的每一者進行並行比對的步驟包括：

透過該標籤比較電路來並行比對該目標標籤與各該些比較標籤的該下層標籤；

其中所述當該些比較標籤的其中該者與該目標標籤符合時，透過該標籤比較電路將該符合的比較標籤的位置作為該第一行位址的步驟包括：

當該些比較標籤的其中該者的該下層標籤與該目標標籤符合時，更透過該標籤比較電路判斷該符合的比較標籤中的該其餘標籤與該索引中的該上層輔助標籤是否相符，若判斷結果為否，則透過該標籤比較電路提供該符合的比較標籤的位置以作為該第一行位址。

【第16項】如申請專利範圍第15項所述的快取方法，其中該些比較標籤的每一者更包括一上層旗標，且所述快取方法更包括：

若該標籤比較電路判斷該符合的比較標籤中的該其餘標籤與該索引中的該上層輔助標籤相符，更透過該標籤比較電路判斷該符合的比較標籤中的該上層旗標是否被設定，若該符合的比較標籤中的該上層旗標未被設定，則透過該標籤比較電路提供該符合的比較標籤的位置以作為該第一行位址。

【第17項】如申請專利範圍第16項所述的快取方法，其中該些比較標籤的每一者更包括一路位置(way position)，且所述快取方法更包括：

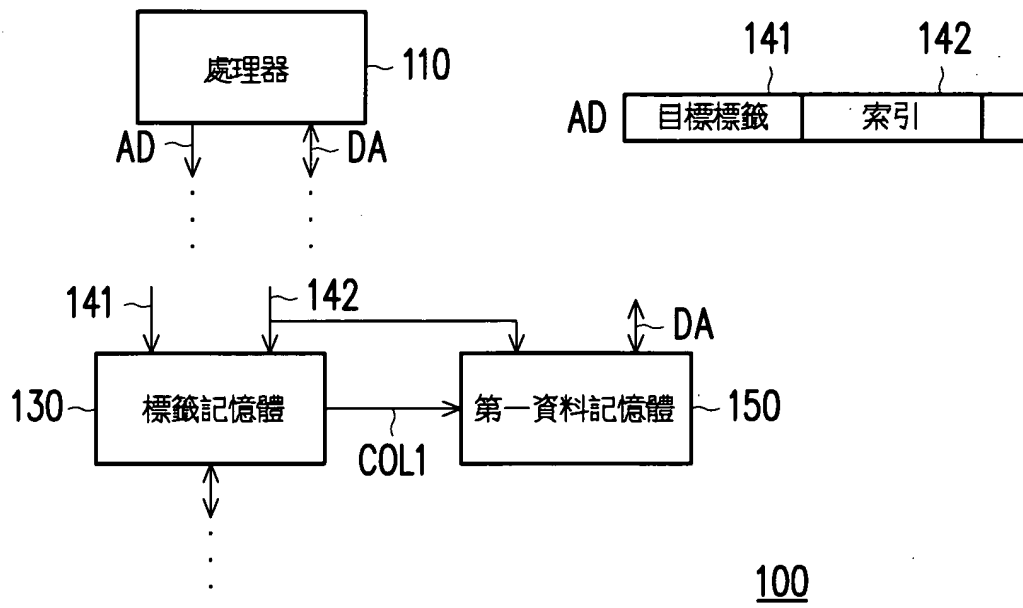
若該符合的比較標籤中的該上層旗標被設定，則透過該標籤比較電路提供該符合的比較標籤的該路位置以作為一第二行位址；以及

透過一第二資料記憶體根據該第二行位址與關聯於該記憶體位址的一第二列位址而對該資料進行儲存或讀取動作。

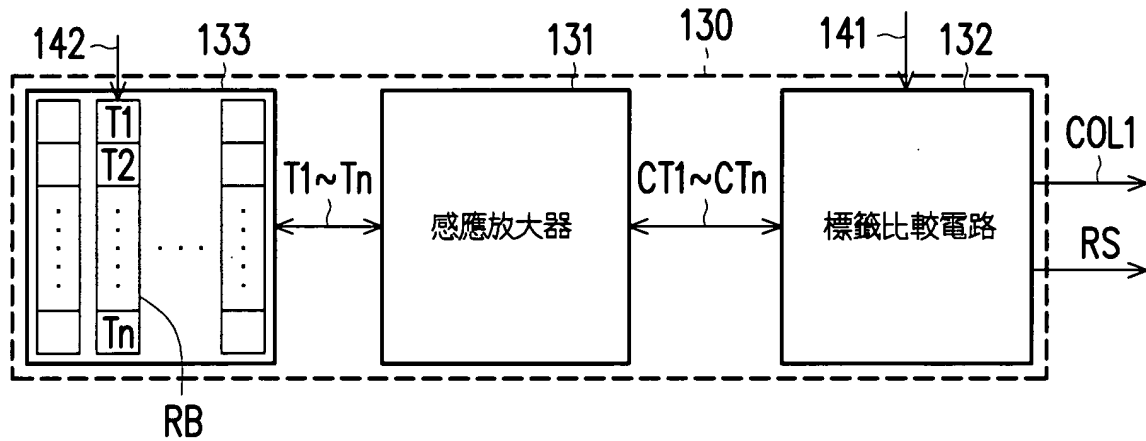
【第18項】如申請專利範圍第17項所述的快取方法，其中該第一資料記憶體與該第二資料記憶體分別為多個層級快取的其中一級快取，該第一資料記憶體位於該第二資料記憶體的下一層級，且該第一資料記憶體的記憶容量大於該第二資料記憶體的記憶容量，

其中該上層輔助標籤的位元長度關聯於該第一資料記憶體與該第二資料記憶體之間的記憶容量的差異。

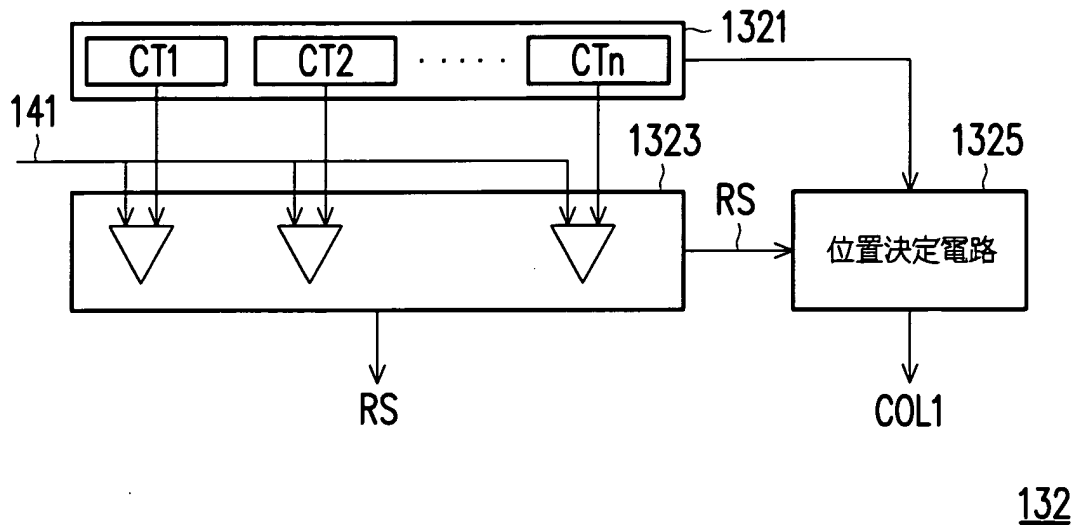
【發明圖式】



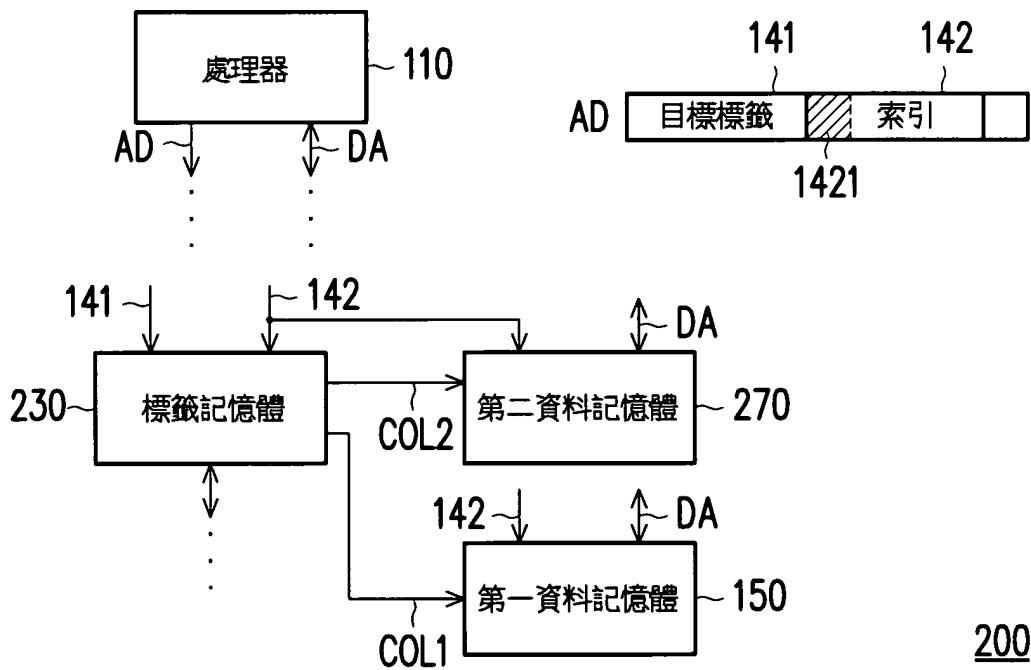
【圖1】



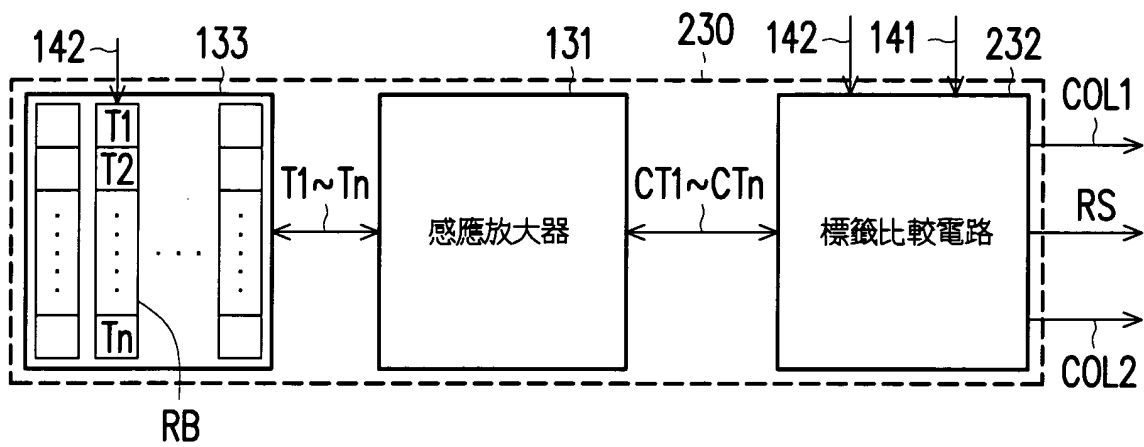
【圖2】



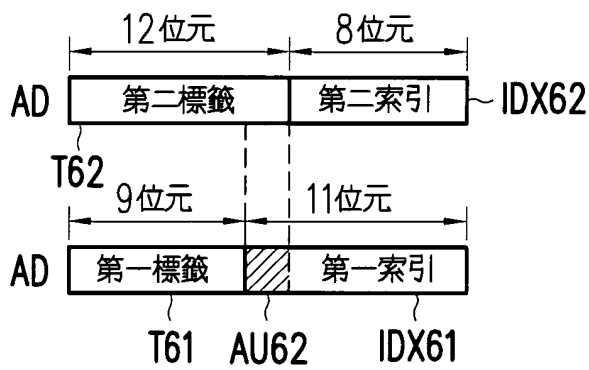
【圖3】



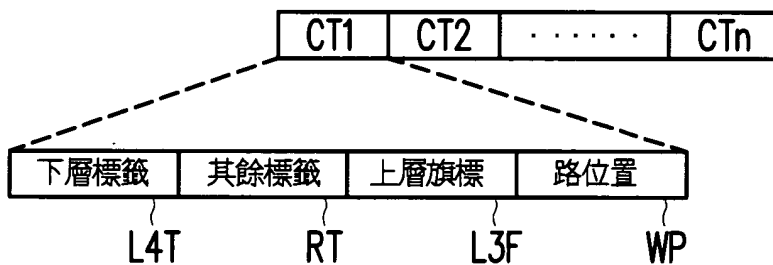
【圖4】



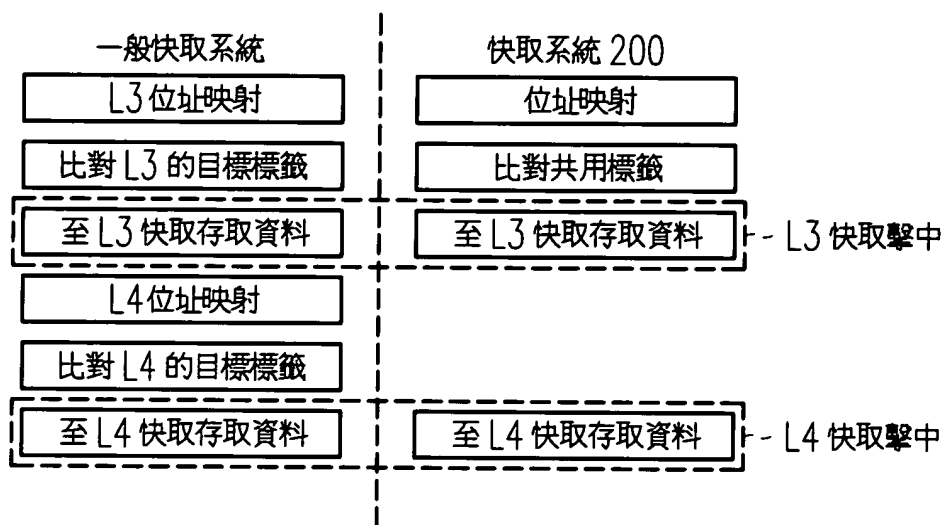
【圖5】



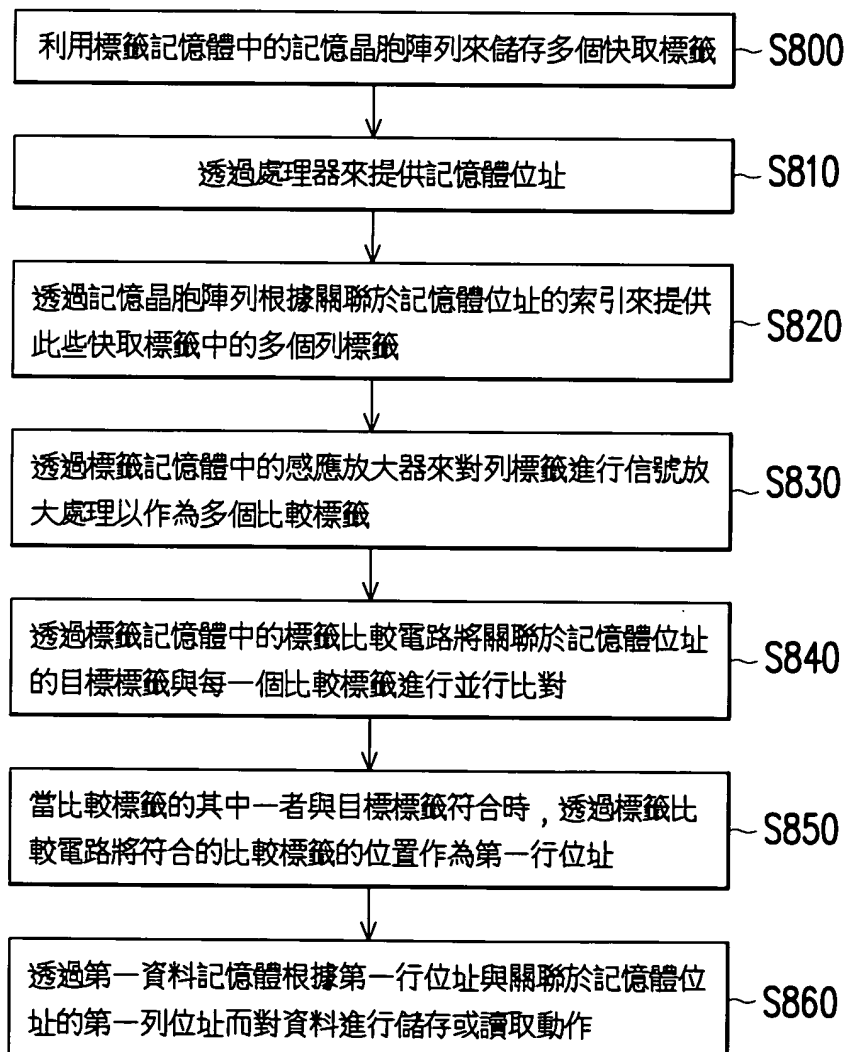
【圖6A】



【圖6B】



【圖7】



【圖8】