



(21)申請案號：105102992

(22)申請日：中華民國 105 (2016) 年 01 月 30 日

(51)Int. Cl. : *H01L21/336 (2006.01)*(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市東區大學路 1001 號

(72)發明人：劉柏村 LIU, PO-TSUN (TW)；張志睿 CHANG, CHIH-JUI (TW)；張智翔 CHANG, CHIH-HSIANG (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：10 項 圖式數：6 共 20 頁

(54)名稱

薄膜電晶體的製造方法

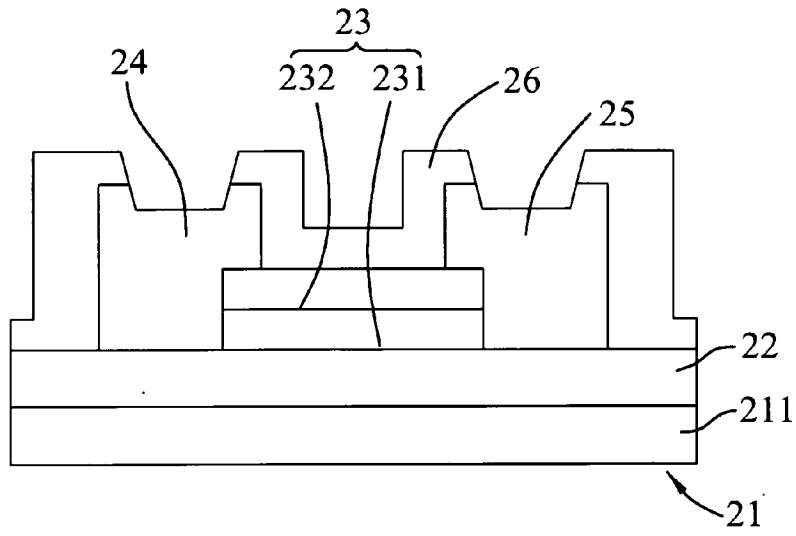
METHOD OF MANUFACTURING THIN FILM TRANSISTOR

(57)摘要

一種薄膜電晶體的製造方法，包含以下步驟：(a)於一基板單元上沉積一閘極絕緣層；(b)於該閘極絕緣層上依序沉積形成一氧化銦鎢通道層，及一氧化銦鎢隔離層，其中，該氧化銦鎢通道層及該氧化銦鎢隔離層是於同一濺鍍製程形成，且形成該氧化銦鎢隔離層時的氧分壓大於形成該氧化銦鎢通道層時的氧分壓；(c)沉積二彼此相間隔且部分覆蓋該氧化銦鎢隔離層及該閘極絕緣層的源極層與汲極層；及(d)沉積一覆蓋該閘極絕緣層、該氧化銦鎢隔離層、該源極層，及該汲極層的鈍化層，並讓該源極層與該汲極層分別露出一表面。

This invention provides a method of manufacturing thin film transistor, which comprises the follow steps of (a) depositing a gate insulating layer on a base unit, (b) controlling two oxygen partial pressure in the same sputtering process for depositing a IWO channel layer and a IWO isolation layer on the gate insulating layer sequentially, (c) depositing a source electrode layer and a drain electrode layer respectively, which spacing apart from each other and partially covering the IWO channel, the IWO isolation layer, the source electrode layer, and the drain electrode layer, and (d) depositing a passivation layer which covering the gate insulating layer the IWO channel, the IWO isolation layer, the source electrode layer, and the drain electrode layer, and exposing a surface of the source electrode layer and the drain electrode layer.

指定代表圖：



符號簡單說明：

21 . . . 基板單元

232 . . . 氧化銦鎢隔離層

211 . . . 基材

24 . . . 源極層

22 . . . 閘極絕緣層

25 . . . 汲極層

23 . . . 主動層

26 . . . 鈍化層

231 . . . 氧化銦鎢通道層

圖1



申請日: 105.1.30

201727757

【發明摘要】

IPC分類: H01L 21/33b (2006.01)

【中文發明名稱】 薄膜電晶體的製造方法

【英文發明名稱】 Method of manufacturing thin film transistor

【中文】

一種薄膜電晶體的製造方法，包含以下步驟：(a)於一基板單元上沉積一閘極絕緣層；(b)於該閘極絕緣層上依序沉積形成一氧化銦鎢通道層，及一氧化銦鎢隔離層，其中，該氧化銦鎢通道層及該氧化銦鎢隔離層是於同一濺鍍製程形成，且形成該氧化銦鎢隔離層時的氧分壓大於形成該氧化銦鎢通道層時的氧分壓；(c)沉積二彼此相間隔且部分覆蓋該氧化銦鎢隔離層及該閘極絕緣層的源極層與汲極層；及(d)沉積一覆蓋該閘極絕緣層、該氧化銦鎢隔離層、該源極層，及該汲極層的鈍化層，並讓該源極層與該汲極層分別露出一表面。

【英文】

This invention provides a method of manufacturing thin film transistor, which comprises the follow steps of (a) depositing a gate insulating layer on a base unit, (b) controlling two oxygen partial pressure in the same sputtering process for depositing a IWO channel layer and a IWO isolation layer on the gate insulating layer sequentially, (c) depositing a source electrode layer and a drain electrode layer respectively, which spacing apart from each other and partially covering the IWO channel, the IWO isolation layer, the source electrode layer, and

第1頁，共2頁(發明摘要)

the drain electrode layer, and (d) depositing a passivation layer which covering the gate insulating layer the IWO channel, the IWO isolation layer, the source electrode layer, and the drain electrode layer, and exposing a surface of the source electrode layer and the drain electrode layer.

【指定代表圖】：圖（1）。

【代表圖之符號簡單說明】

21	…… 基板單元	232	…… 氧化銦鎢隔離層
211	…… 基材	24	…… 源極層
22	…… 閘極絕緣層	25	…… 汲極層
23	…… 主動層	26	…… 鈍化層
231	…… 氧化銦鎢通道層		

【發明說明書】

【中文發明名稱】 薄膜電晶體的製造方法

【英文發明名稱】 Method of manufacturing thin film transistor

【技術領域】

【0001】 本發明是有關於一種半導體裝置的製造方法，特別是指一種薄膜電晶體的製造方法。

【先前技術】

【0002】 近年來，隨著金屬氧化物半導體研究的興起，已有許多使用金屬氧化物薄膜電晶體(thin film transistor, TFT)驅動主動矩陣有機發光二極體(AMOLED)或主動式液晶顯示器(AMLCD)的產品，其中，又因非晶態氧化銦鎵鋅薄膜電晶體(InGaZnO-TFT)具高透光性與高載子驅動電流特性而備受矚目。

【0003】 然而，以非晶態氧化銦鎵鋅作為主動層所製成的薄膜電晶體，因受到鎵離子的特性影響，而難以進一步提升其載子遷移率，且因為材料使用了如鎵等貴重元素，而無法有效降低薄膜電晶體的成本。再者，因為氧化銦鎵鋅對於外在環境及光源較為敏感，因此，為了提高主體層的穩定度，通常會於製作氧化銦鎵鋅主動層後，再以電漿輔助化學氣相沉積(plasma enhanced chemical

vapor deposition, PECVD)形成二氧化矽(SiO_2)作為覆蓋主動層的鈍化層，以提高薄膜電晶體整體穩定度。然而，於沉積形成鈍化層的過程中，由於製程所產生的氫離子副產物與離子轟擊的作用，會破壞以氧化銦鎵鋅所構成的該主動層，造成該主動層產生額外的缺陷，從而影響薄膜電晶體整體的電特性與穩定度。因此，改良現有的薄膜電晶體的製造方法，是本領域技術人員所待解決的課題。

【發明內容】

【0004】 因此，本發明之目的，即在提供一種薄膜電晶體的製造方法，包含以下步驟。

【0005】 一步驟(a)，於一基板單元上沉積一閘極絕緣層。

【0006】 一步驟(b)，於該閘極絕緣層上依序沉積形成一氧化銦鎵通道層，及一氧化銦鎵隔離層，其中，該氧化銦鎵通道層及該氧化銦鎵隔離層是於同一濺鍍製程形成，且形成該氧化銦鎵隔離層時的氧分壓大於形成該氧化銦鎵通道層時的氧分壓。

【0007】 一步驟(c)，沉積二彼此相間隔且部分覆蓋該氧化銦鎵隔離層及該閘極絕緣層的源極層與汲極層。

【0008】 一步驟(d)，沉積一覆蓋該閘極絕緣層、該氧化銦鎵隔離層、該源極層，及該汲極層的鈍化層，並讓該源極層與該汲極層分別露出一與外界接觸的表面。

【0009】 本發明之功效在於，藉由在同一濺鍍製程中改變氧分壓而於氧化銮鎢通道層上沉積氧化銮鎢隔離層，以構成具雙層結構的主動層，使後續形成該鈍化層時，能透過氧化銮鎢隔離層的阻隔而減少氧化銮鎢通道層的缺陷，且氧化銮鎢通道層以氧化銮鎢作為材料還能同時達到高載子遷移率及低成本的優勢。

【圖式簡單說明】

【0010】 本發明之其他的特徵及功效，將於參照圖式的實施方式中清楚地呈現，其中：

圖 1 是一元件示意圖，說明本發明薄膜電晶體的製造方法的一實施例所製得的薄膜電晶體；

圖 2 是一電流對電壓曲線圖，說明本發明薄膜電晶體的製造方法的一比較例 1~3 所製得的薄膜電晶體的轉移曲線；

圖 3 是一電流對電壓曲線圖，說明本發明薄膜電晶體的製造方法的一具體例與一比較例 4~5 所製得的薄膜電晶體的轉移曲線；

圖 4 是一 X-射線光電子光譜(X-ray photoelectron spectrum, XPS)圖，說明本發明該比較例 1 的氧鍵結分析圖；

圖 5 是一 XPS 圖，說明本發明該具體例的氧鍵結分析圖；及

圖 6 是一電性可靠度分析圖，說明本發明該具體例與該比較例 1 所製得的薄膜電晶體的穩定度測試結果。

【實施方式】

<發明詳細說明>

【0011】 有關本發明之技術內容、特點與功效，在以下配合參閱圖式之一個實施例的詳細說明中，將可清楚的呈現。

【0012】 參閱圖1，本發明薄膜電晶體的製造方法的一實施例所製得的薄膜電晶體是顯示於圖1中。本發明該實施例包含以下步驟：一步驟(a)、一步驟(b)、一步驟(c)、一步驟(d)，及一步驟(e)。

【0013】 該步驟(a)是於一基板單元21上沉積一閘極絕緣層22。具體地說，本實施例該基板單元21包括一選自n型半導體與p型半導體的其中一者所構成的基材211，而於該基材211上形成該閘極絕緣層22，從而將此由半導體材料構成的基材211作為該薄膜電晶體的一閘極。其中，該基材211的材料選用並不限於此，也可選用如玻璃基材或可撓性基材等非半導體材料所構成的材料，要說明的是，當該基材211是使用玻璃基材或可撓性基材等非半導體材料所構成的基材時，則會先於該基材211上形成一金屬層(圖未示)作為薄膜電晶體的閘極，才會再於該金屬層上形成該閘極絕緣層22。

【0014】 該步驟(b)是以同一濺鍍製程於該閘極絕緣層22上依序沉積形成一氧化銻鎢通道層231，及一氧化銻鎢隔離層232，且

形成該氧化銦鎢隔離層232時的氧分壓大於形成該氧化銦鎢通道層231時的氧分壓。

【0015】 具體地說，本實施例是以射頻磁控濺鍍 (radio-frequency (RF) magnetron sputtering) 製程，利用一非晶態氧化鎢摻雜的氧化銦基靶材進行濺鍍，並搭配改變氧分壓而分別形成該氧化銦鎢通道層231與該氧化銦鎢隔離層232。詳細地說，該射頻磁控濺鍍製程是藉由控制背景氣體的氣體總流量而調控氧氣流量，進而改變氧分壓，以控制讓該氧化銦鎢隔離層232的氧含量大於該氧化銦鎢通道層231。其中，該氧化銦鎢通道層231與該氧化銦鎢隔離層232的雙層結構即是共同構成該薄膜電晶體的一主動層23。

【0016】 藉由在同一濺鍍製程形成雙層結構的該主動層23，不僅能製程簡化，還能透過氧化銦鎢隔離層232的形成而保護該氧化銦鎢通道層231，以避免後續形成鈍化層的過程，因為離子轟擊造成氧化銦鎢通道層231產生缺陷，而影響薄膜電晶體的特性，較佳地，為了更有效的保護該氧化銦鎢通道層231，本實施例的該氧化銦鎢隔離層232的厚度大於該氧化銦鎢通道層231。

【0017】 該步驟(c)於該主動層23上沉積二彼此相間隔由透明導電材料所構成且部分覆蓋該氧化銦鎢隔離層232及該閘極絕緣層22的源極層24與汲極層25。

【0018】 該步驟(d)沉積一覆蓋該閘極絕緣層22、該氧化銦錫隔離層232、該源極層24及該汲極層25的鈍化層(passivation layer)26，並讓該源極層24與該汲極層25分別露出一與外界接觸的表面。

【0019】 該步驟(e)是於前述形成該鈍化層26之後，將元件置於一常壓爐管中以氧氣為背景氣體，且於不小於300℃的條件下進行退火，以製得如圖1所示的薄膜電晶體。藉由在不少於300℃與氧環境中進行退火，而能有效提供熱能而填補該薄膜電晶體的氧空缺，以提高該薄膜電晶體的電特性。

【0020】 要說明的是，本實施例中由於該些膜層結構之形成方式或是其所適用之材料係為所屬技術領域者所周知，於此不再多加贅述。

【0021】 接著以下述的一個具體例，及五個比較例說明本發明該薄膜電晶體的製造方法。

<具體例>

【0022】 本發明薄膜電晶體的製造方法的一具體例是根據以下流程所製得。

【0023】 首先，準備一呈n型半導體特性的矽(Si)基板作為該基材211，並以熱氧化製程於該基材211上沉積厚度為100 nm的二氧化矽(SiO₂)作為該閘極絕緣層22。

【0024】 接著，將沉積有該閘極絕緣層22的基材211置於一射頻磁控濺鍍系統中，使用比例為 $\text{In}_2\text{O}_3 : \text{WO}_3 = 98\text{wt}\% : 2\text{wt}\%$ 的非晶態氧化錫摻雜的氧化銦基作為濺鍍靶材，並通入氬氣(Ar)與氧氣(O_2)作為背景氣體，且維持背景氣體總流量為30 sccm，並藉由調控氧流量以改變氧分壓。其中，該氧分壓(P_{O_2})可以下列公式(1)計算得知， P_{total} 代表背景氣體總壓力，Ar與 O_2 則分別代表氬流量與氧流量：

$$P_{\text{O}_2} = P_{\text{total}} \times \frac{\text{O}_2}{\text{Ar} + \text{O}_2} \dots\dots\dots (1)$$

【0025】 先將該氧分壓(P_{O_2})控制在7%，並對非晶態氧化錫摻雜的氧化銦基靶材進行轟擊，於該閘極絕緣層22上濺鍍形成厚度為10nm的氧化銦錫通道層231，接著，於同一濺鍍製程中將氧分壓(P_{O_2})提高至13%，以於該氧化銦錫通道層231上形成厚度為20nm的氧化銦錫隔離層232，進而形成具雙層結構的主動層23。

【0026】 於完成該主動層23後，以射頻磁控濺鍍製程搭配一遮罩(圖未示)形成兩厚度為50nm且彼此相間隔而部分覆蓋該氧化銦錫隔離層232及該閘極絕緣層22的氧化銦(ITO)薄膜，以分別作為該源極層24與該汲極層25。

【0027】 隨後再以電漿輔助化學氣相沉積(PECVD)製程，沉積形成覆蓋該閘極絕緣層22、該氧化銦錫隔離層232、該源極層24及

該汲極層25的二氧化矽(SiO_2)作為該鈍化層26，並讓該源極層24與該汲極層25分別露出一與外界接觸的表面。

【0028】 最後，再將製作有該鈍化層26的元件置於一常壓中爐管(圖未示)中，並以氧氣為背景氣體，而於 400°C 進行退火，從而製得如圖1的該薄膜電晶體。

<比較例1>

【0029】 本發明薄膜電晶體的製造方法的一比較例1的實施條件大致相同於該具體例，其不同之處在於，該比較例1的該主動層23是僅具有單一層的氧化銻鎢通道層231的結構，也就是說，於該步驟(b)製作該薄膜電晶體的主動層23時，是將該氧分壓控制於7%，形成厚度為30nm的氧化銻鎢通道層231作為該主動層23。

<比較例2>

【0030】 本發明薄膜電晶體的製造方法的一比較例2的實施條件大致相同於該比較例1，其不同之處在於，該比較例2未實施該步驟(e)的退火步驟。

<比較例3>

【0031】 本發明薄膜電晶體的製造方法的一比較例3的實施條件大致相同於該比較例2，其不同之處在於，該比較例3未實施該步驟(d)，即，無形成該鈍化層26。

<比較例4>

【0032】 本發明薄膜電晶體的製造方法的一比較例4的實施條件大致相同於該具體例，其不同之處在於，該比較例4未實施該步驟(e)的退火步驟。

<比較例5>

【0033】 本發明薄膜電晶體的製造方法的一比較例5的實施條件大致相同於該比較例4，其不同之處在於，該比較例5未實施該步驟(d)，即，無形成該鈍化層26。

<數據分析>

【0034】 參閱圖2與圖3，其中，E表示具體例，CE1~CE5分別表示比較例1~比較例5。圖2、3是分別針對該具體例(E)與該等比較例1~5(CE1~CE5)進行輸入電壓與輸出電流的特性量測，而獲得如圖2與圖3的轉移特性曲線。由圖2可知，該等比較例1~3(CE1~CE3)因僅具有單一層結構的氧化銻鎢通道層231作為該主動層23，導致後續的沉積製程會直接對氧化銻鎢通道層231造成破壞而形成缺陷，因此該等比較例1~3(CE1~CE3)載子遷移率(mobility, μ_{FE})與次臨界擺幅(subthreshold swing, S.S)表現均較差，但該比較例1(CE1)因沉積有該鈍化層26且有實施該步驟(e)的退火步驟，因此，其特性相較於該等比較例2~3(CE2~CE3)具有較佳的表現；但該比較例1(CE1)與圖3所示的該具體例(E)相較而言，則因該具體例(E)具有雙層結構的該氧化銻鎢通道層231

與該氧化銦錫隔離層232的該主動層23，因此，該具體例(E)能藉由該氧化銦錫隔離層232於後續製程有效的抵擋對該氧化銦錫通道層231的劣化因子以提高電特性，故由圖3可知，該具體例(E)具有最佳的電特性表現。

【0035】 另外要說明的是，由於該退火步驟是於氧環境中並以大於300°C的條件進行，而能有效填補該薄膜電晶體的氧空缺，且該鈍化層26的形成也能讓薄膜電晶體的該主動層23免除外界環境的干擾因素，穩定該薄膜電晶體的電特性，因此，同樣地，該具體例1(E)具有最佳的電特性表現。

【0036】 參閱圖4與圖5，圖4與圖5分別顯示該比較例1與該具體例之該主動層23的氧(O)鍵結分析比較圖。由圖4與圖5可知，該具體例因分別具有不同氧含量的該氧化銦錫通道層231與該氧化銦錫隔離層232的雙層結構，因此，該具體例的該主動層23具有較強的氧鍵結能(即， O_L 峰值較大)，及具有較低的缺陷成份結構(即， V_o 峰值較小)與氫氧鍵(即， O_H 峰值較小)。由此可知，該具體例的雙層結構的該主動層23確實能於後續製程中有效減少缺陷結構的形成，進而能增強薄膜電晶體的電性效能與可靠度。

【0037】 參閱圖6，其中，E表示具體例，CE1表示比較例1。圖6是將該具體例(E)與該比較例1(CE1)於照光加熱下對該薄膜電晶體的閘極進行負偏壓應力測試(negative bias temperature

illumination)的電性可靠度比較，其中，測試條件是對閘極施加 -25V ，溫度為 60°C ，並以波長為 460nm ，照度為 $15.3\text{W}/\text{m}^2$ 照射該薄膜電晶體。由圖6的測試結果可得知，該具體例(E)的臨界電壓(V_{TH})的飄移量只有 7.2V ，相較於該比較例1(CE1)具有較佳的特性。

【0038】 值得一提的是，本發明薄膜電晶體的製造方法以濺鍍方式製作雙層結構的該主動層23是適合製作成大面積面板畫素驅動電晶體元件的主動層，且由於前述製程具有低溫製程的特性，因此可將該基材211延伸應用成玻璃基材或可撓性基材，從而應用於軟性電子顯示器或穿戴式顯示器上。

【0039】 綜上所述，本發明薄膜電晶體的製造方法，藉由在同一射頻磁控濺鍍製程中，先以較低的氧分壓沉積該氧化銮鎢通道層231後，再調升氧分壓而沉積厚度與含氧量大於該氧化銮鎢通道層231的該氧化銮鎢隔離層232，以構成雙層結構的該主動層23，能於後續形成該源極層24、該汲極層25，或該鈍化層26時，藉由該氧化銮鎢隔離層232的阻隔而減少氧化銮鎢通道層231的缺陷，從而提高薄膜電晶體的特性，此外，本發明使用非晶態氧化鎢摻雜的氧化銮基材料構成該氧化銮鎢通道層231，能同時達到高載子遷移率的需求及低成本的優勢，故確實能達成本發明之目的。

【0040】 惟以上所述者，僅為本發明之實施例而已，當不能以此限定本發明實施之範圍，凡是依本發明申請專利範圍及專利說明書內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【符號說明】

【0041】

21	…… 基板單元	232	…… 氧化銦鎢隔離層
211	…… 基材	24	…… 源極層
22	…… 閘極絕緣層	25	…… 汲極層
23	…… 主動層	26	…… 鈍化層
231	…… 氧化銦鎢通道層		

【發明申請專利範圍】

【第1項】 一種薄膜電晶體的製造方法，包含以下步驟：

(a)於一基板單元上沉積一閘極絕緣層；

(b)於該閘極絕緣層上依序沉積形成一氧化銮鎢通道層，及一氧化銮鎢隔離層，其中，該氧化銮鎢通道層及該氧化銮鎢隔離層是於同一濺鍍製程形成，且形成該氧化銮鎢隔離層時的氧分壓大於形成該氧化銮鎢通道層時的氧分壓；

(c)沉積二彼此相間隔且部分覆蓋該氧化銮鎢隔離層及該閘極絕緣層的源極層與汲極層；及

(d)沉積一覆蓋該閘極絕緣層、該氧化銮鎢隔離層、該源極層，及該汲極層的鈍化層，並讓該源極層與該汲極層分別露出一與外界接觸的表面。

【第2項】 如請求項1所述的薄膜電晶體的製造方法，還包含一執行於該步驟(d)後的步驟(e)，該步驟(e)於形成該鈍化層後，於一常壓爐管中以氧氣為背景氣體，且於不小於300℃的條件下進行退火。

【第3項】 如請求項2所述的薄膜電晶體的製造方法，其中，該步驟(e)是在300℃~400℃的條件下進行退火。

【第4項】 如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(a)的該基板單元包括一選自由n型半導體與p型半導體其中一者所構成的基材，並以熱氧化方式於該基材上形成該閘極絕緣層。

- 【第5項】如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(b)是以射頻磁控濺鍍製程利用一非晶態氧化鎢摻雜的氧化銦基靶材進行濺鍍，而形成該氧化銦鎢通道層及該氧化銦鎢隔離層。
- 【第6項】如請求項5所述的薄膜電晶體的製造方法，其中，該步驟(b)的該氧化銦基靶材的材料比例為 In_2O_3 : $\text{WO}_3=98\text{wt}\%:2\text{wt}\%$ 。
- 【第7項】如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(b)於該濺鍍製程的一背景氣體是包含氫氣與氧氣，於形成該氧化銦鎢隔離層時，是固定氣體總流量而改變氧分壓。
- 【第8項】如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(b)沉積形成的該氧化銦鎢隔離層的厚度與氧含量大於該氧化銦鎢通道層。
- 【第9項】如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(c)是以射頻磁控濺鍍製程搭配一遮罩形成由透明導電材料所構成的該源極層與該汲極層。
- 【第10項】如請求項1所述的薄膜電晶體的製造方法，其中，該步驟(d)是以電漿輔助化學氣相沉積方式沉積形成該鈍化層。

【發明圖式】

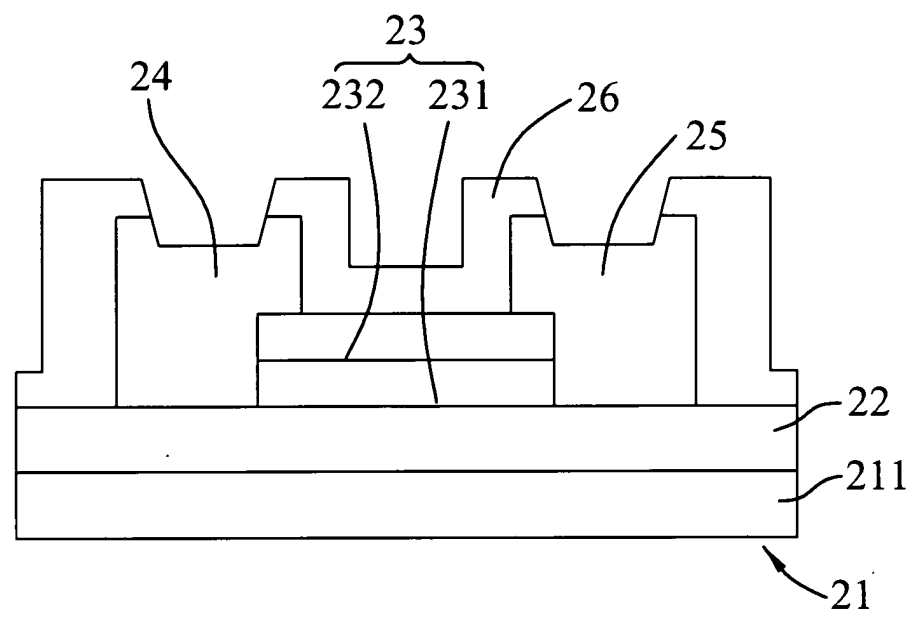


圖1

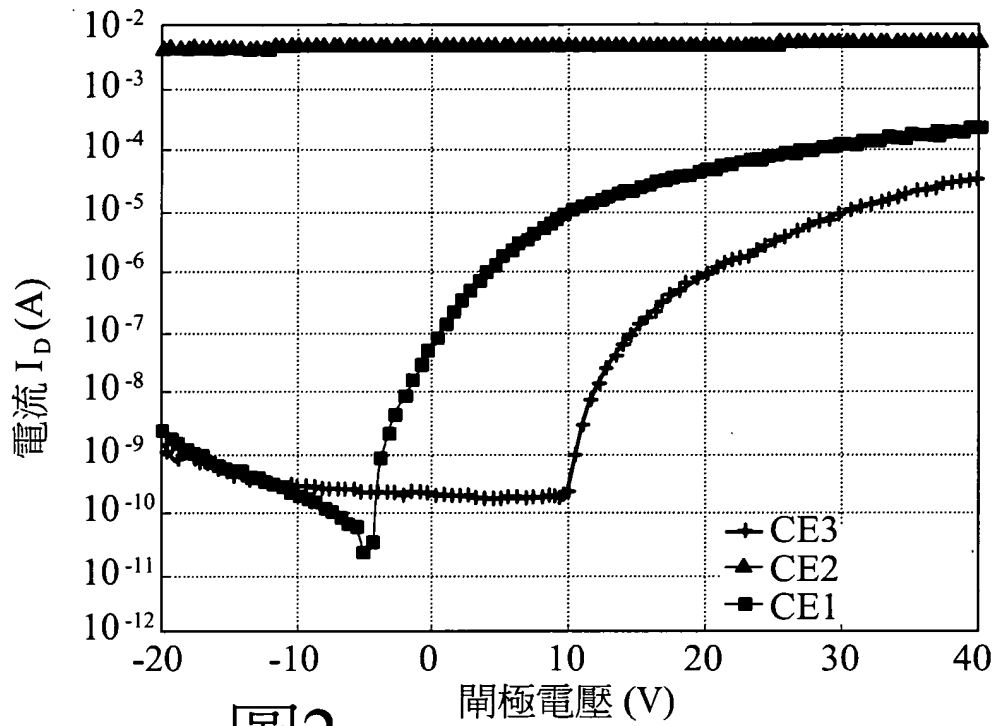


圖2

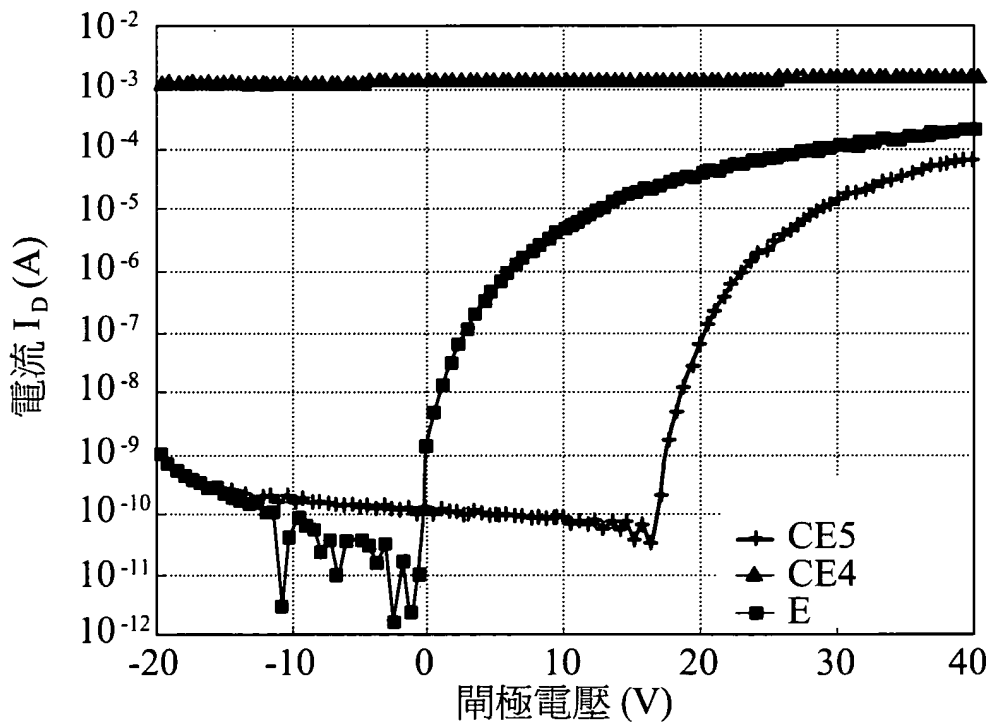


圖3

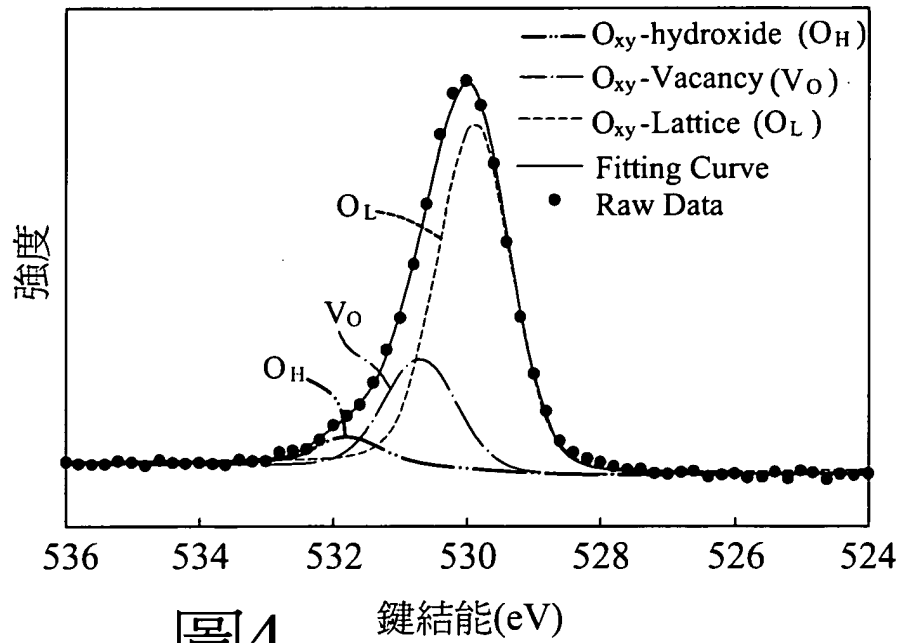


圖4

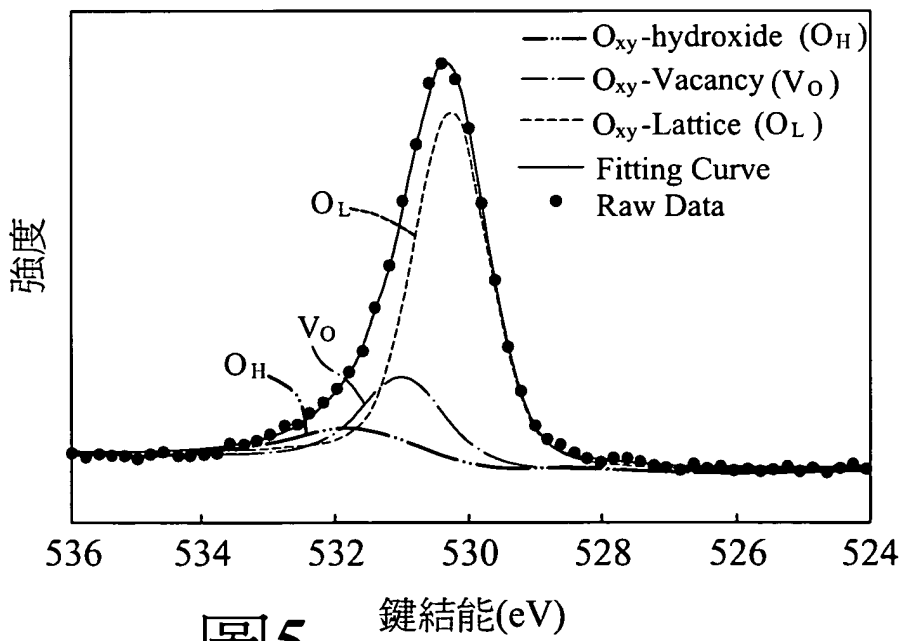


圖5

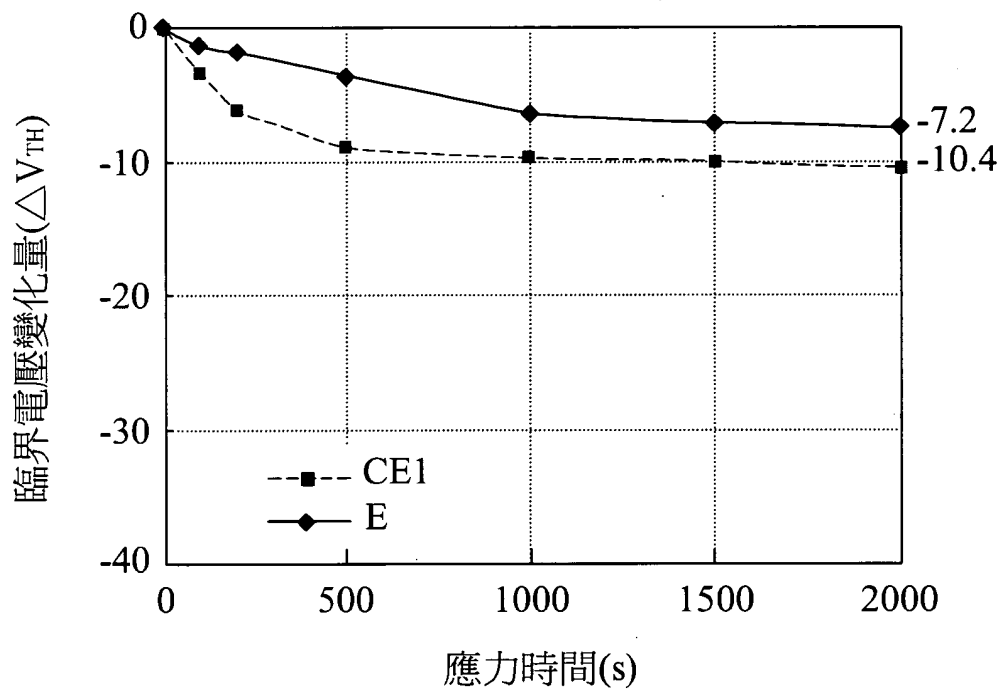


圖6