



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201727896 A

(43) 公開日：中華民國 106 (2017) 年 08 月 01 日

(21) 申請案號：105140793

(22) 申請日：中華民國 105 (2016) 年 12 月 09 日

(51) Int. Cl. : H01L29/40 (2006.01)

H01L29/66 (2006.01)

(30) 優先權：2016/01/28 美國

15/008,991

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊紹勳 CHUNG, STEVE S. (TW)；謝易叡 HSIEH, E RAY (TW)；林宜憲 LIN, YI
HSIEN (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：無 申請專利範圍項數：1 項 圖式數：5 共 61 頁

(54) 名稱

半導體裝置結構

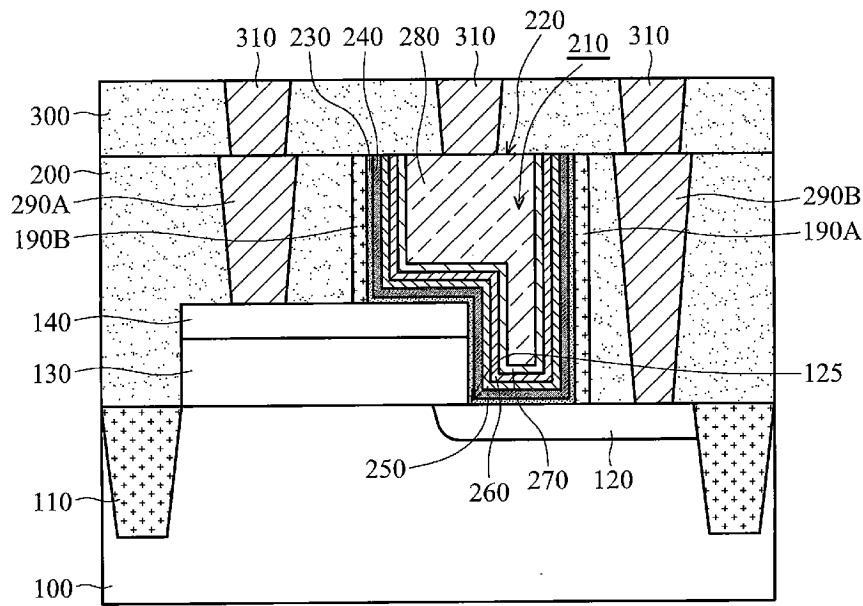
SEMICONDUCTOR DEVICE STRUCTURE

(57) 摘要

本揭露提供半導體裝置結構及其形成方法。半導體裝置結構包括源極結構，至少位於半導體基底內。半導體裝置結構也包括通道結構，位於半導體基底上。源極結構被通道結構局部地覆蓋。半導體裝置結構還包括汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。通道結構的一部分夾設於源極結構與汲極結構之間。再者，半導體裝置結構包括閘極堆疊，局部地覆蓋通道結構。

Structures and formation methods of a semiconductor device structure are provided. The semiconductor device structure includes a source structure at least partially in a semiconductor substrate. The semiconductor device structure also includes a channel structure over the semiconductor substrate. The source structure is partially covered by the channel structure. The semiconductor device structure further includes a drain structure covering the channel structure. The drain structure and the source structure have different conductivity types. A portion of the channel structure is sandwiched between the source structure and the drain structure. In addition, the semiconductor device structure includes a gate stack partially covering the channel structure.

指定代表圖：



第 1F 圖

符號簡單說明：

- 100 . . . 半導體基底
- 110 . . . 隔離特徵
- 120 . . . 源極結構
- 125 . . . 夾角
- 130 . . . 通道結構
- 140 . . . 汲極結構
- 190A、190B . . . 間隔元件
- 200 . . . 介電層
- 210 . . . 溝槽
- 220 . . . 閘極堆疊
- 230 . . . 界面層
- 240 . . . 閘極介電層
- 250 . . . 阻障層
- 260 . . . 功函數層
- 270 . . . 阻擋層
- 280 . . . 金屬填充層
- 290A、290B . . . 導電接觸部件
- 300 . . . 介電層
- 310 . . . 導電接觸部件

發明摘要

※ 申請案號：105140793

※ 申請日：105/12/09

※IPC 分類：*H01L 29/40* (2006.01)
H01L 29/66 (2006.01)

【發明名稱】 半導體裝置結構

SEMICONDUCTOR DEVICE STRUCTURE

【中文】

本揭露提供半導體裝置結構及其形成方法。半導體裝置結構包括源極結構，至少位於半導體基底內。半導體裝置結構也包括通道結構，位於半導體基底上。源極結構被通道結構局部地覆蓋。半導體裝置結構還包括汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。通道結構的一部分夾設於源極結構與汲極結構之間。再者，半導體裝置結構包括閘極堆疊，局部地覆蓋通道結構。

【英文】

Structures and formation methods of a semiconductor device structure are provided. The semiconductor device structure includes a source structure at least partially in a semiconductor substrate. The semiconductor device structure also includes a channel structure over the semiconductor substrate. The source structure is partially covered by the channel structure. The semiconductor device structure further includes a drain structure covering the channel structure. The drain structure and the source structure have different

conductivity types. A portion of the channel structure is sandwiched between the source structure and the drain structure. In addition, the semiconductor device structure includes a gate stack partially covering the channel structure.

【代表圖】

【本案指定代表圖】：第(1F)圖。

【本代表圖之符號簡單說明】：

100	半導體基底	110	隔離特徵
120	源極結構	125	夾角
130	通道結構	140	汲極結構
190A、190B	間隔元件		
200	介電層	210	溝槽
220	閘極堆疊	230	界面層
240	閘極介電層	250	阻障層
260	功函數層	270	阻擋層
280	金屬填充層	290A、290B	導電接觸部件
300	介電層	310	導電接觸部件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體裝置結構

SEMICONDUCTOR DEVICE STRUCTURE

【技術領域】

【0001】 本發明係有關於一種半導體技術，特別是有關於具有穿隧場效電晶體的半導體裝置結構及其形成方法。

【先前技術】

【0002】 半導體積體電路(integrated circuit, IC)產業已歷經了快速的成長。積體電路材料及設計之技術的進步造成積體電路世代的產生，每一世代的電路比前一代更小且更複雜。

【0003】 在積體電路的發展過程中，通常增加了功能密度(即，每單位晶圓面積所內連接的裝置的數量)，卻降低了幾何尺寸(即，製程中所能製造出的最小元件)。尺寸縮小所帶來的好處通常包括提高生產效率及降低相關成本。

【0004】 然而，上述發展增加了加工及製造積體電路的複雜性。由於結構尺寸持續縮小，製程難度也隨之提高。在半導體裝置越來越小的情況下維持半導體裝置的可靠度是現有製程的挑戰。

【發明內容】

【0005】 本揭露的一些實施例係提供半導體裝置結構。半導體裝置結構包括源極結構，至少位於半導體基底內。半導體裝置結構也包括通道結構，位於半導體基底上。源極結構被通道結構局部地覆蓋。半導體裝置結構還包括汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。通道結構

的一部分夾設於源極結構與汲極結構之間。再者，半導體裝置結構包括閘極堆疊，局部地覆蓋通道結構。

【0006】 本揭露的一些實施例係提供半導體裝置結構。半導體裝置結構包括閘極堆疊，位於半導體基底上。半導體裝置結構也包括通道結構，位於半導體基底上，且鄰接閘極堆疊的側壁。半導體裝置結構還包括源極結構，至少局部地位於半導體基底內，且重疊於閘極堆疊及通道結構。再者，半導體裝置結構包括汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。

【0007】 本揭露的一些實施例係提供半導體裝置結構的形成方法。半導體裝置結構的形成方法包括在半導體基底內或上方形成源極結構。半導體裝置結構的形成方法也包括在半導體基底上形成通道結構，使得通道結構與源極結構之間形成夾角。半導體裝置結構的形成方法還包括形成汲極結構，覆蓋通道結構。再者，半導體裝置結構的形成方法包括在通道結構的一部分上形成閘極堆疊。閘極堆疊的一部分位於夾角之中。

【圖式簡單說明】

【0008】

第 1A 至 1F 圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。

第 2A 及 2B 圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。

第 3A 至 3G 圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。

第 4A 圖係繪示出根據一些實施例之半導體裝置結構的立體圖。

第 4B 及 4C 圖係繪示出根據一些實施例之半導體裝置結構的剖面示意圖。

第 5 圖係繪示出根據一些實施例之半導體裝置結構的立體圖。

【實施方式】

【0009】 以下的揭露內容提供許多不同的實施例或範例，以實施本發明的不同特徵。而本說明書以下的揭露內容是敘述各個構件及其排列方式的特定範例，以求簡化發明的說明。當然，這些特定的範例並非用以限定本發明。例如，若是本說明書以下的揭露內容敘述了將一第一特徵形成於一第二特徵之上或上方，即表示其包含了所形成的上述第一特徵與上述第二特徵是直接接觸的實施例，亦包含了尚可將附加的特徵形成於上述第一特徵與上述第二特徵之間，而使上述第一特徵與上述第二特徵可能未直接接觸的實施例。另外，本發明的說明中不同範例可能使用重複的參照符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結構之間的關係。

【0010】 再者，為了方便描述圖式中一元件或特徵部件與另一(複數)元件或(複數)特徵部件的關係，可使用空間相關用語，例如「在...之下」、「下方」、「下部」、「上方」、「上部」及類似的用語等。除了圖式所繪示的方位之外，空間相關用語涵蓋使用或操作中的裝置的不同方位。所述裝置也可被另

外定位(例如，旋轉90度或者位於其他方位)，因此方向性用語僅用以說明圖示中的方向。

【0011】 本揭露的一些實施例描述如下。第1A至1F圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。可以在第1A至1F圖所述的階段之前、期間及/或之後進行額外的步驟。以下描述的某些階段在不同實施例中可替換或省略。可以在半導體裝置結構內加入額外的特徵。以下描述的某些特徵在不同實施例中可替換或省略。

【0012】 如第1A圖所示，提供半導體基底100。在一些實施例中，半導體基底100為基體(bulk)半導體基底，例如半導體晶圓。舉例來說，半導體基底100為矽晶圓。半導體基底100可包含矽或其他半導體元素材料，例如鍺。在一些其他實施例中，半導體基底100包含半導體化合物。半導體化合物可包含矽鍺、砷化鎵、碳化矽、砷化銮、磷化銮、其他適合的半導體化合物、或上述之組合。

【0013】 在一些實施例中，半導體基底100包含絕緣層上半導體(semiconductor-on-insulator, SOI)基底。絕緣層上半導體基底之製作方法可為晶圓接合製程、矽膜轉移(silicon film transfer)製程、佈植氧隔離(separation by implantation of oxygen, SIMOX)製程、其他適用的方法、或上述之組合。

【0014】 如第1A圖所示，在一些實施例中，多個隔離特徵110形成於半導體基底100內。隔離特徵110用以定義主動區，並電性隔離形成於主動區內的半導體基底100之中及/或之上的多種裝置元件。在一些實施例中，隔離特徵110包含淺溝槽

隔離 (shallow trench isolation, STI) 特徵、局部氧化矽 (local oxidation of silicon, LOCOS) 特徵、其他適合的隔離特徵部件、或上述之組合。

【0015】 在一些實施例中，每一隔離特徵 110 具有多層結構。在一些實施例中，隔離特徵 110 由介電材料所構成。介電材料可以包含氧化矽、氮化矽、氮氧化矽、摻雜氟的矽酸鹽玻璃 (fluoride-doped silicate glass, FSG)、低介電常數 (K) 之介電材料、其他適合的材料、或上述之組合。在一些實施例中，形成淺溝槽隔離襯層 (未繪示)，以降低半導體基底 100 與隔離特徵 110 之間的界面之結晶缺陷。

【0016】 在一些實施例中，多個凹口 (或溝槽) 形成於半導體基底 100 內。在一些實施例中，使用一次或多次光微影及蝕刻製程來形成凹口。之後，在半導體基底 100 上沉積介電材料層。介電材料層填充凹口。在一些實施例中，使用化學氣相沉積 (chemical vapor deposition, CVD) 製程、旋塗 (spin-on) 製程、其他適用的製程、或上述之組合來沉積介電材料層。在一些實施例中，進行平坦化製程，以薄化介電材料層直到暴露出半導體基底 100 的頂表面。平坦化製程可以包含化學機械研磨 (chemical mechanical polishing, CMP) 製程、研磨 (grinding) 製程、蝕刻製程、其他適用的製程、或上述之組合。

【0017】 如第 1A 圖所示，根據一些實施例，源極結構 120 形成於半導體基底 100 內。在一些實施例中，源極結構 120 鄰接隔離特徵 110 的其中一個或多個。在一些其他實施例中，源極結構 120 未與隔離特徵 110 直接接觸。

【0018】 在一些實施例中，源極結構120摻雜有一種或多種N型或P型摻雜物。舉例來說，半導體基底100包含矽，而源極結構120摻雜有磷(P)、砷(As)、或其他適合的摻雜物。或者，半導體基底100包含矽鍺，而源極結構120摻雜有硼(B)、或其他適合的摻雜物。在一些實施例中，源極結構120內的摻雜物濃度在大約 10^{19} atms/cm³至大約 10^{21} atms/cm³的範圍內。

【0019】 在一些實施例中，在半導體基底100上進行一次或多次離子佈植製程，以形成源極結構120。在一些實施例中，使用離子佈植遮罩(未繪示)，以確保摻雜物佈植至預定形成源極結構120之區域內。在一些實施例中，在離子佈植製程之後，進行熱處理，以活化摻雜物，進而形成源極結構。舉例來說，可進行快速熱退火(rapid thermal annealing)製程。

【0020】 本揭露的實施例並不限定於此。在一些其他實施例中，源極結構120包含磊晶結構。在一些實施例中，源極結構120包含P型或N型半導體材料。舉例來說，源極結構120可以包含磊晶成長的矽、磊晶成長的矽鍺(SiGe)、磊晶成長的摻雜磷之矽(SiP)、磊晶成長的摻雜硼之矽鍺(SiGeB)、或其他適合的磊晶成長的半導體材料。

【0021】 在一些實施例中，移除部份的半導體基底100以形成凹口，凹口位於源極結構120即將形成之處。在一些實施例中，使用一次或多次光微影及蝕刻製程來形成凹口。之後，在凹口內磊晶成長一種半導體材料(或是兩種或兩種以上的半導體材料)，以形成源極結構120。在一些實施例中，源極結構120的下部位於半導體基底100內，而源極結構120的上部從半導體

基底100的頂表面突出。

【0022】 在一些實施例中，使用選擇性磊晶成長(selective epitaxial growth, SEG)製程、化學氣相沉積(chemical vapor deposition, CVD)製程(例如氣相磊晶(vapor-phase epitaxy, VPE)製程、低壓化學氣相沉積(low pressure CVD, LPCVD)製程、及/或超高真空化學氣相沉積(ultra-high vacuum CVD, UHV-CVD)製程)、分子束磊晶製程、其他適用的製程、或上述之組合形成源極結構120。源極結構120的形成製程可以使用氣體及/或液體前驅物。

【0023】 在一些實施例中，在源極結構120的成長期間原位(in-situ)摻雜源極結構120。在一些其他實施例中，在源極結構120的成長期間，源極結構120未被摻雜，且在磊晶成長之後，在後續的製程中摻雜源極結構120。在一些實施例中，前述摻雜係使用離子佈植製程、電漿浸潤式離子佈植(plasma immersion ion implantation)製程、氣態及/或固態源擴散(gas and/or solid source diffusion)製程、其他適用的製程、或上述之組合。在一些實施例中，源極結構120進一步暴露於退火製程，以活化摻雜物。例如，進行快速熱退火製程。

【0024】 如第1B圖所示，根據一些實施例，在半導體基底100上形成通道結構130。在一些實施例中，通道結構130局部地覆蓋源極結構120。在一些實施例中，通道結構130具有與源極結構120垂直重疊的部分。在一些實施例中，通道結構130與源極結構120重疊的部分直接接觸源極結構120。在一些實施例中，通道結構130與源極結構120重疊的部分具有一寬度W在大

約 5nm 至大約 30nm 的範圍內。

【0025】 如第 1B 圖所示，根據一些實施例，在通道結構 130 與源極結構 120 之間產生夾角 125 。在一些實施例中，通道結構 130 的側壁 130S 大致上垂直於源極結構 120 的頂表面 120S。在一些其他實施例中，側壁 130S 傾斜於頂表面 120S。

【0026】 在一些實施例中，側壁 130S 與頂表面 120S 之間的夾角 125 的角度 θ 在大約 90 度至大約 145 度的範圍內。在一些其他實施例中，角度 θ 在大約 30 度至大約 90 度的範圍內。在形成 N 型穿隧場效電晶體 (tunneling field-effect transistor, TFET) 的一些實施例中，角度 θ 在大約 30 度至大約 145 度的範圍內。另一方面，在形成 P 型穿隧場效電晶體的一些實施例中，角度 θ 在大約 30 度至大約 125 度的範圍內。

【0027】 在一些實施例中，在半導體基底 100 上形成圖案化的遮罩層 (未繪示)。圖案化的遮罩層用於協助通道結構 130 的形成。圖案化的遮罩層具有開口暴露出一部分的半導體基底 100 及一部分的源極結構 120，開口位於將形成通道結構 130 之處。可以微調圖案化的遮罩層內的開口的輪廓，以調整後續形成的通道結構 130 的輪廓以及所得到的夾角 125 的角度 θ 。在一些實施例中，圖案化的遮罩層由氧化矽、氮化矽、其他適合的材料、或上述之組合所構成。

【0028】 舉例來說，在半導體基底 100 上沉積材料層 (遮罩層)。之後，在材料層上沉積光阻層，並利用一次或多次光微影製程對光阻層進行圖案化。圖案化的光阻作為用以圖案化材料層的蝕刻遮罩。之後，使用一次或多次蝕刻製程將圖案化的

光阻的圖案轉移至材料層。如此一來，即形成圖案化的遮罩層。接著，移除圖案化的光阻。在一些其他實施例中，圖案化的光阻層可直接作為圖案化的遮罩層。

【0029】 之後，在半導體基底100上沉積一種半導體材料(或是兩種或兩種以上的半導體材料)。由於圖案化的遮罩層的緣故，半導體材料的沉積是選擇性的。半導體材料沉積於透過圖案化的遮罩層之開口暴露出的半導體基底100及源極結構120上。如此一來，即形成通道結構130。在一些實施例中，沉積的半導體材料低於圖案化的遮罩層的頂表面。在一些其他實施例中，進行半導體材料的沉積，直到半導體材料與圖案化的遮罩層的頂表面大致上齊平或更高。

【0030】 舉例來說，半導體材料可包含磊晶成長的矽、磊晶成長的矽鍺、或磊晶成長的其他半導體材料。在一些實施例中，通道結構130及源極結構120包含不同的材料或由不同的材料所構成。例如，通道結構130包含鍺，而源極結構120包含矽。在一些其他實施例中，通道結構130及源極結構120包含相同的材料或由相同的材料所構成。例如，通道結構130及源極結構120包含矽鍺。在一些實施例中，使用選擇性磊晶成長製程、化學氣相沉積製程(例如氣相磊晶製程、低壓化學氣相沉積製程、及/或超高真空化學氣相沉積製程)、分子束磊晶製程、其他適用的製程、或上述之組合來沉積半導體材料。

【0031】 如第1B圖所示，根據一些實施例，在半導體基底100上形成汲極結構140。在一些實施例中，汲極結構140縱向地堆疊於通道結構130及源極結構120上方。在一些實施例中，

汲極結構 140 的底表面位於源極結構 120 的頂表面 120S 上方。在一些實施例中，汲極結構 140 覆蓋通道結構 130。在一些實施例中，汲極結構 140 與通道結構 130 直接接觸。在一些實施例中，通道結構 130 具有一部分縱向地夾設於汲極結構 140 與源極結構 120 之間。通道結構 130 夾設於汲極結構 140 與源極結構 120 之間的部分係作為電晶體的通道區。在一些實施例中，電晶體的通道區相對於源極結構 120 的頂表面 120S 是垂直的。在一些其他實施例中，電晶體的通道區傾斜於源極結構 120 的頂表面 120S。

【0032】 在一些實施例中，汲極結構 140 及通道結構 130 具有相同的尺寸。在一些其他實施例中，汲極結構 140 及通道結構 130 具有不同的尺寸。例如，汲極結構 140 可以比通道結構 130 窄(汲極結構 140 的寬度小於通道結構 130 的寬度)，且位於下方的通道結構 130 的一部分可以不被汲極結構 140 所覆蓋。

【0033】 在一些實施例中，用於形成通道結構 130 的圖案化的遮罩層亦用於輔助汲極結構 140 的形成。在一些實施例中，由於圖案化的遮罩層的緣故，一種半導體材料(或是兩種或兩種以上的半導體材料)係選擇性地沉積於通道結構 130 上。半導體材料沉積於透過圖案化的遮罩層之開口暴露出的通道結構 130 上。如此一來，即形成汲極結構 140。半導體材料的沉積製程可持續進行直到半導體材料與圖案化的遮罩層的上表面齊平，或是持續進行直到半導體材料高於圖案化的遮罩層的上表面。接著，移除圖案化的遮罩層。本揭露的實施例並不限定於此。在一些其他實施例中，依序使用不同的圖案化的遮罩層協

助通道結構130及汲極結構140的形成。

【0034】 可以微調圖案化的遮罩層內的開口的輪廓，以調整後續形成的汲極結構140的輪廓。在一些實施例中，汲極結構140的側壁大致上垂直於源極結構120的頂表面120S。在一些其他實施例中，汲極結構140的側壁傾斜於頂表面120S。

【0035】 在一些實施例中，汲極結構140可以包含磊晶成長的矽、磊晶成長的矽鍺、磊晶成長的摻雜磷之矽、磊晶成長的摻雜硼之矽鍺、或其他適合的磊晶成長的半導體材料。在一些實施例中，汲極結構140及源極結構120包含不同的材料或由不同的材料所構成。在一些其他實施例中，汲極結構140及源極結構120包含相同的材料或由相同的材料所構成。在一些實施例中，汲極結構140及通道結構130包含相同的材料或由相同的材料所構成。在一些其他實施例中，汲極結構140及通道結構130包含不同的材料或由不同的材料所構成。

【0036】 根據一些實施例，汲極結構140及源極結構120包含相同的材料或由相同的材料所構成，且不同於通道結構130的材料。異質P-I-N界面(Hetero-P-I-N junction)產生能隙不匹配(bandgap mismatch)。如此一來，能帶至能帶(band-to-band)穿隧機率增加。因此，穿隧場效電晶體的驅動電流或穿隧電流(I_{on})顯著地增強。

【0037】 在一些實施例中，使用選擇性磊晶成長製程、化學氣相沉積製程(例如氣相磊晶製程、低壓化學氣相沉積製程、及/或超高真空化學氣相沉積製程)、分子束磊晶製程、沉積摻雜非晶半導體(例如，矽、鍺、或矽鍺)後固態磊晶再結晶

(solid-phase epitaxial recrystallization, SPER)步驟、其他適用的製程、或上述之組合來形成汲極結構140。汲極結構140的形成製程可以使用氣體及/或液體前驅物。

【0038】 在一些實施例中，汲極結構140摻雜有一種或多種N型或P型摻雜物。舉例來說，汲極結構140摻雜有磷、砷、銻(Sb)或其他適合的摻雜物。或者，汲極結構140摻雜有硼、或其他適合的摻雜物。在一些實施例中，汲極結構140內的摻雜物濃度在大約 10^{19} atms/cm³至大約 10^{21} atms/cm³的範圍內。在一些實施例中，進行多次離子佈植製程，以摻雜汲極結構140。

【0039】 在一些實施例中，汲極結構140及源極結構120內的摻雜物是不同類型。在一些實施例中，汲極結構140摻雜有P型摻雜物，而源極結構120摻雜有N型摻雜物，因此將製造出一個或多個P型穿隧場效電晶體。在一些其他實施例中，汲極結構140摻雜有N型摻雜物，而源極結構120摻雜有P型摻雜物，因此將製造出一個或多個N型穿隧場效電晶體。

【0040】 在一些實施例中，在汲極結構140的成長期間原位摻雜汲極結構140。在一些其他實施例中，在汲極結構140的成長期間，汲極結構140未被摻雜，且在磊晶成長之後，在後續的製程中摻雜汲極結構140。在一些實施例中，前述摻雜係使用離子佈植製程、電漿浸潤式離子佈植製程、氣態及/或固態源擴散製程、其他適用的製程、或上述之組合。在一些實施例中，汲極結構140進一步暴露於退火製程，以活化摻雜物。例如，進行快速熱退火製程。

【0041】 可以對本揭露的實施例進行許多更動及修改。在

一些其他實施例中，在同一階段進行通道結構130及汲極結構140的磊晶成長。在一些實施例中，在半導體基底100上沉積一種半導體材料(或是兩種或兩種以上的半導體材料)。之後，以適合的摻雜物摻雜半導體材料的上部。如此一來，半導體材料的上部形成汲極結構140，半導體材料的下部形成通道結構130。

【0042】 如第1C圖所示，根據一些實施例，在半導體基底100上形成閘極堆疊150。閘極堆疊150局部地覆蓋通道結構130及源極結構120。在一些實施例中，閘極堆疊150的底表面在通道結構130的頂表面下方。在一些實施例中，閘極堆疊150的一部分填充通道結構130與源極結構120之間的夾角125。在一些實施例中，閘極堆疊150的側壁150S大致上垂直於源極結構120的頂部表面120S。在一些其他實施例中，側壁150S傾斜於頂表面120S。

【0043】 在一些實施例中，閘極堆疊150進一步延伸於汲極結構140上方(汲極結構140的頂表面的正上方)。在一些實施例中，閘極堆疊150的上部150A比閘極堆疊150的下部150B寬。在一些實施例中，閘極堆疊150的上部150A比閘極堆疊150的下部150B寬。閘極堆疊150的上部150A的一側壁與閘極堆疊150的下部150B的側壁150S非共平面。

【0044】 在一些實施例中，閘極堆疊150包含閘極介電層160、位於閘極介電層160上的閘極電極170、以及位於閘極電極170上的硬遮罩180。閘極介電層160可以在後續的蝕刻製程期間作為蝕刻停止層。

【0045】 在一些實施例中，閘極介電層160由氧化矽、氮化矽、氮氧化矽、具有高介電常數(K)之介電材料、其他適合的介電材料、或上述之組合所構成。在一些實施例中，閘極介電層160是虛設(dummy)閘極介電層，其將在後續的閘極置換製程被去除。舉例來說，虛設的閘極介電層160是氧化矽層。在一些實施例中，閘極介電層160順應性地沉積於源極結構120、通道結構130及汲極結構140上。可以使用化學氣相沉積製程、原子層沉積(atomic layer deposition, ALD)製程、物理氣相沉積(physical vapor deposition, PVD)製程、旋塗製程、其他適用的製程、或上述之組合沉積閘極介電層160。

【0046】 在一些實施例中，閘極電極170包含多晶矽、金屬材料、其他適合的導電材料、或上述之組合。在一些實施例中，閘極電極170是虛設閘極電極，且將被另一種導電材料(例如，一種或多種金屬材料)所代替。舉例來說，虛設的閘極電極170由多晶矽所構成。

【0047】 在一些實施例中，硬遮罩180可在閘極電極170的形成期間作為蝕刻遮罩。硬遮罩180亦可在後續製程期間保護閘極電極170。在一些實施例中，硬遮罩180由氮化矽、氮氧化矽、碳化矽、氧化矽、碳氮化矽、其他適合的材料、或上述之組合所構成。在一些實施例中，硬遮罩180具有多層結構。可以對本揭露的實施例進行許多更動及修改。在一些其他實施例中，不形成硬遮罩180。

【0048】 在一些實施例中，在閘極介電層160上沉積閘極電極層以及一層或多層硬遮罩層。在一些實施例中，透過使用適

合的沉積方法，依序地沉積閘極電極層以及硬遮罩層。適合的沉積方法可包含化學氣相沉積製程、原子層沉積製程、熱氧化製程、物理氣相沉積製程、其他適用的製程、或上述之組合。之後，進行光微影製程及蝕刻製程，以將硬遮罩層圖案化，進而形成硬遮罩180。

【0049】 在硬遮罩180的協助下，將閘極電極層圖案化。如此一來，即形成閘極電極170。在用於形成閘極電極170的蝕刻製程期間，閘極介電層160可以作為蝕刻停止層，以保護源極結構120、通道結構130及汲極結構140。之後，去除閘極介電層160未被閘極電極170覆蓋的部分，例如使用另一蝕刻製程來去除。如此一來，閘極介電層160被圖案化，且形成閘極堆疊150，如第1C圖所示。

【0050】 本揭露的實施例並不限定於此。在一些其他實施例中，閘極堆疊150並非虛設閘極堆疊，且不會被移除。在一些實施例中，閘極堆疊150還包含位於閘極介電層160下方的界面層(interfacial layer, IL)。界面層可以用於形成具有低密度缺陷的高品質界面，且對於介電材料與半導體材料之間的界面反應及/或擴散產生阻隔的效果。在一些實施例中，界面層由氧化矽所構成。在一些實施例中，使用原子層沉積製程、熱氧化製程、其他適用的製程、或上述之組合來形成界面層。在一些其他實施例中，閘極堆疊150不包含界面層。在一些實施例中，閘極介電層160與源極結構120、通道結構130及汲極結構140直接接觸。

【0051】 如第1C圖所示，根據一些實施例，多個間隔元件

190A及190B形成於閘極堆疊150的側壁上。在一些實施例中，間隔元件190A覆蓋閘極堆疊150的上部150A及下部150B的側壁。在一些實施例中，間隔元件190B覆蓋閘極堆疊150的上部150A的其他側壁。在一些實施例中，閘極堆疊150的下部150B的側壁150S未被間隔元件190A及間隔元件190B覆蓋。在一些實施例中，間隔元件190A及間隔元件190B具有不同的高度。例如，間隔元件190A比間隔元件190B高且長(間隔元件190A的高度大於間隔元件190B的高度)。

【0052】 在一些實施例中，間隔元件190A覆蓋源極結構120。在一些實施例中，閘極堆疊150的下部150B橫向地夾設於間隔元件190A與通道結構130之間。在一些實施例中，間隔元件190B覆蓋汲極結構140。在一些實施例中，間隔元件190B縱向地重疊通道結構130。在一些實施例中，汲極結構140的一部分縱向地夾設於在間隔元件190B與通道結構130之間。

【0053】 在一些實施例中，間隔元件190A及間隔元件190B由氮化矽、氮氧化矽、碳化矽、其他適合的材料、或上述之組合所構成。在一些實施例中，在半導體基底100上沉積間隔層。可以使用化學氣相沉積製程、物理氣相沉積、旋塗製程、其他適用的製程、或上述之組合來沉積間隔層。之後，進行蝕刻製程(例如，異向性(anisotropic)蝕刻製程)，以局部地去除間隔層。結果，間隔層在閘極堆疊150的側壁上的剩餘部分形成間隔元件190A及間隔元件190B。

【0054】 如第1D圖所示，根據一些實施例，在半導體基底100上沉積介電層200。介電層200作為內層介電層(interlayer

dielectric layer, ILD)。在一些實施例中，介電層200由氧化矽、氮氧化矽、硼矽酸鹽玻璃(borosilicate glass, BSG)、磷矽酸鹽玻璃(phosphosilicate glass, PSG)、硼磷矽酸鹽玻璃(borophosphosilicate glass, BPSG)、摻雜氟的矽酸鹽玻璃、低K介電材料、多孔介電材料、其他適合的介電材料、或上述之組合所構成。

【0055】 在一些實施例中，使用化學氣相沉積製程、旋塗製程、原子層沉積製程、物理氣相沉積製程、其他適用的製程、或上述之組合來沉積介電層200。在一些實施例中，介電層200覆蓋且環繞通道結構130、汲極結構140、閘極堆疊150、間隔元件190A及間隔元件190B。之後，將介電層200薄化，直到暴露出閘極電極170。在一些實施例中，進行平坦化製程，以薄化介電層200。平坦化製程可包含化學機械研磨製程、研磨製程、蝕刻製程、其他適用的製程、或上述之組合。在一些實施例中，在平坦化製程期間去除硬遮罩180，且去除間隔元件190A及間隔元件190B的上部。

【0056】 如第1D圖所示，根據一些實施例，去除虛設的閘極堆疊150。結果，在半導體基底100上方形成溝槽210。在一些實施例中，溝槽210暴露出先前被閘極介電層160及閘極電極170覆蓋的源極結構120、通道結構130及汲極結構140的一部分。在一些實施例中，溝槽210暴露通道結構130及源極結構120之間的夾角125。在一些實施例中，使用濕式蝕刻製程、乾式蝕刻製程、其他適用的製程、或上述之組合去除虛設的閘極堆疊150。

【0057】 如第1E圖所示，根據一些實施例，在溝槽210內形成閘極堆疊220。在一些實施例中，閘極堆疊220的上部220'比閘極堆疊220的下部220''寬。在一些實施例中，上部220'的一側壁與下部220'的一側壁非共平面。在一些實施例中，閘極堆疊220包含界面層230、閘極介電層240及金屬閘極堆疊結構。

【0058】 如第1E圖所示，根據一些實施例，界面層230沉積於溝槽210的側壁及底部上。在一些實施例中，界面層230由氧化矽所構成。在一些實施例中，界面層230由氧化鋯所構成。在一些其他實施例中，界面層230由矽鋯氧化物或其他適合的材料所構成。在一些實施例中，使用原子層沉積製程、熱氧化製程、其他適用的製程、或上述之組合來形成界面層230。在一些其他實施例中，閘極堆疊220不包含界面層230。在一些實施例中，閘極介電層240與源極結構120、通道結構130及汲極結構140直接接觸。

【0059】 如第1E圖所示，根據一些實施例，在界面層230上沉積閘極介電層240。在一些實施例中，閘極介電層240順應性地延伸於溝槽210的側壁及底部上。在一些實施例中，閘極介電層240是高K介電層。高K介電層可以由氧化鉛、氧化鋯、氧化鋁、氧氮化矽、二氧化鉛-氧化鋁合金、氧化鉛矽、氧氮化鉛矽、氧化鉛鉭、氧化鉛鈦、氧化鉛鋯、其他適合的高K介電材料、或上述之組合所構成。

【0060】 在一些實施例中，使用原子層沉積製程、化學氣相沉積製程、旋塗製程、其他適用的製程、或上述之組合來沉積閘極介電層240。在一些實施例中，進行高溫退火步驟，以

減少或消除閘極介電層240中的缺陷。

【0061】 金屬閘極堆疊結構沉積於閘極介電層240上。在一些實施例中，金屬閘極堆疊結構包含多層金屬閘極堆疊層。在一些實施例中，金屬閘極堆疊層包含阻障(barrier)層250、功函數層260、阻擋(blocking)層270及金屬填充層280。這些金屬閘極堆疊層的其中一些膜層在不同實施例中可替換或省略。可以在金屬閘極堆疊結構內加入額外的膜層。

【0062】 如第1E圖所示，根據一些實施例，在閘極介電層240上沉積阻障層250。阻障層250可以用於允許閘極介電層240與後續形成的功函數層260產生界面。阻障層250亦可用於防止閘極介電層240與後續形成的功函數層260之間的擴散。在一些實施例中，阻障層250順應性地延伸於溝槽210的側壁及底部上。

【0063】 在一些實施例中，阻障層250由含金屬的材料所構成。金屬材料可以包含氮化鈦、氮化鋁、其他適合的材料、或上述之組合。在一些實施例中，阻障層250包含多層結構。在一些實施例中，使用原子層沉積製程、物理氣相沉積製程、電鍍製程、無電鍍製程、化學氣相沉積製程、其他適用的製程、或上述之組合來沉積阻障層250。在一些其他實施例中，不形成阻障層250。

【0064】 如第1E圖所示，根據一些實施例，在阻障層250上形成功函數層260。功函數層260用於為電晶體提供所需的功函數，以增強裝置性能(例如，改善臨界電壓)。在一些實施例中，功函數層260順應性地延伸於溝槽210的側壁及底部上。

【0065】 在形成N型穿隧場效電晶體的一些實施例中，功函數層260可以是N型金屬層。N型金屬層可以包含金屬、金屬碳化物、金屬氮化物、或上述之組合。舉例來說，N型金屬層包含氮化鈦、鈹、氮化鈹、其他適合的材料、或上述之組合。

【0066】 另一方面，在形成P型穿隧場效電晶體的一些實施例中，功函數層260可以是P型金屬層。P型金屬層可以包含金屬、金屬碳化物、金屬氮化物、其他適合的材料、或上述之組合。舉例來說，P型金屬包含氮化鈹、氮化鎢、鈦、氮化鈦、其他適合的材料、或上述之組合。

【0067】 功函數層260之組成亦可包含鉛、鋳、鈦、鈹、鋁、金屬碳化物(例如，碳化鉛、碳化鋳、碳化鈦、或碳化鋁)、金屬氮化物、鈺、鈮、鉑、鈷、鎳、導電金屬氧化物、或上述之組合。可以微調功函數層260的厚度及/或組成，以調整功函數等級。舉例來說，氮化鈦層可作為P型金屬層或N型金屬層，端視其厚度及/或組成而定。

【0068】 如第1E圖所示，根據一些實施例，阻擋層270沉積於功函數層260上。阻擋層270可以用於防止後續形成的金屬填充層280擴散或滲透到功函數層260內。在一些實施例中，阻擋層270順應性地延伸於溝槽210的側壁及底部上。

【0069】 在一些實施例中，阻擋層270由氮化鈹、氮化鈦、其他適合的材料、或上述之組合所構成。在一些實施例中，使用原子層沉積製程、物理氣相沉積製程、電鍍製程、無電鍍製程、其他適用的製程、或上述之組合來沉積阻擋層270。在一些其他實施例中，不形成阻擋層270。

【0070】 如第1E圖所示，根據一些實施例，金屬填充層280沉積於阻擋層270上，以填充溝槽210。在一些實施例中，金屬填充層280由鎢、鋁、銅、鈷、其他適合的材料、或上述之組合所構成。在一些實施例中，使用物理氣相沉積製程、化學氣相沉積製程、電鍍製程、無電鍍製程、其他適用的製程、或上述之組合來沉積金屬填充層280。在一些其他實施例中，不形成金屬填充層280。

【0071】 在一些實施例中，界面層230、閘極介電層240及金屬閘極堆疊層一起填滿溝槽210。在一些實施例中，界面層230、閘極介電層240及金屬閘極堆疊層超出溝槽210外側的部分覆蓋介電層200。之後，去除溝槽210外側的界面層230、閘極介電層240及金屬閘極堆疊層的部分。如此一來，保留在溝槽210內的金屬閘極堆疊層共同形成金屬閘極堆疊結構。保留在溝槽210內的界面層230、閘極介電層240及金屬閘極堆疊結構共同形成閘極堆疊220。舉例來說，使用平坦化製程，以局部地去除溝槽210外側的界面層230、閘極介電層240及金屬閘極堆疊層。平坦化製程可包含化學機械研磨製程、研磨製程、蝕刻製程、其他適用的製程、或上述之組合。

【0072】 根據一些實施例，形成導電接觸(contact)部件，以電性連接半導體基底100內或上方的導電特徵部件。如第1F圖所示，根據一些實施例，形成導電接觸部件290A及290B，以分別電性連接至汲極結構140及源極結構120。根據一些實施例，由於源極結構120形成於半導體基底100內，且汲極結構140形成於半導體基底100上方，因此導電接觸部件290A及導電接

觸部件290B具有不同的高度。在一些實施例中，導電接觸部件290A比導電接觸部件290B短(導電接觸部件290A的高度小於導電接觸部件290B的高度)。在一些實施例中，汲極結構140的一部分縱向地夾設於導電接觸部件290A與通道結構130之間。

【0073】 在一些實施例中，將介電層200圖案化，以形成接觸開口，接觸開口暴露出導電特徵部件(例如，源極結構120及汲極結構140)。之後，在介電層200上沉積導電材料層，以填充接觸開口。後續使用平坦化製程去除導電材料層位於接觸開口外側的部分。如此一來，導電材料層位於接觸開口內的剩餘部分形成導電接觸部件290A及導電接觸部件290B。

【0074】 在一些實施例中，前述導電材料層由鎢、鋁、銅、金、鉑、鈦、其他適合的材料、或上述之組合所構成。在一些實施例中，使用化學氣相沉積製程、物理氣相沉積製程、電鍍製程、無電鍍製程、其他適用的製程、或上述之組合來沉積導電材料層。

【0075】 如第1F圖所示，根據一些實施例，在介電層200上形成介電層300及多個導電接觸部件310。導電接觸部件310位於介電層300內。在一些實施例中，導電接觸部件310電性連接至閘極堆疊220、導電接觸部件290A及導電接觸部件290B。

【0076】 在一些實施例中，連接到閘極堆疊220的其中一個導電接觸部件310與源極結構120重疊。在一些實施例中，連接到閘極堆疊220的其中一個導電接觸部件310與汲極結構140重疊。介電層300的材料及/或形成方法類似於介電層200的材料及/或形成方法，且導電接觸部件310的材料及/或形成方法類似

於導電接觸部件290A及290B的材料及/或形成方法，因此不再重複描述。

【0077】 根據本揭露的一些實施例，在通道結構及源極結構之間建立一個或多個夾角，且閘極堆疊填充夾角。如此一來，增強了穿隧場效電晶體的電場，而且經改善的電場分佈得更寬且延伸到通道結構內，使得通道結構內穿隧機率較高的區域能夠與通道結構內電場較大的區域重疊或對準。當高穿隧機率及高電場出現在通道結構內大致上相同的位置時，可穿隧速率或效率增強。因此，穿隧場效電晶體的 I_{on} 顯著地增加，且穿隧場效電晶體的次臨界擺幅(sub-threshold swing, S.S.)值更進一步降低。

【0078】 根據一些實施例，隨著夾角的角度 θ 變大，延伸到通道結構內的電場分佈變寬。如此一來，更容易達到通道結構內較高穿隧機率的區域與通道結構內較佳電場的區域之間的重疊。因此，夾角的角度 θ 變大時， I_{on} 變大且S.S.值變小。舉例來說，具有大約90度的角度 θ 之穿隧場效電晶體的 I_{on} 可能大於具有大約45度的角度 θ 之穿隧場效電晶體的 I_{on} ，且可能小於具有大約145度的角度 θ 之穿隧場效電晶體的 I_{on} 。

【0079】 在形成N型穿隧場效電晶體的一些實施例中，角度 θ 控制在大約30度至大約145度的範圍內。另一方面，在形成P型穿隧場效電晶體的一些實施例中，角度 θ 控制在大約30度至大約125度的範圍內。在一些情況下，角度 θ 應大致上等於或大於大約30度，例如角度 θ 大致上等於或大於大約45度。如果角度 θ 小於大約30度，則電場分佈幾乎不會擴展至通道結構內。

結果，可能難以達到較高穿隧機率的區域與較佳電場的區域之間的重疊或對準。然而，本揭露的實施例並不限定於此。在一些其他情況下，角度 θ 可能小於大約30度。

【0080】 在形成N型穿隧場效電晶體的一些情況下，角度 θ 應大致上等於或小於大約145度。另一方面，在形成P型穿隧場效電晶體的一些情況下，角度 θ 應大致上等於或小於大約125度。否則，延展到通道結構內的電場分佈會被分散稀釋，因此穿隧效率可能幾乎不會提高。然而，本揭露的實施例並不限定於此。在形成N型穿隧場效電晶體的一些其他情況下，角度 θ 可能大於大約145度。在形成P型穿隧場效電晶體的一些其他情況下，角度 θ 可能大於大約125度。

【0081】 可以對本揭露的實施例進行許多變化及/或修改。例如，可以在第1B圖所描述的階段之後以及在第1C圖所描述的階段之前提供額外的步驟。第2A及2B圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。在一些實施例中，用於形成第1A至1F圖所示之半導體裝置結構的製程也可應用於第2A及2B圖的實施例中。半導體裝置結構的材料及/或形成方法已描述於上述實施例中，故不再重複。

【0082】 根據一些實施例，提供第1B圖所示之半導體裝置結構。接著，調整通道結構130的輪廓。如第2A圖所示，通道結構130的側壁130S變得傾斜於源極結構120的頂表面120S。結果，改變了側壁130S與頂表面120S之間的角度 θ 。例如，可以增加角度 θ ，以改善穿隧場效電晶體的 I_{on} 。

【0083】 在一些實施例中，鄰近源極結構120的通道結構130的側壁部分被局部地移除，以改變通道結構130的輪廓，並修飾角度 θ 。在一些實施例中，進行蝕刻製程，以局部地移除通道結構130。在一些實施例中，蝕刻製程包含濕式蝕刻製程、乾式蝕刻製程、其他適用的製程、或上述之組合。可以微調蝕刻製程的製程條件，以使得通道結構130的側壁傾斜。如此一來，通道結構130具有與源極結構120相鄰的傾斜側壁130S。在一些其他實施例中，鄰近源極結構120的通道結構130及汲極結構140的側壁部分被局部地移除。結果，通道結構130及汲極結構140都具有與源極結構120相鄰的傾斜側壁。

【0084】 在一些實施例中，具有傾斜側壁130S的通道結構130具有夾設於汲極結構140與源極結構120之間的部分。通道結構130的前述部分係作為電晶體的通道區。在一些實施例中，電晶體的通道區傾斜於源極結構120的頂表面120S。

【0085】 之後，在第2A圖所示之半導體裝置結構上進行用於形成第1C至1F圖所示之半導體裝置結構的製程。如此一來，即製造出第2B圖所示之半導體裝置結構，其包含具有傾斜側壁220S的閘極堆疊220。在一些實施例中，側壁220S傾斜於源極結構120的頂表面120S，且鄰接通道結構130及汲極結構140。

【0086】 本揭露的實施例不僅可以應用於具有P型或N型穿隧場效電晶體的半導體裝置結構，亦可應用於具有互補型穿隧場效電晶體(complementary TFET, CTFET)的半導體裝置結構。第3A至3G圖係繪示出根據一些實施例之半導體裝置結構的製造過程之各個階段的剖面示意圖。可以在第3A至3G圖所

述的階段之前、期間及/或之後進行額外的步驟。以下描述的某些階段在不同實施例中可替換或省略。在一些實施例中，具有互補型穿隧場效電晶體的半導體裝置結構的材料及/或形成方法，與前述具有P型或N型穿隧場效電晶體的半導體裝置結構的材料及/或形成方法類似，故不再重複描述。

【0087】 如第3A圖所示，提供第1A圖所示之半導體裝置結構。半導體基底100區分為包含區域100A及區域100B的多個區域。在一些實施例中，P型穿隧場效電晶體配置為形成於區域100A內，且N型穿隧場效電晶體配置為形成於區域100B內。在一些其他實施例中，N型穿隧場效電晶體配置為形成於區域100A內，且P型穿隧場效電晶體配置為形成於區域100B內。

【0088】 類似於第1A圖所示之實施例，根據一些實施例，在區域100A內的半導體基底100內形成源極結構120A，如第3A圖所示。在一些實施例中，源極結構120A摻雜有一種或多種N型或P型摻雜物。在一些實施例中，使用離子佈植遮罩(未繪示)，以確保區域100A內的半導體基底100被摻雜以形成源極結構120，而區域100B內的半導體基底100不被摻雜。例如，離子佈植遮罩具有暴露區域100A的一部分而不暴露區域100B的開口。

【0089】 類似於第1B圖所示之實施例，在第3B圖所示之一些實施例中，在區域100A內的半導體基底100上方形成通道結構130A。在一些實施例中，在通道結構130A與源極結構120A之間產生具有角度 θ_A 的夾角125。

【0090】 如第3B圖所示，根據一些實施例，在區域100B內

的半導體基底100上形成半導體材料層320。在一些實施例中，半導體材料層320包含矽或其他半導體元素材料(例如，鍺)。在一些其他實施例中，半導體材料層320包含半導體化合物。半導體化合物可包含矽鍺、砷化鎵、碳化矽、砷化銮、磷化銮、其他適合的半導體化合物、或上述之組合。

【0091】 在一些實施例中，半導體材料層320及半導體基底100包含不同的材料或由不同的材料所構成。例如，半導體材料層320包含矽鍺，而半導體基底100包含矽。在一些實施例中，半導體材料層320及通道結構130A包含相同的材料或由相同的材料所構成。在一些其他實施例中，半導體材料層320及通道結構130A包含不同的材料或由不同的材料所構成。

【0092】 在一些實施例中，在半導體基底100上形成圖案化的遮罩層，以輔助半導體材料層320的形成。圖案化的遮罩層具有暴露區域100B內的半導體基底100的一部分的開口。在一些實施例中，圖案化的遮罩層由氧化矽、氮化矽、其他適合的材料、或上述之組合所構成。

【0093】 之後，在區域100B內的半導體基底100上選擇性地沉積一種或多種半導體材料。如此一來，半導體材料層320即形成於區域100B內。後續去除圖案化的遮罩層。在一些實施例中，使用選擇性磊晶成長製程、化學氣相沉積製程(例如氣相磊晶製程、低壓化學氣相沉積製程、及/或超高真空化學氣相沉積製程)、分子束磊晶製程、其他適用的製程、或上述之組合沉積半導體材料。在一些實施例中，半導體材料層320及通道結構130A在同一階段形成。舉例來說，使用同一圖案化的遮

罩層，以協助半導體材料層320及通道結構130A的形成。在一些其他實施例中，半導體材料層320及通道結構130A在不同的階段形成。舉例來說，使用不同的圖案化的遮罩層，以分別協助半導體材料層320及通道結構130A的形成。

【0094】 類似於第1B圖所示之實施例，在第3B圖所示之一些實施例中，在區域100A內的通道結構130A上形成汲極結構140A。在一些實施例中，汲極結構140A摻雜有一種或多種N型或P型摻雜物。在一些實施例中，汲極結構140A及源極結構120A內的摻雜物是不同類型。在一些實施例中，在形成半導體材料層320之後，形成汲極結構140A。在一些其他實施例中，在形成半導體材料層320之前，形成汲極結構140A。

【0095】 如第3C圖所示，根據一些實施例，在區域100B內的半導體材料層320內形成源極結構120B。在一些實施例中，源極結構120B摻雜有一種或多種N型或P型摻雜物。在一些實施例中，源極結構120A及源極結構120B內的摻雜物是不同類型。

【0096】 在一些實施例中，在半導體材料層320上進行一次或多次離子佈植製程，以形成源極結構120B。在一些實施例中，離子佈植遮罩用於確保區域100B內的半導體材料層320被摻雜以形成源極結構120B，而區域100A內的結構不被摻雜。例如，離子佈植遮罩具有暴露區域100B的一部分而不暴露區域100A的開口。在一些實施例中，在形成汲極結構140A之後，形成源極結構120B。在一些其他實施例中，在形成汲極結構140A之前，形成源極結構120B。源極結構120B的材料及/或形

成方法與源極結構120的材料及/或形成方法相同或相似。

【0097】 如第3D圖所示，根據一些實施例，在區域100B內的半導體材料層320上形成通道結構130B。在一些實施例中，在通道結構130B與源極結構120B之間產生具有角度 θ_B 的角125。在一些實施例中，區域100B內的角度 θ_B 及區域100A內的角度 θ_A 相同。在一些實施例中，區域100B內的角度 θ_B 及區域100A內的角度 θ_A 不同。

【0098】 在一些實施例中，通道結構130A及通道結構130B包含不同材料或由不同材料所構成，通道結構130A及通道結構130B的材料係適用於P型穿隧場效電晶體及N型穿隧場效電晶體。舉例來說，通道結構130A包含矽鍺，且通道結構130B包含矽。在一些其他實施例中，通道結構130A及通道結構130B包含相同的材料或由相同的材料所構成。通道結構130B的材料及/或形成方法與通道結構130的材料及/或形成方法相同或相似。

【0099】 如第3D圖所示，根據一些實施例，在區域100B內的通道結構130B上方形成汲極結構140B。在一些實施例中，汲極結構140B摻雜有一種或多種N型或P型摻雜物。在一些實施例中，汲極結構140B及源極結構120B內的摻雜物是不同類型。在一些實施例中，汲極結構140B及汲極結構140A內的摻雜物是不同類型。

【0100】 在一些實施例中，汲極結構140A及汲極結構140B包含不同材料或由不同材料所構成，汲極結構140A及汲極結構140B的材料係適用於P型穿隧場效電晶體及N型穿隧場效電晶

體。舉例來說，汲極結構 140A 包含矽銻，且汲極結構 140B 包含矽。在一些其他實施例中，汲極結構 140A 及汲極結構 140B 包含相同的材料。汲極結構 140B 的材料及/或形成方法與汲極結構 140 的材料及/或形成方法相同或相似。

【0101】 類似於第 1C 圖所示之實施例，在第 3E 圖所示之一些實施例中，形成閘極堆疊 150，且閘極堆疊 150 填入區域 100A 內具有角度 θ_A 的夾角 125 以及區域 100B 內具有角度 θ_B 的夾角 125。在一些實施例中，區域 100A 及區域 100B 內的閘極堆疊 150 具有不同的高度。例如，區域 100A 內的閘極堆疊 150 比區域 100B 內的閘極堆疊 150 高。在一些其他實施例中，區域 100A 及區域 100B 內的閘極堆疊 150 具有相同的高度。在一些實施例中，在同一階段形成區域 100A 及 100B 內的閘極堆疊 150。在一些其他實施例中，在不同階段形成區域 100A 及 100B 內的閘極堆疊 150。

【0102】 之後，類似於第 1C 圖所示之實施例，在第 3E 圖所示之一些實施例中，間隔元件 190A 及 190B 形成於閘極堆疊 150 的側壁上。在一些實施例中，區域 100A 及區域 100B 內の間隔元件 190A 具有不同的高度。在一些其他實施例中，區域 100A 及區域 100B 內の間隔元件 190A 具有相同的高度。在一些實施例中，區域 100A 及區域 100B 內の間隔元件 190B 具有不同的高度。在一些其他實施例中，區域 100A 及區域 100B 內の間隔元件 190B 具有相同的高度。

【0103】 類似於第 1D 圖所示之實施例，在第 3F 圖所示之一些實施例中，在區域 100A 及區域 100B 內的半導體基底 100 上沉

積介電層200。之後，如第1E圖所示之實施例，區域100A及區域100B內的閘極堆疊150可以分別置換為閘極堆疊220A及閘極堆疊220B。在一些實施例中，閘極堆疊220A及閘極堆疊220B的功函數層的厚度及/或組成各自被微調，以調整成適合於P型穿隧場效電晶體及N型穿隧場效電晶體的功函數等級。舉例來說，閘極堆疊220A及閘極堆疊220B的功函數層可以是具有不同類型的金屬層，且可以在不同階段分別形成。

【0104】 類似於第1F圖所示之實施例，在第3G圖所示之一些實施例中，在區域100A及區域100B內的介電層200內形成導電接觸部件290A及290B。在一些實施例中，導電接觸部件290A電性連接至汲極結構140A及140B，且導電接觸部件290B電性連接至源極結構120A及120B。在一些實施例中，區域100A及區域100B內的導電接觸部件290A具有不同的高度。在一些其他實施例中，區域100A及區域100B內的導電接觸部件290A具有相同的高度。在一些實施例中，區域100A及區域100B內的導電接觸部件290B具有不同的高度。在一些其他實施例中，區域100A及區域100B內的導電接觸部件290B具有相同的高度。

【0105】 之後，類似於第1F圖所示之實施例，在第3G圖所示之一些實施例中，在區域100A及區域100B內的介電層200上形成介電層300及導電接觸部件310。

【0106】 可以對本揭露的實施例進行許多變化及/或修改。例如，半導體裝置結構不限於包含單一閘極。在一些其他實施例中，半導體裝置結構包含多重閘極，例如三個閘極(tri-gates)。在一些實施例中，具有多重閘極的穿隧場效電晶

體的半導體裝置結構的材料及/或形成方法，與前述穿隧場效電晶體的半導體裝置結構的材料及/或形成方法類似，故不再重複描述。

【0107】 第4A圖係繪示出根據一些實施例之半導體裝置結構的立體圖。第4B及4C圖係繪示出根據一些實施例之半導體裝置結構的剖面示意圖。在一些實施例中，第4B及4C圖係分別繪示出沿著第4A圖中所示的剖線I-I'及II-II'的半導體裝置結構的一部分的剖面示意圖。為了更加理解結構，第4A至4C圖僅繪示出半導體基底100、源極結構120、通道結構130、汲極結構140及閘極堆疊220。

【0108】 如第4A圖所示，根據一些實施例，通道結構130及閘極堆疊220覆蓋半導體基底100內的源極結構120。在一些實施例中，閘極堆疊220鄰接源極結構120上方的通道結構130的多個側壁。舉例來說，閘極堆疊220鄰接通道結構130的三個側壁。因此，閘極堆疊220的一部分填充在通道結構130的三個側壁與源極結構120的頂表面之間的三個夾角125。在一些其他實施例中，閘極堆疊220鄰接通道結構130的兩個或三個以上的側壁。

【0109】 如第4A圖所示，根據一些實施例，汲極結構140覆蓋通道結構130。在一些實施例中，閘極堆疊220鄰接通道結構130上方的汲極結構140的多個側壁。舉例來說，閘極堆疊220鄰接汲極結構140的三個側壁。在一些其他實施例中，閘極堆疊220鄰接汲極結構140的兩個或三個以上的側壁。

【0110】 如第4A及4B圖所示，根據一些實施例，在源極結

構 120 的頂表面 120S 與通道結構 130 的側壁 130S₁ 之間形成一個夾角 125。閘極堆疊 220 的一部分填充於側壁 130S₁ 與頂表面 120S 之間的夾角 125。側壁 130S₁ 與頂面 120S 之間的夾角 125 具有角度 θ_1 。

【0111】 如第 4A 及 4C 圖所示，根據一些實施例，在頂表面 120S 及連接側壁 130S₁ 的側壁 130S₂ 及側壁 130S₃ 之間形成兩個夾角 125' 及 125''。閘極堆疊 220 進一步填充頂表面 120S 與側壁 130S₂ 之間的夾角 125' 以及頂表面 120S 與側壁 130S₃ 之間的夾角 125''。側壁 130S₂ 與頂表面 120S 之間的夾角 125' 具有角度 θ_2 。側壁 130S₃ 與頂表面 120S 之間的夾角 125'' 具有角度 θ_3 。在一些實施例中，角度 θ_1 、角度 θ_2 及角度 θ_3 相同。在一些實施例中，角度 θ_1 、角度 θ_2 及角度 θ_3 內的其中一者不同於其他兩者。在一些其他實施例中，角度 θ_1 、角度 θ_2 及角度 θ_3 彼此不同。

【0112】 根據本揭露的一些實施例，閘極堆疊鄰接通道結構的多個側壁，使得穿隧場效電晶體的通道區變寬。如此一來，進一步增強了 I_{on} 。因此，穿隧場效電晶體的裝置性能大幅提高。

【0113】 可以對本揭露的實施例進行許多變化及/或修改。例如，半導體裝置結構可以包含奈米線(nanowire)。第 5 圖係繪示出根據一些實施例之半導體裝置結構的立體圖。在一些實施例中，具有奈米線的半導體裝置結構的材料及/或形成方法類似於前述半導體裝置結構的材料及/或形成方法，故不再重複。為了更加理解結構，第 5 圖僅繪示出半導體基底 100、源極結構 120、通道結構 130、汲極結構 140 及閘極堆疊 220。

【0114】 如第5圖所示，根據一些實施例，半導體基底100內的源極結構120圍繞半導體基底100的一部分100'。通道結構130覆蓋部分100'及源極結構120的一部分。汲極結構140覆蓋通道結構130，且通道結構130的一部分夾設於汲極結構140與源極結構120之間。通道結構130夾設於汲極結構140與源極結構120之間的部分係作為電晶體的通道區。

【0115】 如第5圖所示，根據一些實施例，閘極堆疊220的一部分填充通道結構130與源極結構120之間的夾角125。在一些實施例中，閘極堆疊220順應性地沉積於源極結構120、通道結構130及汲極結構140上。在一些實施例中，閘極堆疊220連續地環繞通道結構130。在一些實施例中，閘極堆疊220連續地圍繞汲極結構140。在一些實施例中，閘極堆疊220進一步延伸於汲極結構140上方(汲極結構140的頂表面正上方)。

【0116】 根據本揭露的一些實施例，通道結構由閘極堆疊所包圍，增加了通道區的面積，且由於穿隧區域的擴展，因此 I_{on} 更加進一步增強。

【0117】 本揭露的實施例形成具有穿隧場效電晶體的半導體裝置結構。穿隧場效電晶體包含突起於源極結構上方的通道結構及汲極結構。在通道結構與源極結構之間建立夾角，並以閘極堆疊填充夾角。如此一來，增強了穿隧場效電晶體的電場，且經改善的電場分佈更寬並延伸至通道結構內。當高穿隧機率及高電場出現在通道結構內大致上相同的區域時，穿隧效率提高。因此，穿隧場效電晶體的 I_{on} 顯著地增加，且半導體裝置結構的性能大幅提高。

【0118】 本揭露的一些實施例係提供半導體裝置結構。半導體裝置結構包含源極結構，至少位於半導體基底內。半導體裝置結構也包含通道結構，位於半導體基底上。源極結構被通道結構局部地覆蓋。半導體裝置結構還包含汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。通道結構的一部分夾設於源極結構與汲極結構之間。再者，半導體裝置結構包含閘極堆疊，局部地覆蓋通道結構。

【0119】 在一些實施例中，通道結構的一部分的側壁大致上垂直於源極結構的頂表面。

【0120】 在一些實施例中，通道結構的一部分的側壁傾斜於源極結構的頂表面。

【0121】 在一些實施例中，閘極堆疊鄰接通道結構的一部分的側壁。

【0122】 在一些實施例中，通道結構的一部分還包含連接側壁的第二側壁，且閘極堆疊還鄰接第二側壁。

【0123】 在一些實施例中，閘極堆疊進一步延伸於汲極結構上。

【0124】 在一些實施例中，閘極堆疊連續地圍繞通道結構。

【0125】 在一些實施例中，半導體裝置結構更包含多個間隔元件，位於閘極堆疊的側壁上。多個間隔元件的其內一個與通道結構重疊。

【0126】 本揭露的一些實施例係提供半導體裝置結構。半導體裝置結構包含閘極堆疊，位於半導體基底上。半導體裝置結構也包含通道結構，位於半導體基底上，且鄰接閘極堆疊的

側壁。半導體裝置結構還包含源極結構，至少局部地位於半導體基底內，且重疊於閘極堆疊及通道結構。再者，半導體裝置結構包含汲極結構，覆蓋通道結構。汲極結構及源極結構具有不同的導電類型。

【0127】 在一些實施例中，閘極堆疊的側壁大致上垂直於源極結構的頂表面。

【0128】 在一些實施例中，閘極堆疊的側壁傾斜於源極結構的頂表面。

【0129】 在一些實施例中，閘極堆疊的底表面位於通道結構的頂表面下方。

【0130】 在一些實施例中，汲極結構的底表面位於源極結構的頂表面上方。

【0131】 在一些實施例中，通道結構的一個或多個側壁鄰接閘極堆疊。

【0132】 在一些實施例中，半導體裝置結構更包含導電接觸部件，位於汲極結構上。汲極結構的一部分夾在導電接觸部件與通道結構之間。

【0133】 本揭露的一些實施例係提供半導體裝置結構的形成方法。半導體裝置結構的形成方法包含在半導體基底內或上方形成源極結構。半導體裝置結構的形成方法也包含在半導體基底上形成通道結構，使得通道結構與源極結構之間形成夾角。半導體裝置結構的形成方法還包含形成汲極結構，覆蓋通道結構。再者，半導體裝置結構的形成方法包含在通道結構的一部分上形成閘極堆疊。閘極堆疊的一部分位於夾角之中。

【0134】 在一些實施例中，半導體裝置結構的形成方法更包含在形成閘極堆疊之前，修改夾角的角度。

【0135】 在一些實施例中，角度的修改包含局部地去除通道結構。

【0136】 在一些實施例中，通道結構的形成包含在半導體基底及源極結構上磊晶成長半導體材料。

【0137】 在一些實施例中，半導體裝置結構的形成方法更包含在形成汲極結構之後，在閘極堆疊的側壁上形成間隔元件。

【0138】 以上概略說明了本揭露數個實施例的特徵，使所屬技術領域內具有通常知識者對於本揭露可更為容易理解。任何所屬技術領域內具有通常知識者應瞭解到本說明書可輕易作為其他結構或製程的變更或設計基礎，以進行相同於本揭露實施例的目的及/或獲得相同的優點。任何所屬技術領域內具有通常知識者也可理解與上述等同的結構或製程並未脫離本揭露之精神及保護範圍內，且可在不脫離本揭露之精神及範圍內，當可作更動、替代與潤飾。

【符號說明】

【0139】

100 半導體基底

100' 部分

100A、100B 區域

110 隔離特徵

120、120A、120B 源極結構

- 120S 頂表面
- 125、125'、125'' 夾角
- 130、130A、130B 通道結構
- 130S、130S₁、130S₂、130S₃ 側壁
- 140、140A、140B 汲極結構
- 150 閘極堆疊
- 150A 上部
- 150B 下部
- 150S 側壁
- 160 閘極介電層
- 170 閘極電極
- 180 硬遮罩
- 190A、190B 間隔元件
- 200 介電層
- 210 溝槽
- 220、220A、220B 閘極堆疊
- 220' 上部
- 220'' 下部
- 230 界面層
- 240 閘極介電層
- 250 阻障層
- 260 功函數層
- 270 阻擋層
- 280 金屬填充層

290A、290B 導電接觸部件

300 介電層

310 導電接觸部件

320 半導體材料層

W 寬度

θ 、 θ_A 、 θ_B 、 θ_1 、 θ_2 、 θ_3 角度

申請專利範圍

1. 一種半導體裝置結構，包括：

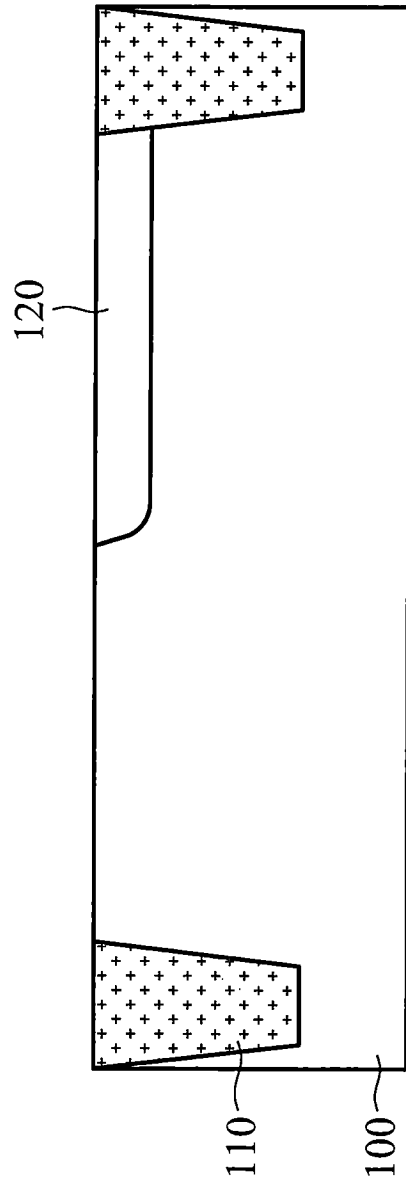
源極結構，至少位於半導體基底內；

通道結構，位於該半導體基底上，其內該源極結構被該通道結構局部地覆蓋；

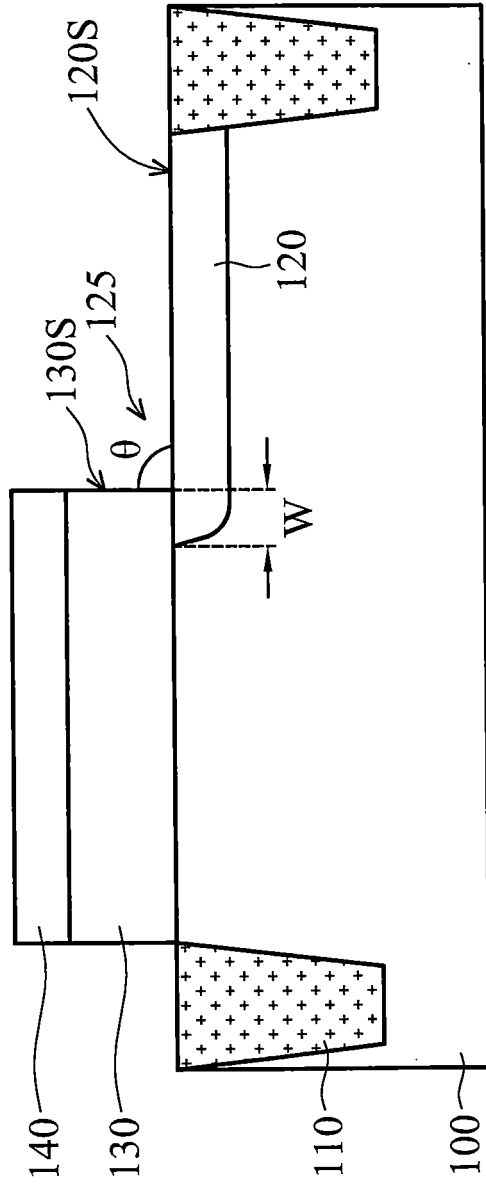
汲極結構，覆蓋該通道結構，其內該汲極結構及該源極結構具有不同的導電類型，且其內該通道結構的一部分夾設於該源極結構與該汲極結構之間；以及

閘極堆疊，局部地覆蓋該通道結構。

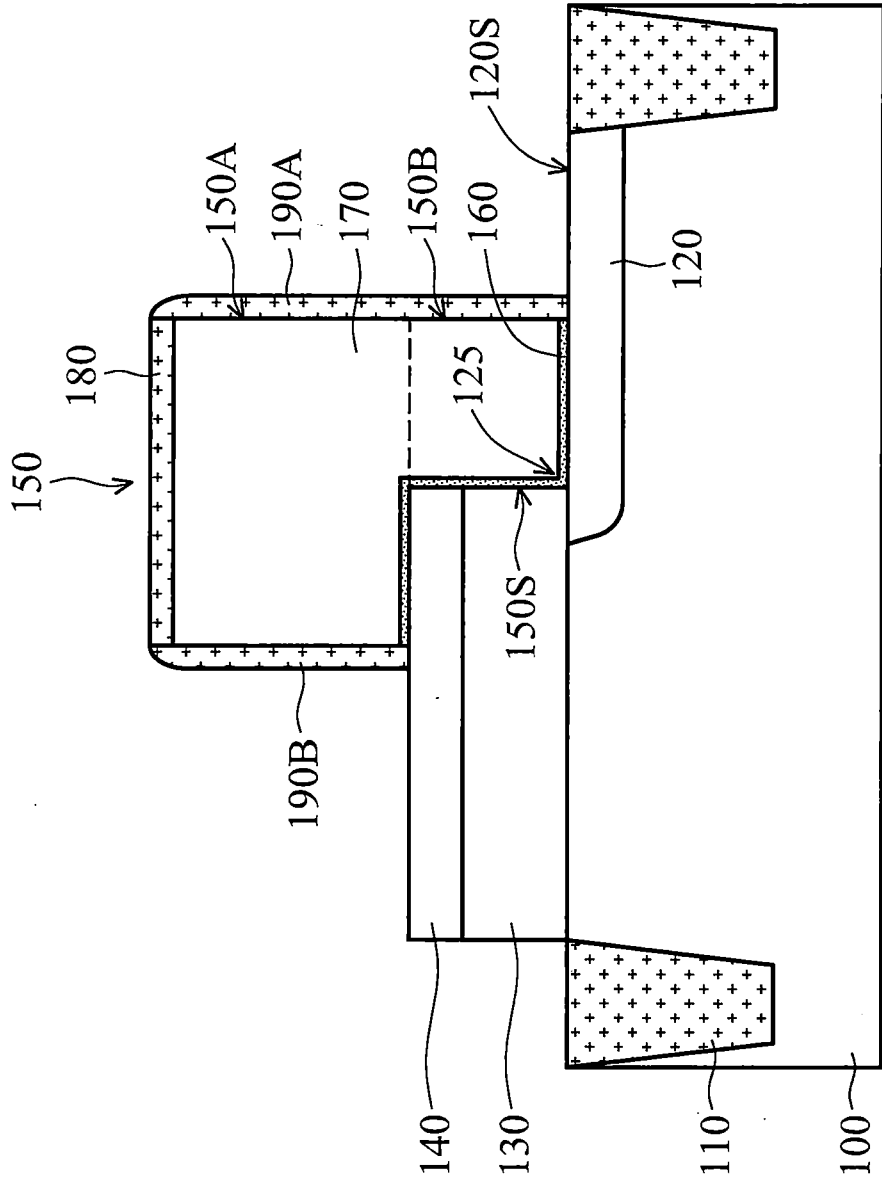
圖式



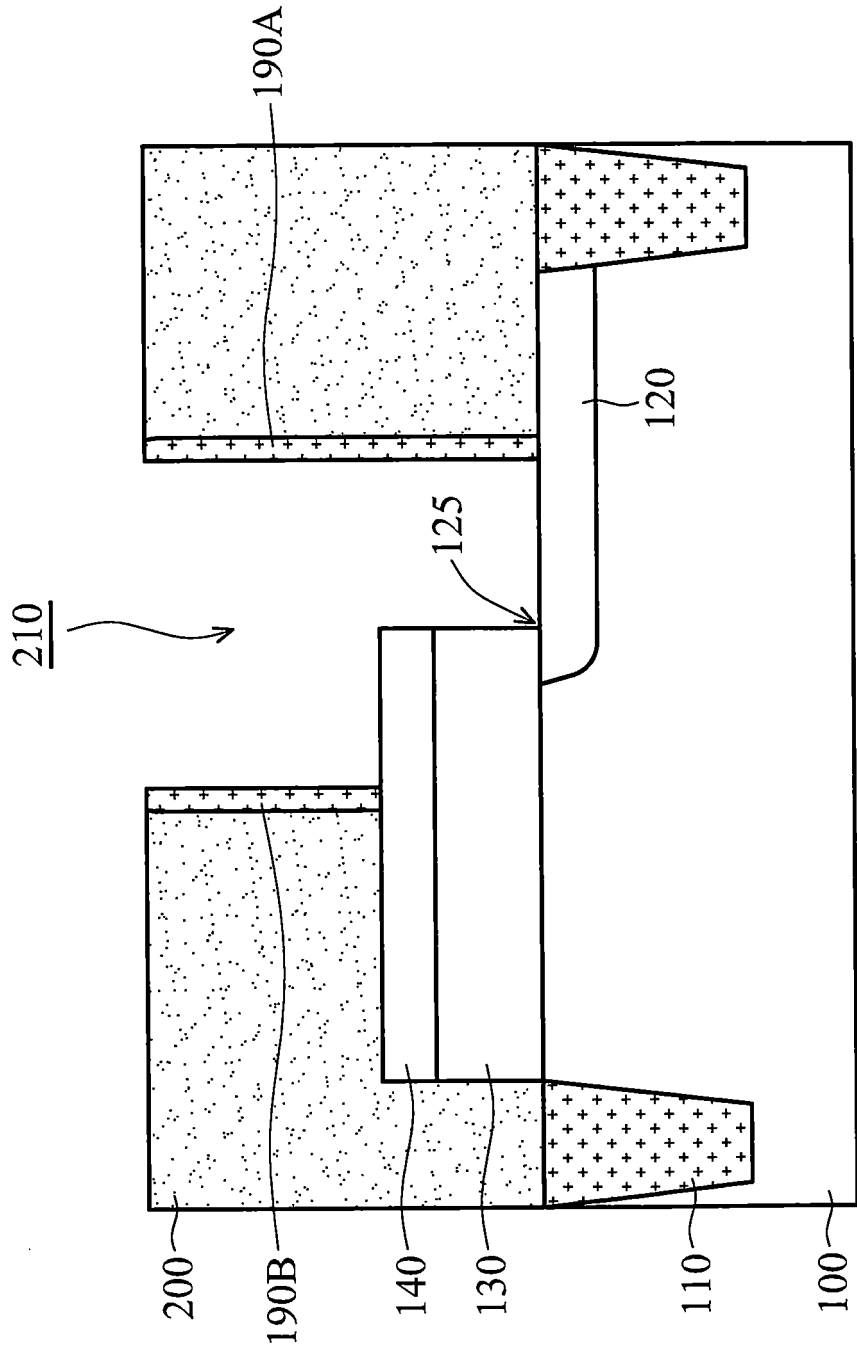
第1A圖



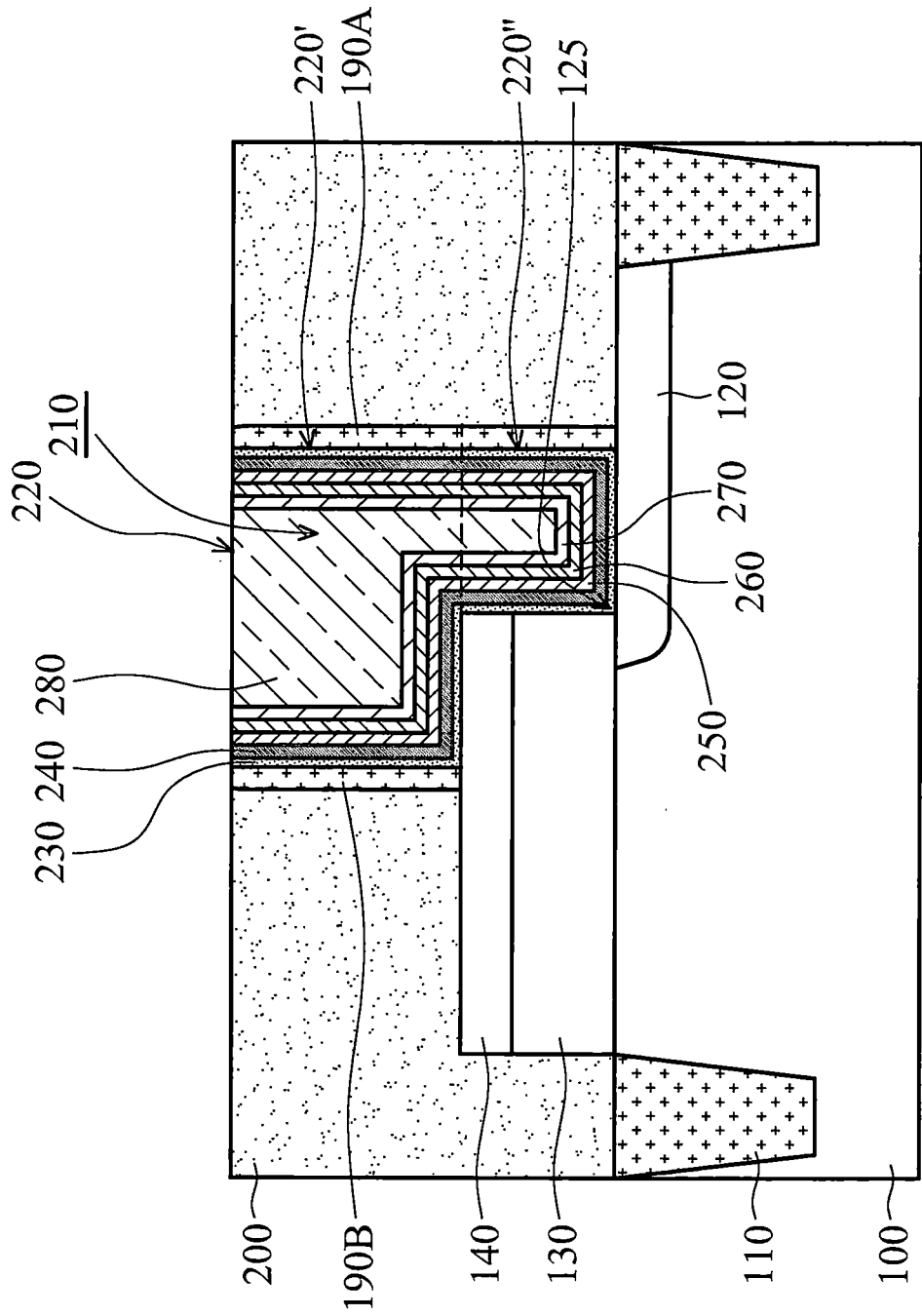
第 1B 圖



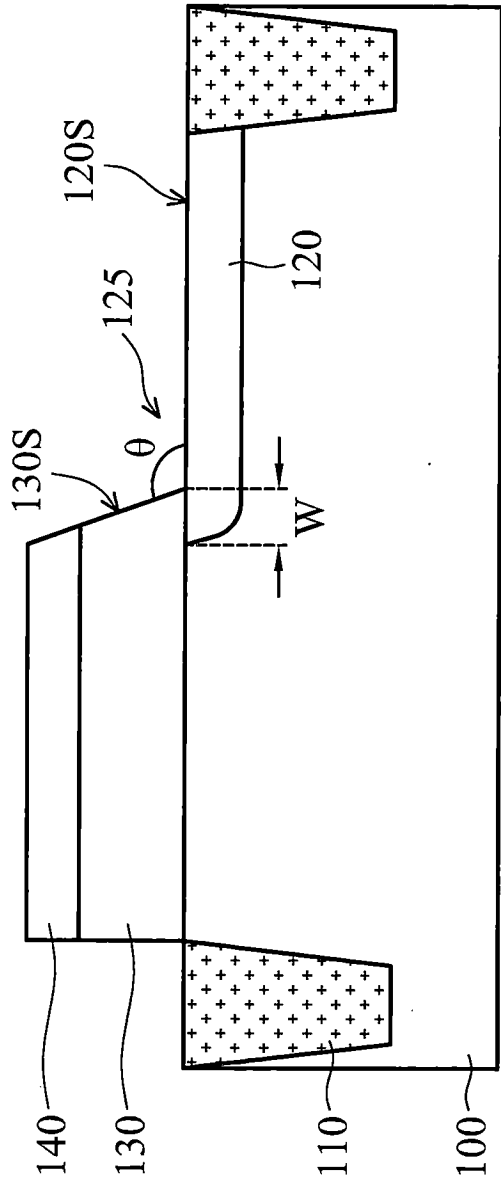
第1C圖



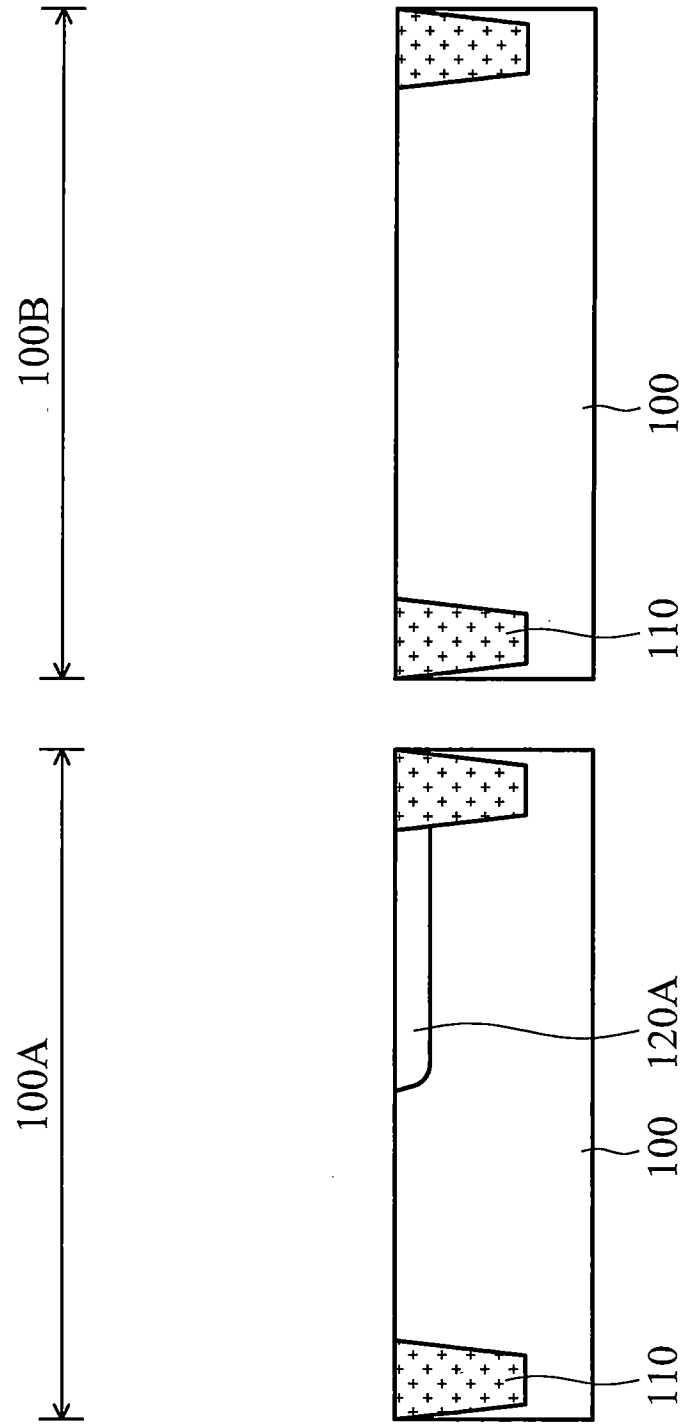
第1D圖



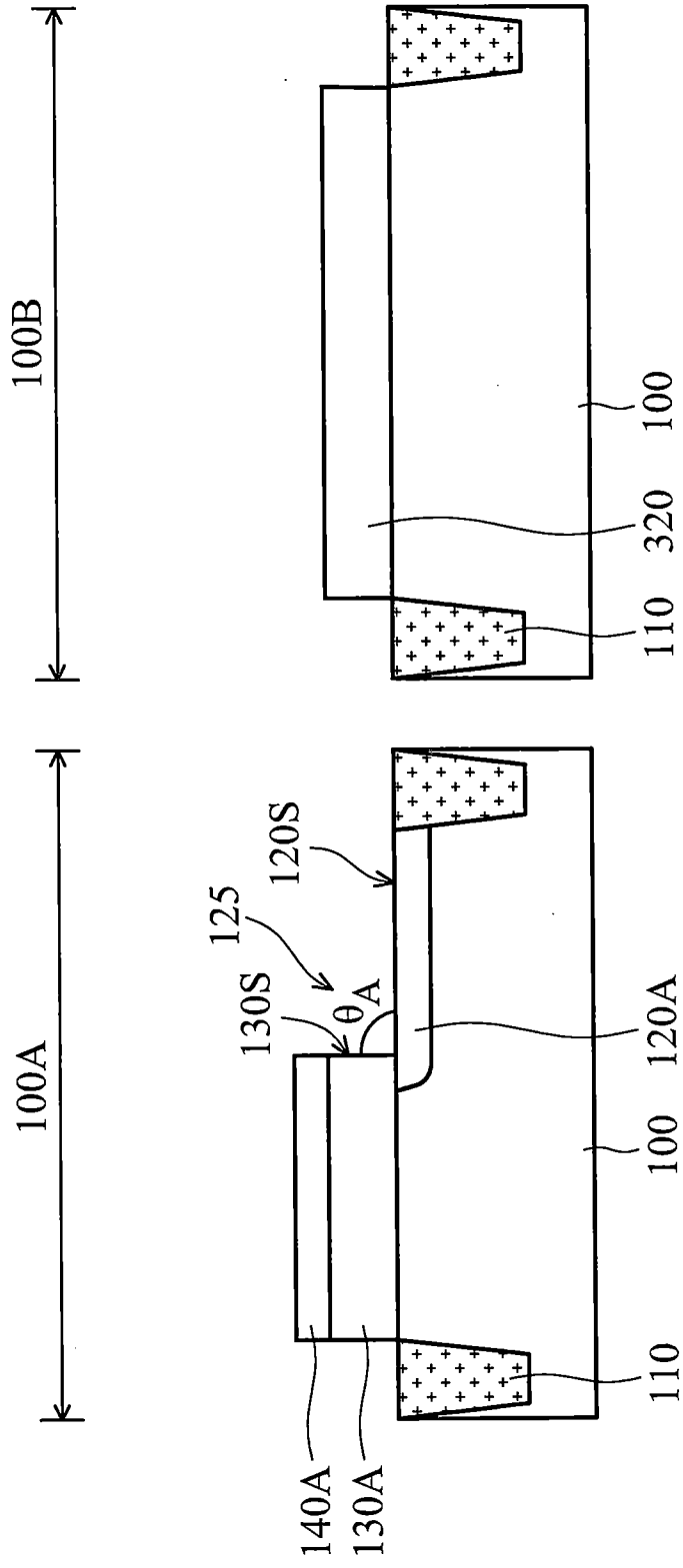
第1E圖



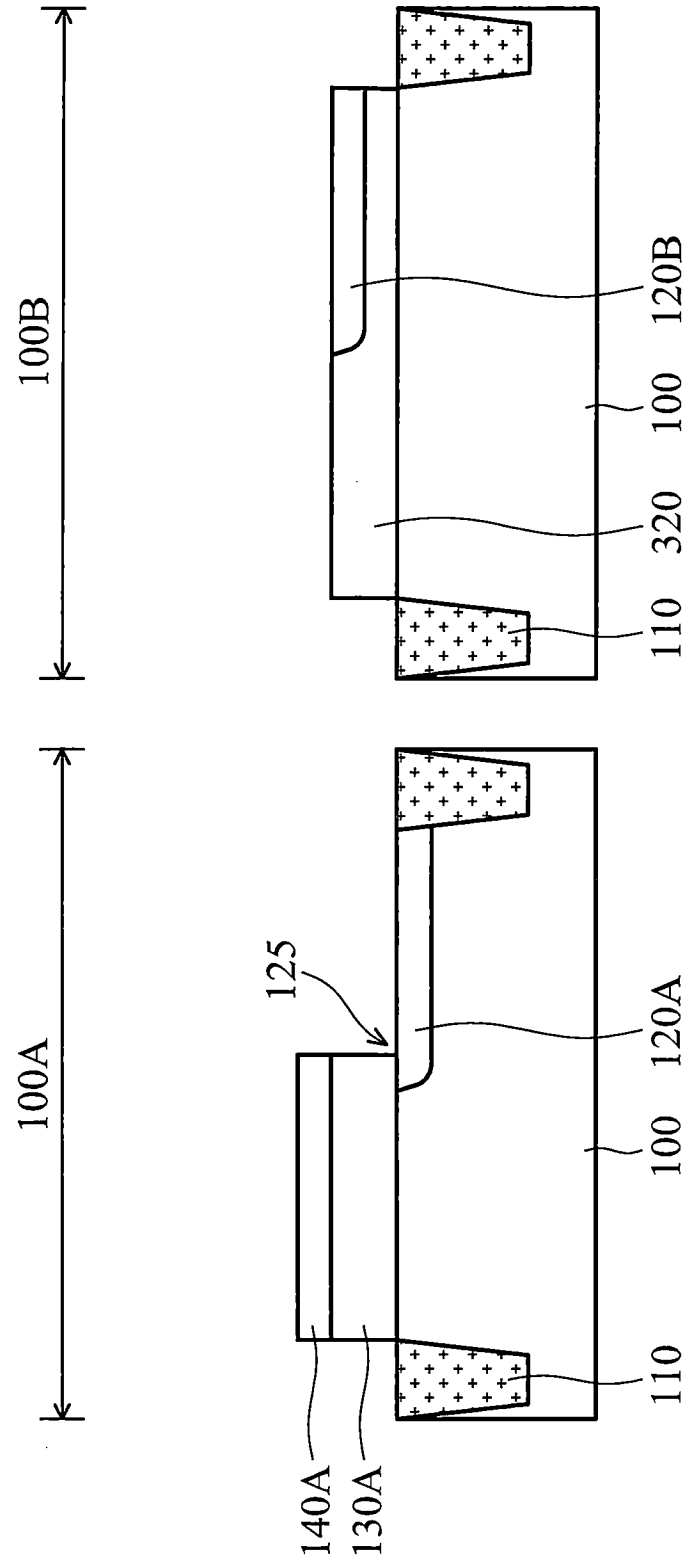
第2A圖



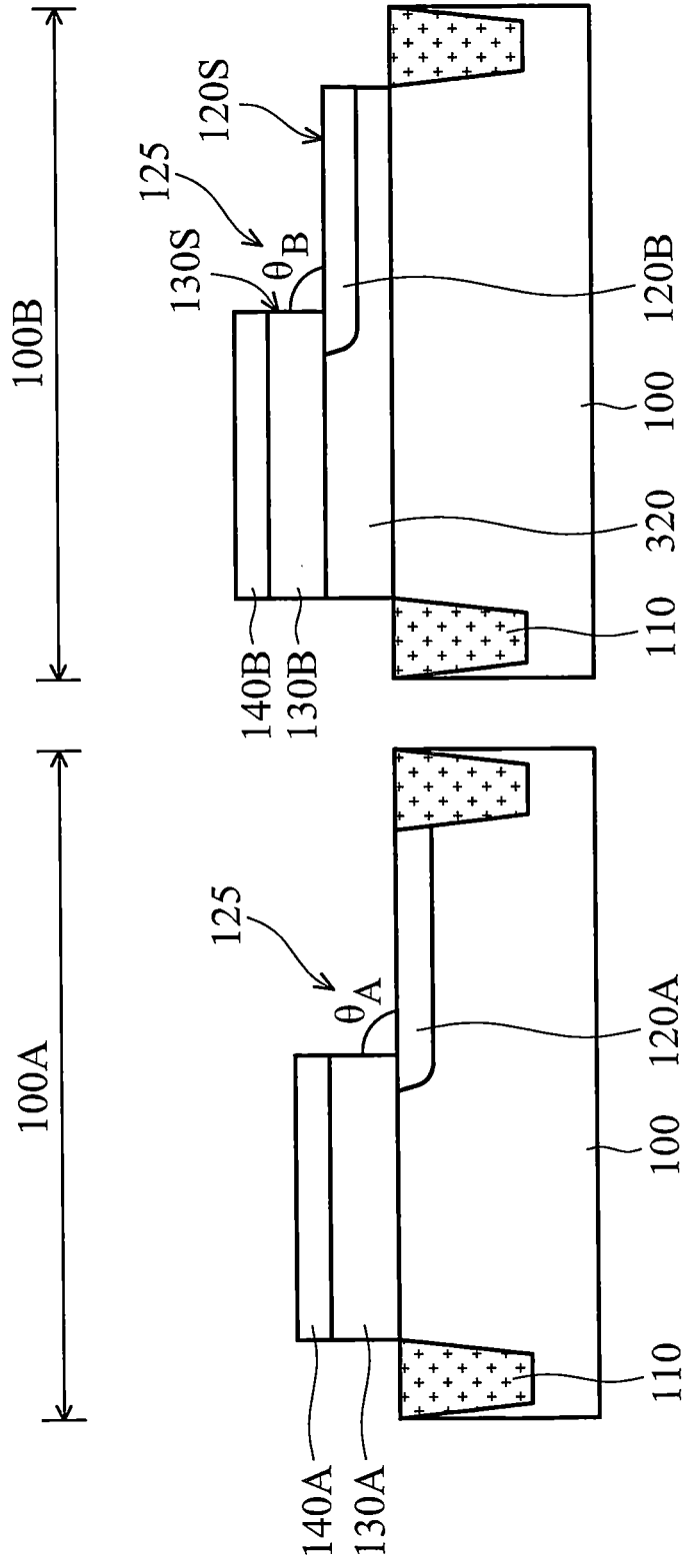
第3A圖



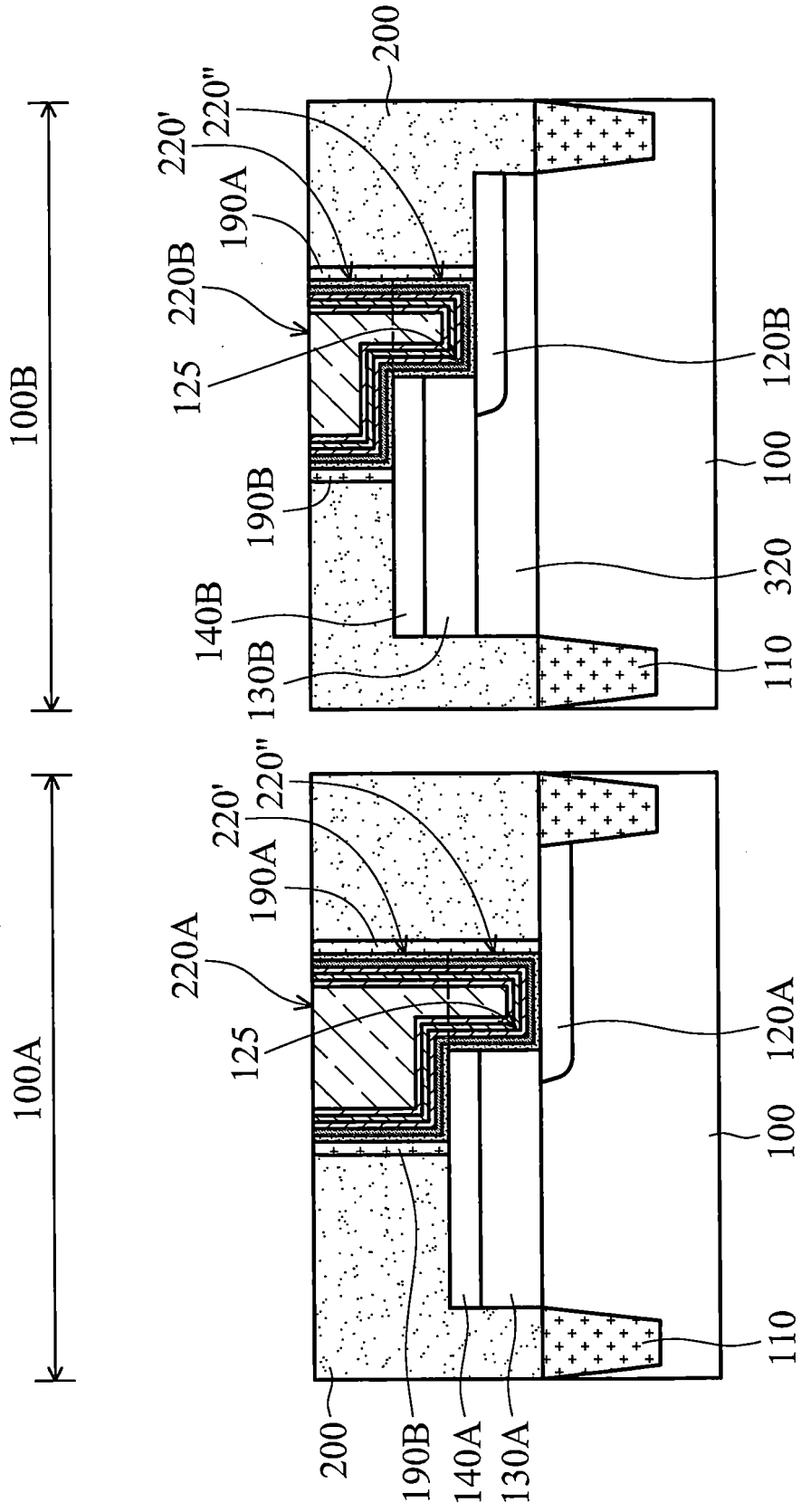
第3B圖



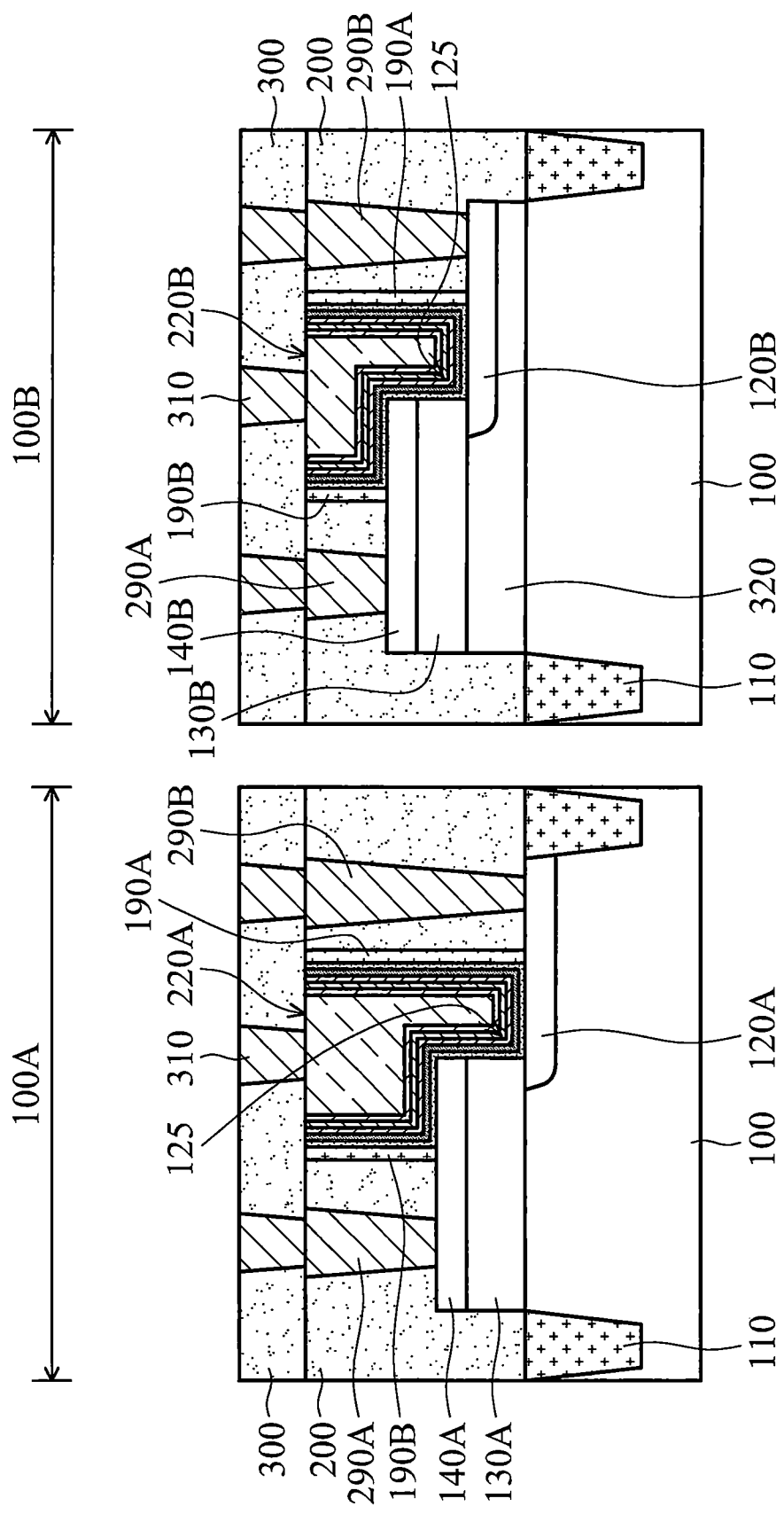
第3C圖



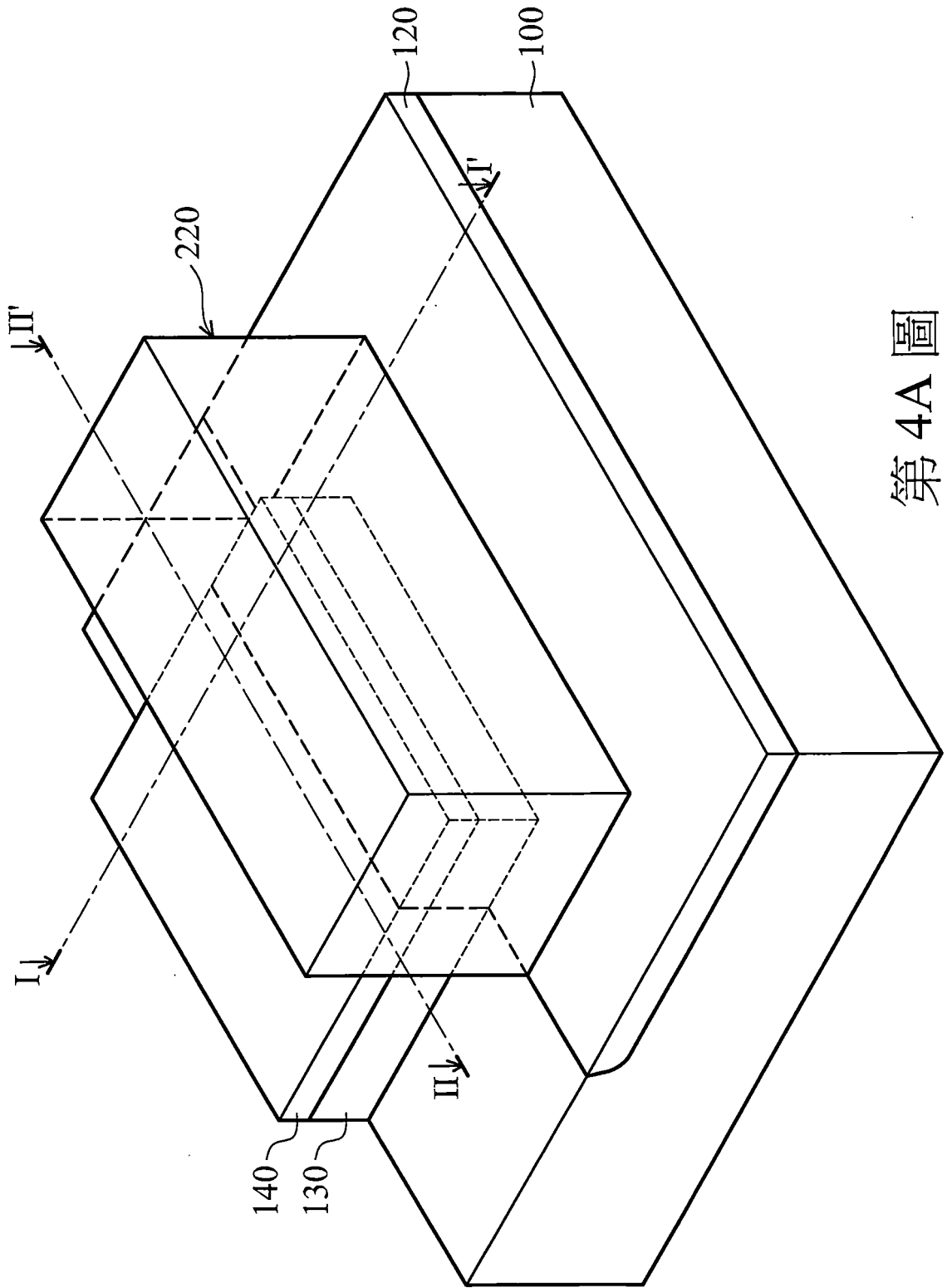
第3D圖



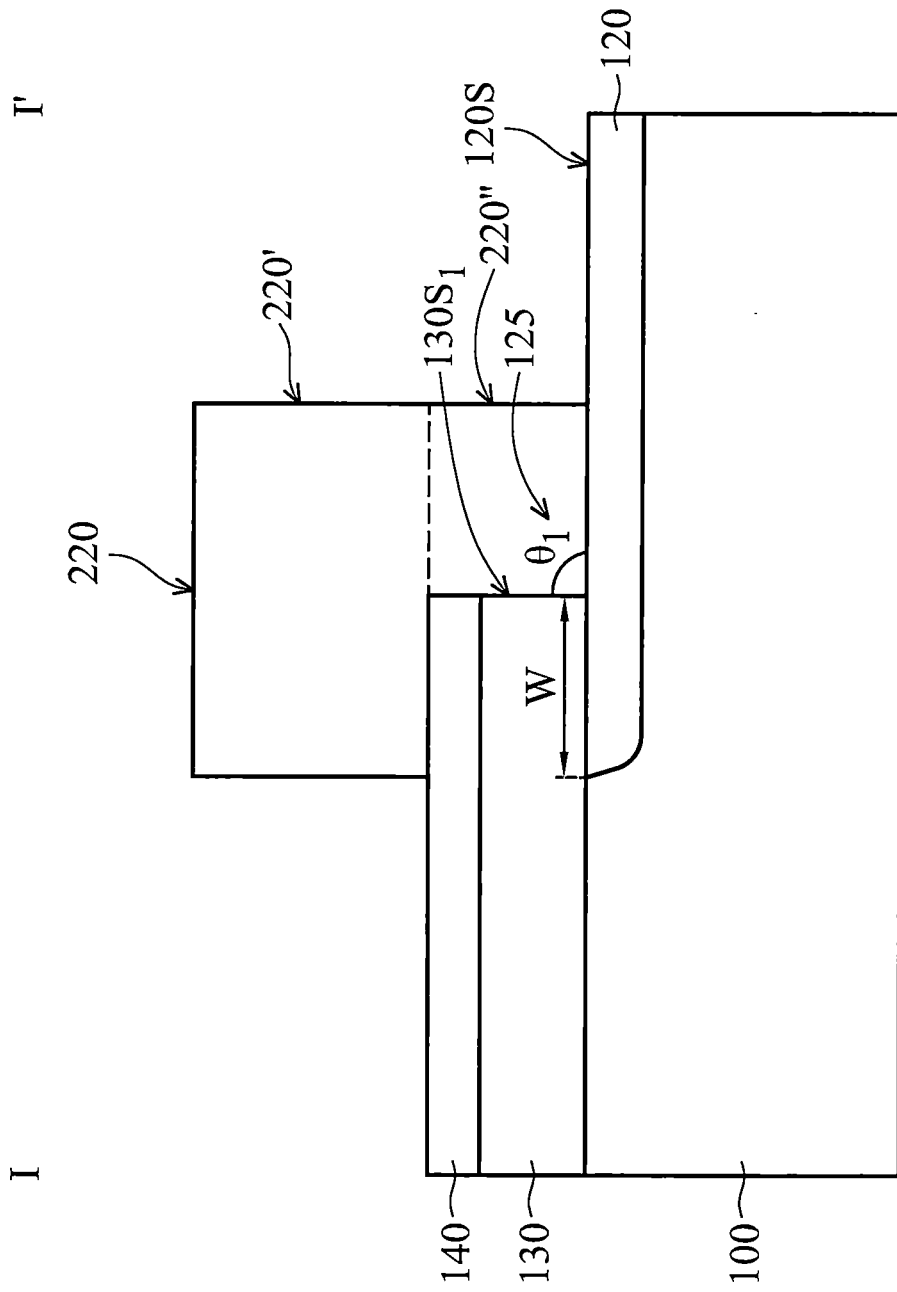
第3F圖



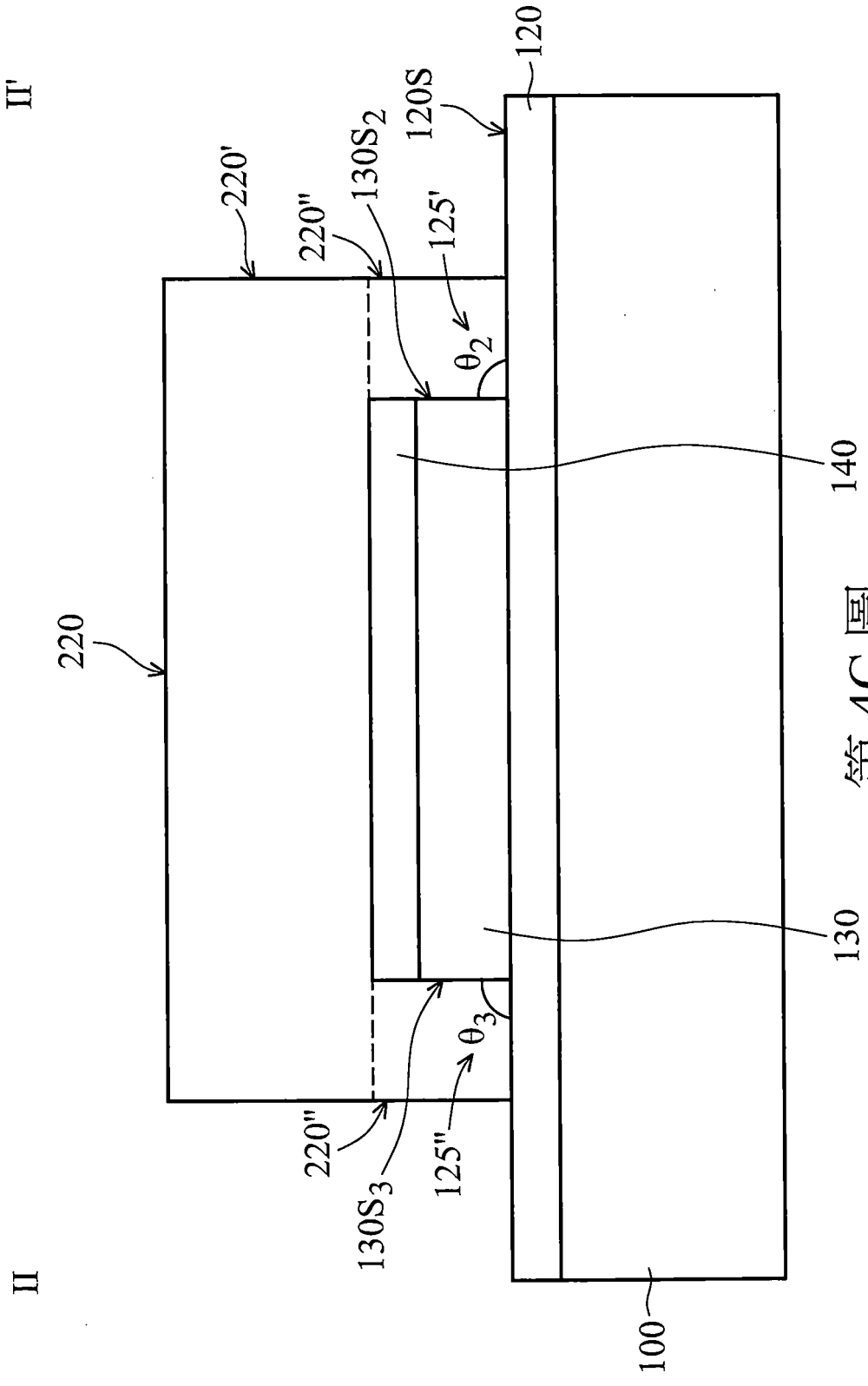
第3G圖



第4A圖



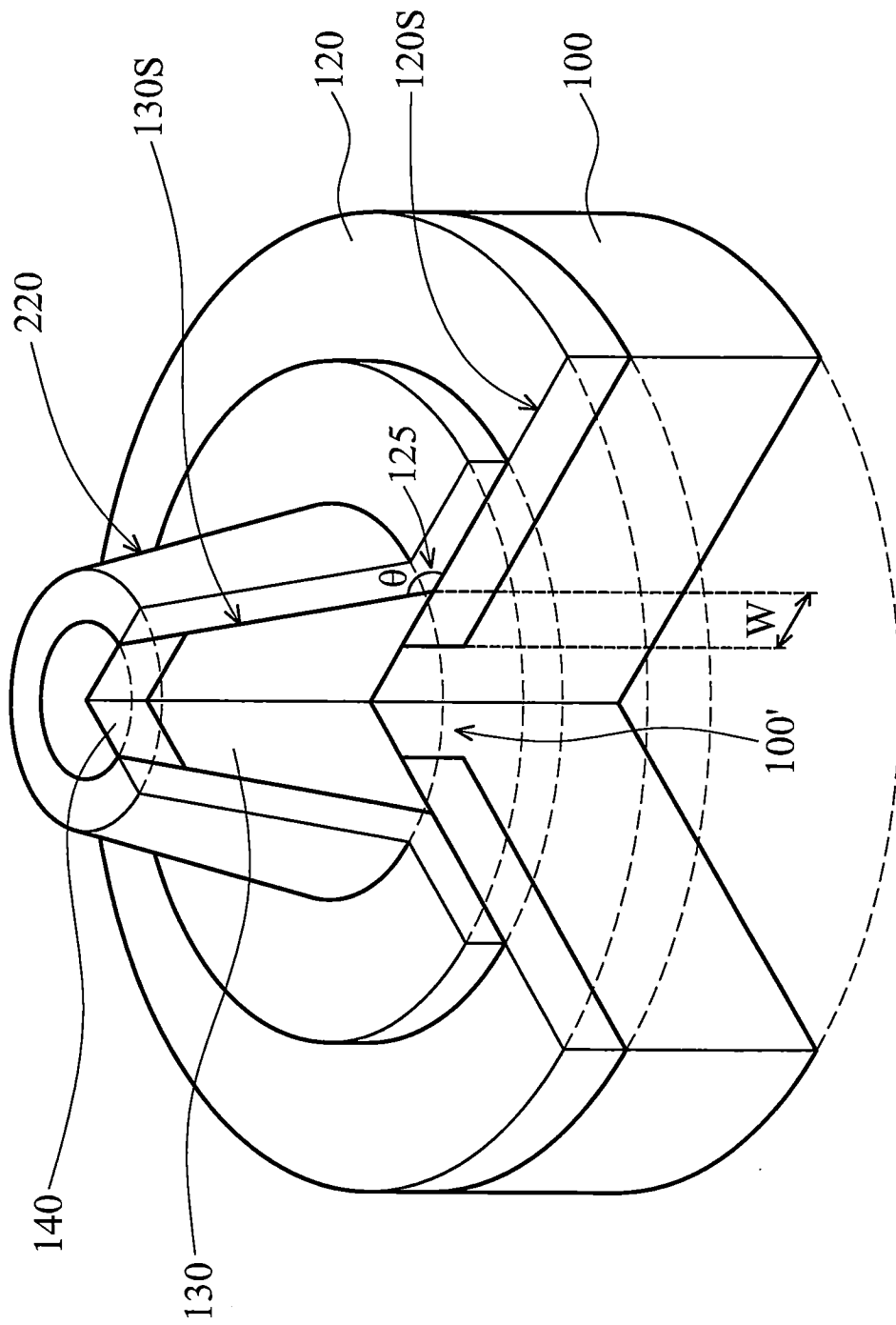
第 4B 圖



II'

II

第4C圖



第5圖