



(21) 申請案號：105102160

(22) 申請日：中華民國 105 (2016) 年 01 月 25 日

(51) Int. Cl. : *H04L27/233 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：羅吉逸 LO, CHI-YI (TW) ; 洪浩喬 HONG, HAO-CHIAO (TW)

(74) 代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：19 項 圖式數：22 共 36 頁

(54) 名稱

二位元相位偏移解調變器

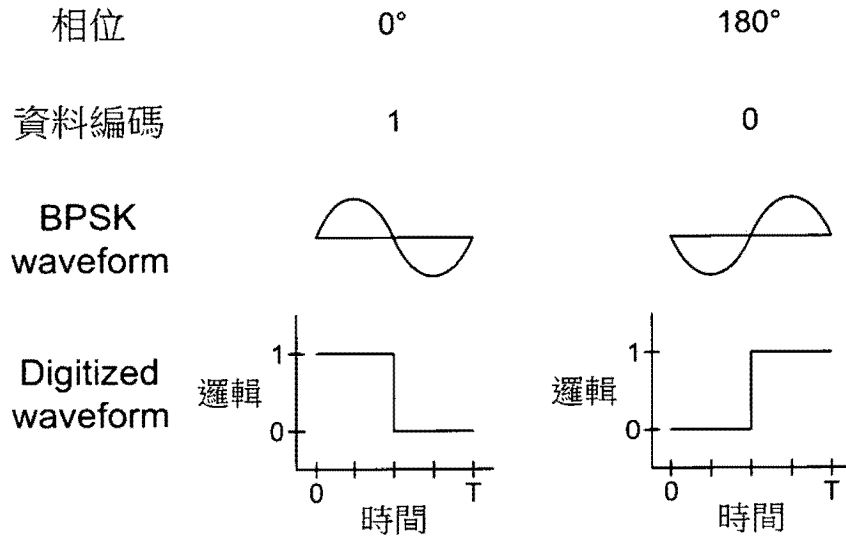
BPSK DEMODULATOR

(57) 摘要

本發明提供一種二位元相位偏移解調變器，其是利用一延遲電路以延遲一二位元相位偏移調變訊號，將其與未延遲的二位元相位偏移調變訊號混合，以輸出一解調資料訊號，同時利用一相位旋轉電路，藉由該解調資料訊號以解出一載波時脈。其中，延遲電路的操作頻率為一倍或二分之一倍的載波頻率，可大幅減少功率消耗，且其於數位或類比電路皆可實施。

A low power BPSK demodulator is provided. A BPSK demodulator using a delay line could delay a BPSK signal, which is mixed with the undelay BPSK signal, and outputs a demodulated signal. Further, a BPSK demodulator using a phase rotation circuit incorporated with the demodulated signal could output a recovered clock. Wherein, the operating frequency of the delay circuit is equal to or half of a carrier frequency so as to significantly reduce power consumption of a BPSK demodulator, which could be realized in digital or analog circuits.

指定代表圖：



符號簡單說明：

1 . . . 延遲電路

2 . . . 決策電路

BPSK . . . 二位元相位偏移調變訊號

RDT . . . 解調資料訊號

S2 . . . 總計延遲訊號

圖1



201728141

【發明摘要】

【中文發明名稱】二位元相位偏移解調變器

【英文發明名稱】BPSK DEMODULATOR

【中文】

本發明提供一種二位元相位偏移解調變器，其是利用一延遲電路以延遲一
二位元相位偏移調變訊號，將其與未延遲的二位元相位偏移調變訊號混合，以
輸出一解調資料訊號，同時利用一相位旋轉電路，藉由該解調資料訊號以解出
一載波時脈。其中，延遲電路的操作頻率為一倍或二分之一倍的載波頻率，可
大幅減少功率消耗，且其於數位或類比電路皆可實施。

【英文】

A low power BPSK demodulator is provided. A BPSK demodulator using a
delay line could delay a BPSK signal, which is mixed with the undelay BPSK signal,
and outputs a demodulated signal. Further, a BPSK demodulator using a phase
rotation circuit incorporated with the demodulated signal could output a recovered
clock. Wherein, the operating frequency of the delay circuit is equal to or half of a
carrier frequency so as to significantly reduce power consumption of a BPSK
demodulator, which could be realized in digital or analog circuits.

【指定代表圖】圖1

【代表圖之符號簡單說明】

1 延遲電路

2	決策電路
BPSK	二位元相位偏移調變訊號
RDT	解調資料訊號
S2	總計延遲訊號

【發明說明書】

【中文發明名稱】二位元相位偏移解調變器

【英文發明名稱】BPSK DEMODULATOR

【技術領域】

【0001】本發明是有關一種二位元相位偏移解調變器，特別是一種具有低功耗的二位元相位偏移解調變器。

【先前技術】

【0002】傳統同步的二位元相位偏移解調變器可分為 Squaring loop 和 Costas loop 兩種架構。其中，squaring loop 先以平方運算將載波訊號取出，而平方運算會使載波頻率加倍，因此需要鎖相迴路(phase-locked loop, PLL)將訊號鎖定在兩倍載波頻率。其中鎖相迴路之操作頻率鎖定在兩倍載波頻率，會增加功率消耗；而，Costas loop 則包含兩個平行的鎖相迴路，分別為I分支和Q分支，兩分支有90度相位差。常見的做法是由振盪器產生兩倍載波頻率，再透過數位正交訊號產生器產生兩個相位相差90度的同頻率訊號，其中振盪器操作頻率鎖定在兩倍載波頻率，亦會提高功率消耗。因此，傳統同步的二位元相位偏移解調變器解調器具有以下特性：1. 消耗功率高，其原因如上所述。2. 傳輸速度有限，因資料率將受限於鎖相迴路的穩定時間。3. 電路複雜度高，因鎖相迴路為較複雜的迴授系統。4. 佈局面積大，因大的迴路濾波器很占面積，不利於生醫應用。

【0003】然而，對於特定嚴格要求低功耗和低發熱的接收機或是無電池裝置，例如生醫植入式晶片、環境監測系統以及物聯網等，這些裝置需要一個具

有低功耗與小面積的解調變器來接收資料，傳統解調變器功耗占其整體系統功耗的比例過大而無法滿足上述需求。

【0004】 綜上所述，提供一種具有低功耗之二位元相位偏移解調變器便是目前極需努力的目標。

【發明內容】

【0005】 本發明提供一種二位元相位偏移解調變器，其是利用一延遲電路以延遲一二位元相位偏移調變訊號，將其與未延遲的二位元相位偏移調變訊號混合以輸出一解調資料訊號，其中，延遲電路的操作頻率為一倍或二分之一倍的載波頻率，可大幅減少功率消耗，且其於數位或類比訊號皆可實施。

【0006】 本發明一實施例之二位元相位偏移解調變器包含一延遲電路以及一決策電路。延遲電路用以接收一二位元相位偏移調變訊號，並使二位元相位偏移調變訊號延遲一總計延遲時間以輸出一總計延遲訊號。決策電路與延遲電路電性連接，且決策電路用以混合(mix)二位元相位偏移調變訊號及總計延遲訊號以產生一外差訊號，並依據外差訊號改變決策電路所輸出一解調資料訊號。

【0007】 以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0008】

圖1為一時序圖，顯示習知之二位元相位偏移調變訊號。

圖2為一示意圖，顯示本發明一實施例之二位元相位偏移解調變器。

圖3為一時序圖，顯示本發明一實施例之二位元相位偏移解調變器之時序圖。

圖4為一時序圖，顯示本發明一實施例之二位元相位偏移解調變器之時序圖。

圖5為一時序圖，顯示本發明一實施例之二位元相位偏移解調變器之時序圖。

圖6為一示意圖，顯示本發明另一實施例之決策電路。

圖7為一示意圖，顯示本發明另一實施例之二位元相位偏移解調變器。

圖8為一示意圖，顯示本發明再一實施例之二位元相位偏移解調變器。

圖9為一時序圖，顯示本發明再一實施例之二位元相位偏移解調變器之時序圖。

圖10為一時序圖，顯示本發明再一實施例之二位元相位偏移解調變器之時序圖。

圖11為一示意圖，顯示本發明一實施例之二位元相位偏移解調變器。

圖12為一時序圖，顯示本發明一實施例之二位元相位偏移解調變器之時序圖。

圖13為一時序圖，顯示本發明一實施例之二位元相位偏移解調變器之時序圖。

圖14為一示意圖，顯示本發明另一實施例之二位元相位偏移解調變器。

圖15為一示意圖，顯示本發明另一實施例之控制時脈產生器。

圖16為一時序圖，顯示本發明另一實施例之二位元相位偏移解調變器之時序圖。

圖17為一示意圖，顯示本發明再一實施例之控制時脈產生器。

圖18為一示意圖，顯示本發明再一實施例之控制時脈產生器。

圖19為一時序圖，顯示本發明再一實施例之二位元相位偏移解調變器之時序圖。

圖20為一示意圖，顯示本發明又一實施例之二位元相位偏移解調變器。

圖21為一示意圖，顯示本發明又一實施例之控制時脈產生器。

圖22為一時序圖，顯示本發明又一實施例之二位元相位偏移解調變器之時序圖。

【實施方式】

【0009】 以下將詳述本發明之各實施例，並配合圖式作為例示。除了這些詳細說明之外，本發明亦可廣泛地施行於其它的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本發明之範圍內，並以申請專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的瞭解，提供了許多特定細節；然而，本發明可能在省略部分或全部特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免對本發明形成不必要之限制。圖式中相同或類似之元件將以相同或類似符號來表示。特別注意的是，圖式僅為示意之用，並非代表元件實際之尺寸或數量，有些細節可能未完全繪出，以求圖式之簡潔。

【0010】 為了方便以下相關時序說明，請參照圖1，BPSK解調變器可以分辨輸入調變訊號之兩種相差180度的相位，並輸出各個相位代表之編碼資料。舉例而言，輸入調變訊號的相位為0度時，其數位化波形的特徵是在時間0到T/2的邏輯狀態為1，以及在時間T/2到T的邏輯狀態為0，其中T為載波週期。輸入調變訊號的相位180度時，其數位化波形的特徵是在時間0到T/2的邏輯狀態為0，以及

在時間 $T/2$ 到 T 的邏輯狀態為1，其中編碼資料與輸入調變訊號的相位間之對應關係不以上述例示為限。

【0011】請一併參照圖2及圖3，其中一原始資料訊號 DT 經調變後形成一二位元相位偏移調變訊號BPSK並發送至一二位元相位偏移解調變器。請參照圖2，本發明之一實施例之二位元相位偏移解調變器包含一延遲電路1、一決策電路2以及一相位旋轉電路3。延遲電路1包含串聯之一第一延遲單元11以及一第二延遲單元12。第一延遲單元11接收二位元相位偏移調變訊號BPSK，並使二位元相位偏移調變訊號BPSK延遲一第一延遲時間 $TD1$ ，以輸出一第一延遲訊號 $S1$ 至相位旋轉電路3。第二延遲單元12接收第一延遲訊號 $S1$ ，並使第一延遲訊號 $S1$ 延遲一第二延遲時間，以輸出一第二延遲訊號作為該總計延遲訊號 $S2$ 至決策電路2。

【0012】需說明的是，總計延遲時間符合以下之關係式： $TD = TD1 + TD2$ ，且 $0.25T \leq TD < ((F / R) - 0.25) T$ ，其中 TD 為總計延遲時間， $TD1$ 為第一延遲時間， $TD2$ 為第二延遲時間， T 為二位元相位偏移調變訊號之載波週期， F 為二位元相位偏移調變訊號之載波頻率(carrier frequency)， R 為二位元相位偏移調變訊號之資料率(data rate)。於圖3所示之一實施例中，二位元相位偏移調變訊號之載波頻率與二位元相位偏移調變訊號之資料率的比例 $(F / R) = (1 / 1) = 1$ ，故總計延遲時間 TD 將符合以下之關係式： $TD = TD1 + TD2$ ，且 $0.25T \leq TD < 0.75T$ ，其中 TD 為總計延遲時間， $TD1$ 為第一延遲時間， $TD2$ 為第二延遲時間， T 為二位元相位偏移調變訊號之載波週期。

【0013】請繼續參照圖2及圖3，決策電路2包含一第一互斥或閘21、一第一突波去除器23以及一正反器22。第一互斥或閘21混合(mix)二位元相位偏移調變訊號BPSK及總計延遲訊號 $S2$ ，以輸出外差(heterodyning)訊號 $DC1$ 。第一突波去除器23串聯於第一互斥或閘21以及正反器22之間，並去除外差訊號 $DC1$ 中之突

波，減少外差訊號DC1之脈波寬度，以產生一轉態訊號DC2。正反器22與可為一D型正反器，且接收轉態訊號DC2及二位元相位偏移調變訊號BPSK，並依據轉態訊號DC2之邏輯狀態取樣二位元相位偏移調變訊號BPSK，以輸出解調資料訊號RDT，但不以此為限。於另一實施例中，正反器22亦可為一T型正反器，用以接收轉態訊號DC2，並依據轉態訊號DC2之轉換邏輯狀態改變T型正反器之輸出端所輸出之解調資料訊號RDT之資料邏輯狀態。最後，經比對驗證，二位元相位偏移解調變器所還原之解調資料訊號RDT與未經調變前之原始資料訊號DT為彼此相同。

【0014】可以理解的是，為了解出正確的解調資料訊號RDT，於部分實施例中，圖2所示之正反器22可以依據實際電路設計需求採用上升緣觸發正反器或下降緣觸發正反器。其中，下降緣觸發正反器的替代電路設計是，將一反相器設置於第一互斥或閘21之兩輸入端其一或輸出端，以搭配傳統的上升緣觸發正反器。請參照下表1，整理不同之總計延遲時間對應於不同類型之正反器。舉例而言，請一併參照圖2及圖3，當總計延遲時間TD為 $0.5T$ ，可將一反相器(未繪示)設置於第一互斥或閘21前的第二延遲單元12之輸出端，使總計延遲訊號S2相較於第一延遲訊號S1為反相輸出。於其他實施例中，請一併參照圖2、圖4及圖5，當總計延遲時間TD為 $1.749T$ ，則第一互斥或閘21前端或後端無須設置反相器，總計延遲訊號S2無須反相輸出。具有通常知識者當可自行修飾變化，但不以此為限，以使決策電路之正反器能正常運作。

表1

總計延遲時間TD範圍	正反器類型
0.25T至0.75T	下降緣觸發
0.75T至1.25T	上升緣觸發

1.25T至1.75T	下降緣觸發
1.75T至2.25T	上升緣觸發

【0015】於一實施例中，第一突波去除器23用於濾除突波。舉例而言，正脈波寬度小於等於0.25T之脈波可視為一正突波。負脈波寬度小於等於0.25T之脈波可視為一負突波，亦即為一雜訊。第一突波器23將濾除正突波和負突波。

【0016】本發明之二位元相位偏移解調變器，除輸出一解調資料訊號之外，更可輸出一載波時脈，以作為系統電路中其他電子元件工作所需之時脈。需注意的是，一般電子元件所需之時脈，僅要求工作時脈之上升緣週期穩定即已足夠。而本發明一實施例之二位元相位偏移解調變器所輸出之載波時脈，除可滿足上述要求外，亦可同時符合下降緣週期穩定之要求，而能進一步應用於較高階之電路設計。以下說明二位元相位偏移解調變器如何解調產生一載波時脈。請繼續參照圖2及圖3，相位旋轉電路3與延遲電路1及決策電路2電性連接，且相位旋轉電路3依據決策電路2所輸出之解調資料訊號RDT，反轉延遲電路1所輸出之第一延遲訊號S1之相位180度，以輸出一載波時脈RCK。相位旋轉電路的操作原理是，一控制訊號為低位準(於數位訊號中即0)時，相位旋轉電路使一訊號直接通過，以及該控制訊號為高位準(於數位訊號中即1)時，相位旋轉電路使該訊號反相通過。舉例而言，相位旋轉電路可為一多工器、一互斥或閘、一類比乘法器、一混波器或一吉伯單元等，但不以此為限。於一實施例中，相位旋轉電路3包含一多工器31，當正反器22所輸出之解調資料訊號RDT為0時，多工器31將使第一延遲訊號S1直接通過；當正反器22所輸出之解調資料訊號RDT為1時，多工器31將使第一延遲訊號S1反相通過，用以輸出載波時脈RCK。需注意的是，由圖3所示載波時脈RCK之脈波相位可知，其上升緣及下降緣皆具有穩定之週期，因此可提供高階電路設計所需之工作時脈，例如第二代雙倍資料率同

步動態隨機存取記憶體(DDR2 SDRAM)需要在工作時脈訊號的上升緣和下降緣皆傳輸資料。

【0017】請參照圖3，需說明的是，為了解出載波時脈，第一延遲時間符合以下之關係式： $\text{Max}\{0, \text{TR}-0.5T\} \leq \text{TD1} < \text{TR}+0.5T$ ， $\text{TR}=\text{TMD}-\text{TRD}$ ，其中TD1為第一延遲時間，TMD是原始資料訊號DT之轉態時間點，TRD是解調資料訊號RDT之轉態時間點，TR為解調資料時間。以下說明此不等式所對應之不同實施例之時序圖。

【0018】於一實施例中，請一併參照圖2及圖4，其中總計延遲時間TD為 $1.749T$ ，解調資料訊號之轉態時間TR如圖4所示，而第一延遲時間TD1為0，即上述不等式範圍的最小值。由圖4所示時序圖可知，相位旋轉電路3可依據決策電路2所輸出之解調資料訊號RDT反轉延遲電路1所輸出之第一延遲訊號S1之相位180度。於另一實施例中，請一併參照圖2及圖5，其中總計延遲時間TD為 $1.749T$ ，解調資料訊號之轉態時間TR如圖5所示，而第一延遲時間TD1為 $\text{TR}+0.4T$ ，逼近上述不等式範圍的最大值。由圖5所示時序圖可知，相位旋轉電路3仍可依據決策電路2所輸出之解調資料訊號RDT反轉延遲電路1所輸出之第一延遲訊號S1之相位180度。

【0019】本領域中具有通常知識者應可辨認許多本發明之變化、修改以及置換等。舉例而言，一般的電路架構本質上具有不易使高頻突波通過之特性，因而使電路不易受高頻突波或雜訊之影響，其於一穩定的操作環境中，如圖6所示之決策電路2已能正常操作。惟於部分電路設計，若欲增加決策電路之濾波效果，即以圖2所示之第一突波去除器23進行電路設計，但不以此為限。

【0020】應當注意的是，於上述諸實施例所描述之部分特徵為選擇性的，且可依據不同的電路設計與應用來使用。雖然這些特徵分別陳述於不同之實施

例中，例如圖2所示之實施例之第二延遲單元12、第一突波去除器23以及多工器31，但其可分開或結合應用。

【0021】請參照圖7，本發明之一實施例之雙相移鍵解調器包含一延遲電路1以及一決策電路2。延遲電路1接收一雙相移鍵訊號BPSK，並使雙相移鍵訊號BPSK延遲一總計延遲時間以輸出一總計延遲訊號S2。決策電路2與延遲電路1電性連接，且決策電路2混合雙相移鍵訊號BPSK及總計延遲訊號S2以產生一外差訊號，並依據外差訊號改變決策電路2所輸出一解調訊號RDT。其中，延遲電路1可以僅具有單一延遲單元，並不以包含二個延遲單元為必要，詳細說明如下。

【0022】請一併參照圖8至圖10，其中延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。於本實施例中，二位元相位偏移調變訊號之載波頻率與二位元相位偏移調變訊號之資料率的比例 $(F / R) = (1 / 1) = 1$ ，故總計延遲時間TD符合以下之關係式： $0.25T \leq TD < 0.75T$ ，其中TD為總計延遲時間，T為二位元相位偏移調變訊號之載波週期。需說明的是，延遲電路1包含一總計延遲單元10，其接收二位元相位偏移調變訊號BPSK，並使二位元相位偏移調變訊號BPSK延遲一總計延遲時間TD，以輸出一總計延遲訊號S2。正反器22為一T型正反器，其接收轉態訊號DC2，並依據轉態訊號DC2之轉換邏輯狀態改變T型正反器之輸出端所輸出之解調資料訊號RDT之資料邏輯狀態。舉例而言，外差訊號DC1出現一脈波時，T型正反器之輸出端即改變輸出解調資料訊號RDT之邏輯狀態。相位旋轉電路包含一多工器31，且相位旋轉電路3依據決策電路2所輸出之解調資料訊號RDT反轉二位元相位偏移調變訊號BPSK之相位180度，以輸出一載波時脈RCK。

【0023】承接上述說明，為了驗證圖8所示之延遲電路1之操作範圍係符合 $0.25T \leq TD < 0.75T$ ，請參照說明如下。圖9為延遲電路之總計延時時間為 $TD = 0.25T$ 之時序圖，而圖10所示時序圖中，延遲電路之總計延時時間為 $TD = 0.749T$ 以例示

說明 $TD < 0.75T$ 之實施態樣。由圖9以及圖10可知，二位元相位偏移解調變器所還原之解調資料訊號RDT與未經調變前之原始資料訊號DT為彼此相同；此外，載波時脈RCK之脈波上升緣具有穩定之時脈週期，可供一般電子元件所需之工作時脈。

【0024】於另一實施例中，請一併參照圖11至圖13，其中延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。於本實施例中，二位元相位偏移調變訊號之載波頻率與二位元相位偏移調變訊號之資料率的比例 $(F/R) = (1/1) = 1$ ，故總計延遲時間TD符合以下之關係式： $0.25T \leq TD < 0.75T$ ，其中TD為總計延遲時間，T為二位元相位偏移調變訊號之載波週期。與圖8所示之實施例之差異在於，圖11所示之實施例中，相位旋轉電路3是接受延遲電路1所輸出之總計延遲訊號S1以及正反器22所輸出之解調資料訊號RDT來輸出載波時脈RCK。多工器31依據正反器22所輸出之解調資料訊號RDT，反轉延遲電路1所輸出之總計延遲訊號S1之相位180度，以輸出載波時脈RCK。

【0025】承接上述說明，為了驗證圖11所示之延遲電路1之操作範圍係符合 $0.25T \leq TD < 0.75T$ ，請參照說明如下。圖12為延遲電路之總計延時時間為 $TD = 0.25T$ 之時序圖，而圖13為延遲電路之總計延時時間為 $TD = 0.749$ 之時序圖。由圖12以及圖13可知，二位元相位偏移解調變器所還原之解調資料訊號RDT與未經調變前之原始資料訊號DT為彼此相同；此外，載波時脈RCK之脈波上升緣具有穩定之時脈週期，可供一般電子元件所需之工作時脈。

【0026】綜合上述，本發明之二位元相位偏移解調變器，其是利用一延遲電路(即延遲線)以延遲一二位元相位偏移調變訊號，將其與未延遲的二位元相位偏移調變訊號混合，以輸出一解調資料訊號。同時利用一相位旋轉電路，藉由該解調資料訊號以解出一載波時脈。

【0027】於一實施例中，其中延遲電路1由一延遲鎖相迴路來鎖定，且延遲電路1作為該延遲鎖定迴路之延遲線。請參照圖14，一二位元相位偏移解調變器包含一延遲電路1、一決策電路2、一相位旋轉電路3、一相位偵測器4以及控制器5。其中，延遲電路1、相位偵測器4以及控制器5即組成一延遲鎖相迴路(delay-locked-loop, DLL)。相位偵測器4偵測二位元相位偏移調變訊號BPSK與總計延遲訊號S2之相位差，以輸出一比較訊號PD1。一控制器5與相位偵測器4以及延遲電路1電性連接，且控制器5依據比較訊號PD1，控制總計延遲時間。舉例而言，控制器5透過延遲鎖相迴路將延遲電路1之第一延遲時間及第二延遲時間皆鎖定在 $0.25T$ 。於一實施例中，控制器接5收載波時脈RCK作為一控制時脈CCK。可以理解的是，控制器5所需之一控制時脈CCK可由外部電路提供，只要控制時脈CCK之頻率與載波時脈RCK之頻率相同即可，但不以此為限。控制器5於鎖定後即關閉延遲鎖相迴路，使延遲電路1回到開迴路的延遲線，藉此達到對抗製程變異(process variations)之效果。

【0028】請一併參照圖14至圖16，於一實施例中，一二位元相位偏移解調變器包含一延遲電路1、一決策電路2、一相位旋轉電路3、一相位偵測器4、一第一控制器5以及一控制時脈產生器6。如圖15所示，時脈控制產生器6，其包含一第二控制器61以及一反及閘62，用以輸出一控制時脈CCK至控制器5。其中，第二控制器61，接收載波時脈RCK，計數載波時脈 N 個週期後輸出訊號第一控制訊號 $N1$ 變為零。反及閘62接收第一控制訊號 $N1$ 及載波時脈RCK，以進行反及(NAND)運算並輸出一控制時脈CCK至第一控制器5。因此，第一控制器5利用二位元相位偏移調變訊號BPSK中前面一段 N 位元的訓練資料(training sequence)來鎖定延遲電路1，其中 N 為自然數。於一實施例中，延遲電路1之第一延遲時間 $TD1$ 以及第二延遲時間 $TD2$ ，兩者的延遲時間相同，同時受第一控制器5鎖定控制。如果第一控制器5之調整範圍是五位元，若是以逐漸逼近收尋法(Successive

approximation), 最多五個週期就能達到鎖定, 鎖定後將延遲鎖相迴路關閉。於一實施例中, 控制時脈產生器6之第二控制器61當N個週期後就會回到開迴路的延遲電路, 藉此達到對抗製程變異之效果。亦即, 控制器僅在一開始的幾個週期追鎖, 之後就不動作。其他電路操作原理已如前述, 此即不再贅述。

【0029】須說明的是, 於圖15及圖16所示之實施例中, 其中延遲鎖相迴路之控制器係採用前景式校正, 藉由二位元相位偏移調變訊號BPSK中前面一小段訓練資料以鎖定延遲電路為具有正確之延遲時間。但本發明之另一實施例之二位元相位偏移解調變器, 其延遲鎖相迴路之控制器亦可採用背景式校正, 即資料開始傳輸後, 延遲鎖相迴路仍會持續鎖定延遲電路為具有正確之延遲時間, 進一步說明其操作原理及技術效果如下。

【0030】可以理解的是, 因為二位元相位偏移調變訊號BPSK在資料0和1轉換時會產生180度的相位翻轉, 使相位偵測器錯誤追鎖。因此, 本發明之雙相鍵移解調器更可透過控制時脈產生器來控制鎖定過程, 每當二位元相位偏移調變訊號BPSK之相位翻轉時則不讓控制器改變控制碼, 藉此防止錯誤鎖定。在資料開始傳送後, 仍以背景式執行鎖定, 藉此達到對抗製程、電壓和溫度變異, 以及提高電路可靠度之技術效果。

【0031】於一實施例中, 請參照圖17, 其中一控制時脈產生器6接收二位元相位偏移調變訊號BPSK、解調資料訊號RDT及轉態訊號DC2, 以輸出一控制時脈CCK至控制器5。較佳者, 請一併參照圖14、圖18及圖19, 其中在第二控制訊號N2的週期之間, 當轉態訊號DC2有脈波產生, 則時脈控制產生器6所輸出的控制時脈CCK於該週期不轉態。控制時脈產生器6包含一第二互斥或閘63、一反或閘64以及一第二突波去除器65。第二互斥或閘63接收二位元相位偏移調變訊號BPSK及解調資料訊號RDT, 以進行互斥或(XOR)運算並輸出一第二控制訊號N2。反或閘64與第二互斥或閘63電性連接。反或閘64接收第二控制訊號N2及轉

態訊號DC2，以進行反或(NOR)運算並輸出一第三控制訊號N3。第二突波去除器65與反或閘64電性連接。第二突波去除器65去除第三控制訊號N3中之突波並輸出一控制時脈CCK。較佳者，第二突波去除器65包含一第三延遲單元651以及一第二反或閘652。第三延遲單元651接收第三控制訊號N3，並使第三控制訊號N3延遲一第四延遲時間，以輸出一延遲第二控制訊號S4。第二反或閘652與第三延遲單元651電性連接。第二反或閘652接收延遲第二控制訊號S4及第三控制訊號N3，以進行反或(NOR)運算並輸出一控制時脈CCK至控制器5。惟，第二突波去除器之實施方式尚不以上述實施例為限。需注意的是，請參照圖19，相位偵測器持續追蹤二位元相位偏移調變訊號BPSK和總計延遲訊號S2的上升緣是否對齊，且當轉態訊號DC2有脈波產生，時脈控制產生器所輸出的控制時脈CCK於該週期不轉態，藉此防止錯誤鎖定之誤動作。同時以背景式執行鎖定，藉此達到對抗製程、電壓和溫度變異，以及提高電路可靠度之技術效果。

【0032】但背景式鎖定之電路架構不以上述實施例為限，於另一實施例中，請一併參照圖20至圖22，一時脈控制器6包含一除頻器66，用以接收一載波時脈RCK並輸出一控制時脈CCK以及一致能訊號EN。除頻器66依據載波時脈RCK之上升緣，輸出一控制時脈CCK至控制器5，以及依據載波時脈RCK之上升緣，輸出一致能訊號EN至相位偵測器4，其中致能訊號EN與控制時脈CCK彼此相位反相。因此，控制器5在控制時脈CCK之上升緣改變控制碼，相位偵測器4在致能訊號為高位準(亦即數位1)時動作，雖然會使最高傳輸速率降低，但是在資料開始傳送後，仍可背景式執行鎖定，藉此達到對抗製程、電壓和溫度變異，以及提高電路可靠度之技術效果。須說明的是，傳輸資料率若是載波頻率的M分之一倍，除頻器之除數可以為M的因數，但是該因數不可以為1。於本實施例中，傳輸資料率為載波頻率的一半，所以除頻器之除數選擇為二，如圖22所示。其中，相位偵測器持續追蹤二位元相位偏移調變訊號BPSK和總計延遲訊號S2的

上升緣是否對齊，以背景式執行鎖定。

【0033】總體而言，本發明至少具有以下優點：

1. 絕對穩定。延遲電路是開迴路，沒有穩定度的問題。
2. 高資料率。由於上述電路架構絕對穩定，其資料率最高可達二位元相位偏移調變訊號BPSK之最快傳送速度。
3. 低功耗。相較於傳統的二位元相位偏移解調變器，本發明無須使用耗電的振盪器。
4. 電路架構簡易。簡易之電路架構於數位或類比電路皆可實施。
5. 低電壓。在無線功率傳輸系統，接收端電路所需的供應電壓準位越低，越容易增加傳輸距離，以提升應用範圍。若以數位電路實現，可降低供應電壓，更能同時大幅減低動態功率消耗和靜態功率消耗。
6. 小面積。電路佈局可不需要低頻濾波器，減少被動元件使用。
7. 回復時脈工作週期可為50%。二位元相位偏移解調變器所輸出之載波時脈可以供其他電路使用，對於雙邊緣觸發的數位電路、DRAM等電路，50%的工作週期是很重要的。
8. 對抗PVT變異的能力。延遲電路可以利用延遲鎖相迴路控制，當鎖定时，能對抗PVT變異，提升電路可靠度。

【0034】綜合上述，本發明之二位元相位偏移解調變器，其是利用一延遲電路以延遲一二位元相位偏移調變訊號，將其與未延遲的二位元相位偏移調變訊號混合，以輸出一解調資料訊號，同時利用一相位旋轉電路，藉由該解調資料訊號以解出一載波時脈。延遲電路是開迴路，因此無需額外複雜之電路解決穩定度。由於上述電路架構絕對穩定，其資料率最高可達二位元相位偏移調變

訊號之最快傳送速度。其中，延遲電路的操作頻率為一倍或二分之一倍的載波頻率，更可大幅減少功率消耗，且於數位或類比訊號皆可實施。此外，搭配延遲鎖相迴路藉由前景式或背景式執行鎖定，可以達到對抗製程、電壓和溫度變異，以及提高電路可靠度之技術效果。

【0035】 以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0036】

1	延遲電路
10	總計延遲單元
11	第一延遲單元
12	第二延遲單元
2	決策電路
21	第一互斥或閘
22	正反器
23	第一突波去除器
3	相位旋轉電路
31	多工器
4	相位偵測器
5	第一控制器

6	控制時脈產生器
61	第二控制器
62	反及閘
63	第二互斥或閘
64	反或閘
65	第二突波去除器
651	第三延遲單元
652	第二反或閘
66	除頻器
BPSK	二位元相位偏移調變訊號
DC1	外差訊號
DC2	轉態訊號
DT	原始資料訊號
EN	致能訊號
N1	第一控制訊號
N2	第二控制訊號
N3	第三控制訊號
PD1	比較訊號
RCK	載波時脈
RDT	解調資料訊號
S1	第一延遲訊號
S2	總計延遲訊號
S3	延遲外差訊號
S4	延遲第二控制訊號

TD	總計延遲時間
TD1	第一延遲時間
TD2	第二延遲時間
TD3	第三延遲時間
TMD	原始資料訊號之轉態時間點
TRD	解調資料訊號之轉態時間點
TR	解調資料時間

【發明申請專利範圍】

【第1項】 一種二位元相位偏移解調變器，包含：

一延遲電路，用以接收一二位元相位偏移調變訊號，並使該二位元相位偏移調變訊號延遲一總計延遲時間以輸出一總計延遲訊號；以及

一決策電路，與該延遲電路電性連接，用以混合該二位元相位偏移調變訊號及該總計延遲訊號以產生一外差訊號，並依據該外差訊號之上升緣或下降緣，改變該決策電路所輸出一解調資料訊號。

【第2項】 如請求項1所述之二位元相位偏移解調變器，其中該總計延遲時間符合以下之關係式：

$$0.25T \leq TD < ((F / R) - 0.25) T,$$

其中，TD為該總計延遲時間，T為該二位元相位偏移調變訊號之載波週期，F為該二位元相位偏移調變訊號之載波頻率，R為該二位元相位偏移調變訊號之資料率。

【第3項】 如請求項1所述之二位元相位偏移解調變器，其中該決策電路包含：

一第一互斥或閘，用以混合該二位元相位偏移調變訊號及該總計延遲訊號，以輸出該外差訊號；以及

一正反器，與該第一互斥或閘電性連接，用以依據該外差訊號之一邏輯狀態改變該正反器所輸出之該解調資料訊號。

【第4項】 如請求項3所述之二位元相位偏移解調變器，其中該正反器包含一D型正反器，用以接收該外差訊號及該二位元相位偏移調變訊號，

並依據該外差訊號之該邏輯狀態取樣該二位元相位偏移調變訊號，以輸出該解調資料訊號。

【第5項】如請求項3所述之二位元相位偏移解調變器，其中該正反器包含一T型正反器，用以接收該外差訊號，並依據該外差訊號之該邏輯狀態改變該T型正反器之輸出端所輸出之該解調資料訊號之資料邏輯狀態。

【第6項】如請求項3所述之二位元相位偏移解調變器，其中該決策電路更包含：

一第一突波去除器，串聯於該第一互斥或閘以及該正反器之間，用以去除該外差訊號中之突波，以產生一轉態訊號，其中該正反器依據該轉態訊號之轉換邏輯狀態改變該正反器所輸出之該解調資料訊號。

【第7項】如請求項1所述之二位元相位偏移解調變器，其中該延遲電路由一延遲鎖相迴路來控制。

【第8項】如請求項7所述之二位元相位偏移解調變器，其中該延遲電路作為該延遲鎖定迴路之延遲線。

【第9項】如請求項8所述之二位元相位偏移解調變器，其中該延遲鎖定迴路包含：

一相位偵測器，用以偵測該二位元相位偏移調變訊號與該總計延遲訊號間之相位差，以輸出一比較訊號；以及

一第一控制器，與該相位偵測器以及該延遲電路電性連接，用以依據該比較訊號，控制該總計延遲時間。

【第10項】如請求項9所述之二位元相位偏移解調變器，更包含一控制時脈產生器，用以接收該二位元相位偏移調變訊號、該解調資料訊號

及該外差訊號，以輸出一控制時脈至該控制器，其中該外差訊號之一外差邏輯狀態改變時，該時脈控制產生器鎖定該控制時脈之不變。

【第11項】如請求項10所述之二位元相位偏移解調變器，其中該控制時脈產生器包含：

一第二互斥或閘，用以接收該二位元相位偏移調變訊號及該解調資料訊號，以進行互斥或運算並輸出一第二控制訊號；

一反或閘，與該第二互斥或閘電性連接，用以接收該第二控制訊號及該外差訊號，以進行反或運算並輸出一第三控制訊號；

以及

一第二突波去除器，與該反或閘電性連接，用以去除該第三控制訊號之突波並輸出該控制時脈；該控制時脈產生器的布林函數為：
$$N3 = \overline{(BPSK \oplus RDT)} + DC2$$

其中，N3為該第三控制訊號，BPSK為該二位元相位偏移調變訊號，RDT為該解調資料訊號，DC2為該外差訊號。

【第12項】如請求項1所述之二位元相位偏移解調變器，更包含：

一相位旋轉電路，與該延遲電路及該決策電路電性連接，用以依據該決策電路所輸出之該解調資料訊號反轉該二位元相位偏移調變訊號或該延遲電路所輸出之該總計延遲訊號，以輸出一載波時脈；該相位旋轉電路的布林函數為：
$$RCK = BPSK \oplus RDT \text{ 或 } RCK = S2 \oplus RDT,$$

其中，RCK為該載波時脈，RDT為該解調資料訊號，BPSK為該二位元相位偏移調變訊號，S2為該總計延遲訊號。

【第13項】如請求項12所述之二位元相位偏移解調變器，其中該延遲電路包含：

一第一延遲單元，用以接收該二位元相位偏移調變訊號，並使該二位元相位偏移調變訊號延遲一第一延遲時間，以輸出一第一延遲訊號，且該第一延遲時間符合以下之關係式：

$$\text{Max}\{0, \text{TR}-0.5\text{T}\} \leq \text{TD1} < \text{TR}+0.5\text{T}, \text{TR} = \text{TRD} - \text{TMD},$$

其中，TMD為一原始資料訊號之轉態時間點，TRD為該解調資料訊號之轉態時間點，TR為對應該解調資料訊號之一解調資料時間，TD1為該第一延遲時間；以及

一第二延遲單元，與該第一延遲單元串聯，用以接收該第一延遲訊號，並使該第一延遲訊號延遲一第二延遲時間，以輸出一第二延遲訊號作為該總計延遲訊號；

其中該相位旋轉電路依據該決策電路所輸出之該解調資料訊號反轉該二位元相位偏移調變訊號、該第一延遲訊號或該總計延遲訊號，以輸出一載波時脈；該相位旋轉電路的布林函數為：

$$\text{RCK} = \text{BPSK} \oplus \text{RDT}; \text{RCK} = \text{S1} \oplus \text{RDT}; \text{或} \text{RCK} = \text{S2} \oplus \text{RDT}$$

其中，RCK為該載波時脈，RDT為該解調資料訊號，BPSK為該二位元相位偏移調變訊號，S1為該第一延遲訊號，S2為該總計延遲訊號。

【第14項】如請求項12所述之二位元相位偏移解調變器，其中該延遲電路包含：

一第一延遲單元，用以接收該二位元相位偏移調變訊號，並使該二位元相位偏移調變訊號延遲一第一延遲時間，以輸出該第一延遲訊號，且該第一延遲時間符合以下之關係式：

$$\text{Max}\{0, \text{TR}-0.5\text{T}\} \leq \text{TD1} < \text{TR}+0.5\text{T}, \text{TR} = \text{TRD} - \text{TMD},$$

其中，TMD為一原始資料訊號(DT)之轉態時間點，TRD為該解調資料訊號(RDT)之轉態時間點，TR為對應該解調資料訊號之一解調資料時間，TD1為該第一延遲時間；以及

一第二延遲單元，用以接收該二位元相位偏移調變訊號，並使該二位元相位偏移調變訊號延遲該總計延遲時間，以輸出該總計延遲訊號；

其中該相位旋轉電路依據該決策電路所輸出之該解調資料訊號反轉該二位元相位偏移調變訊號、該第一延遲訊號或該總計延遲訊號，以輸出一載波時脈；該相位旋轉電路的布林函數為：

$$\text{RCK} = \text{BPSK} \oplus \text{RDT}; \text{RCK} = \text{S1} \oplus \text{RDT}; \text{或} \text{RCK} = \text{S2} \oplus \text{RDT}$$

其中，RCK為該載波時脈，RDT為該解調資料訊號，BPSK為該二位元相位偏移調變訊號，S1為該第一延遲訊號，S2為該總計延遲訊號。

【第15項】 如請求項12所述之二位元相位偏移解調變器，其中該決策電路包含：

一第一互斥或閘，用以混合該二位元相位偏移調變訊號及該總計延遲訊號，以輸出該外差訊號；以及

一正反器，與該第一互斥或閘電性連接，用以依據該外差訊號之一邏輯狀態改變該正反器所輸出之該解調資料訊號。

【第16項】 如請求項12所述之二位元相位偏移解調變器，更包含：

一相位偵測器，用以偵測該二位元相位偏移調變訊號與該總計延遲訊號間之相位差，以輸出一比較訊號；以及

一第一控制器，與該相位偵測器以及該延遲電路電性連接，用以依據該比較訊號，控制該總計延遲時間。

【第17項】如請求項16所述之二位元相位偏移解調變器，其中該第一控制器接收該載波時脈作為一控制時脈。

【第18項】如請求項16所述之二位元相位偏移解調變器，更包含一控制時脈產生器，其包含：

一第二控制器，用以接收該載波時脈，並輸出一第一控制訊號；

一反及閘，用以接收該第一控制訊號及該載波時脈，以進行反及運算並輸出一控制時脈至該第一控制器。

【第19項】如請求項16所述之二位元相位偏移解調變器，更包含一控制時脈產生器，其包含：

一除頻器，用以接收該載波時脈，並依據該載波時脈之上升緣，輸出一控制時脈至該控制器及輸出一致能訊號至該相位偵測器。

【發明圖式】

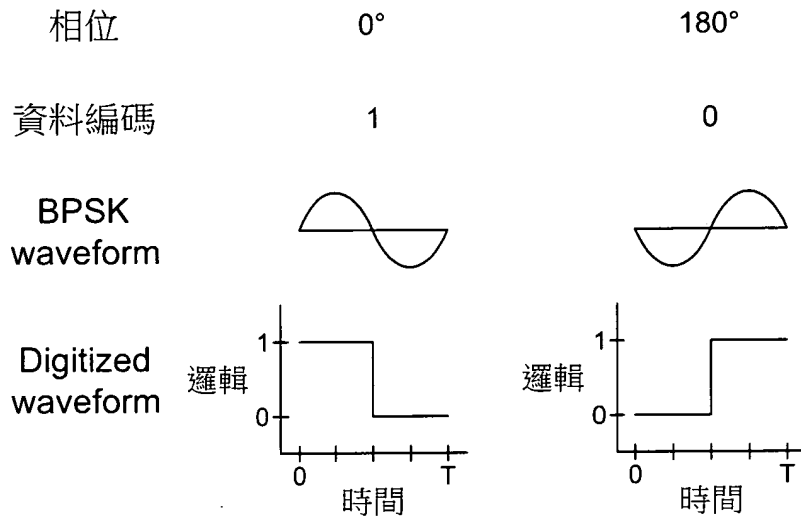


圖1

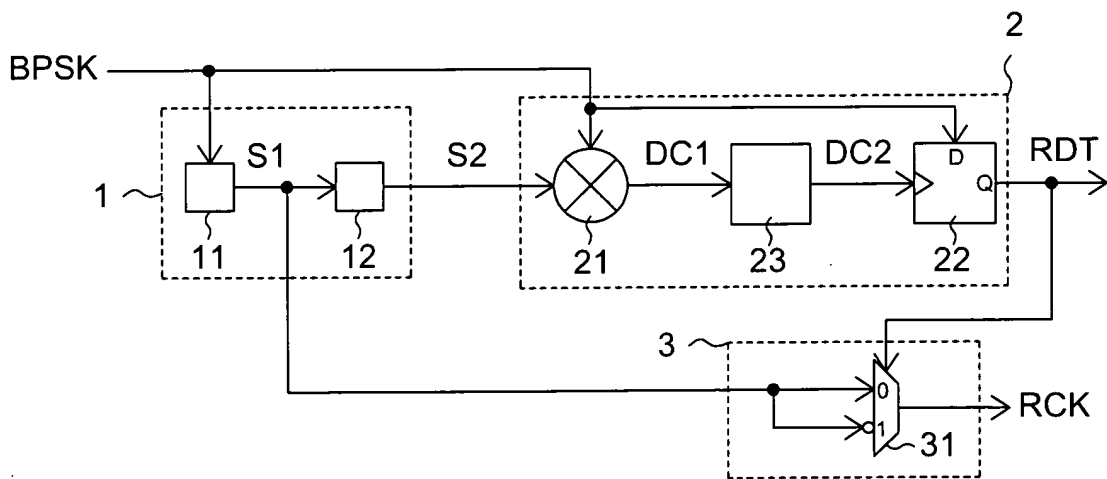


圖2

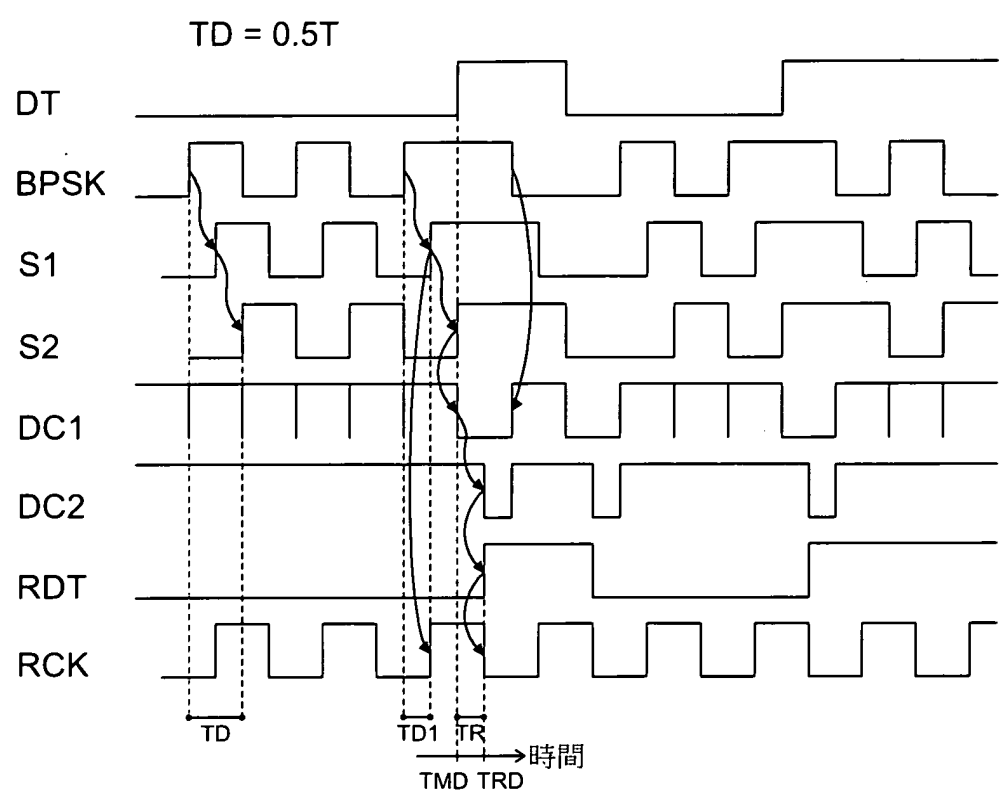


圖3

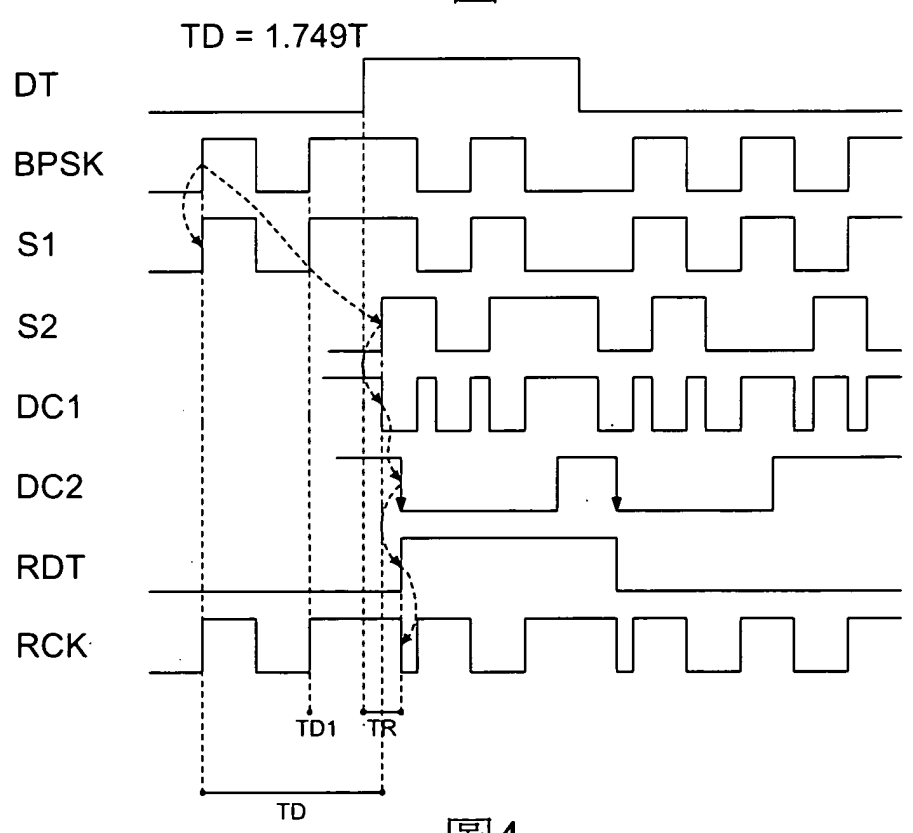


圖4

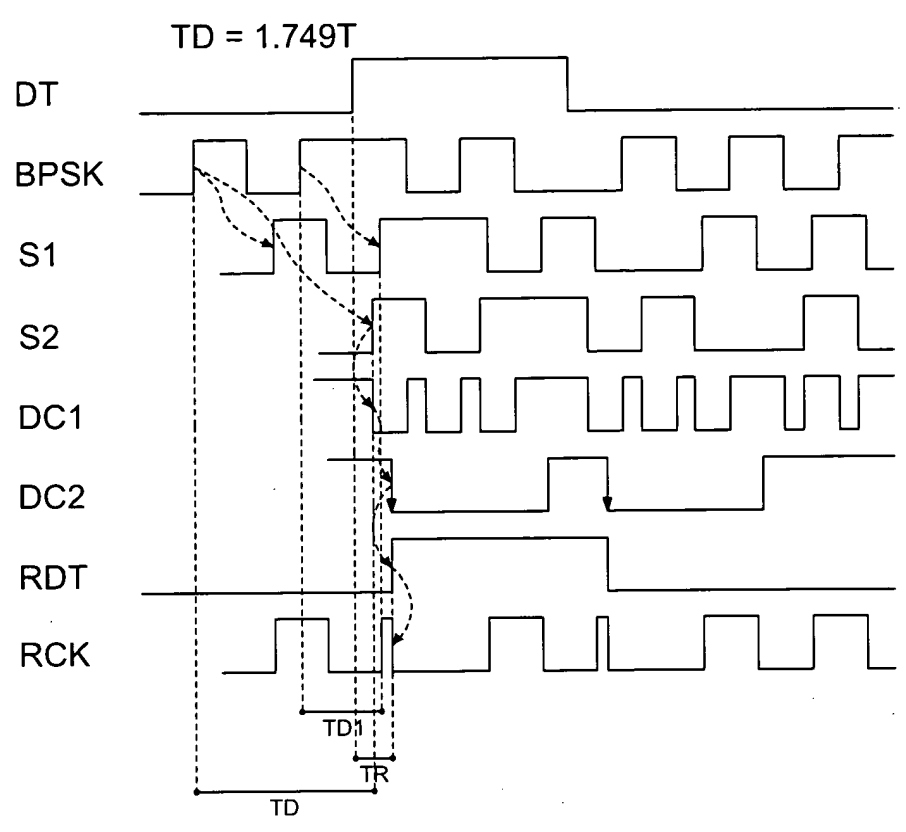


圖5

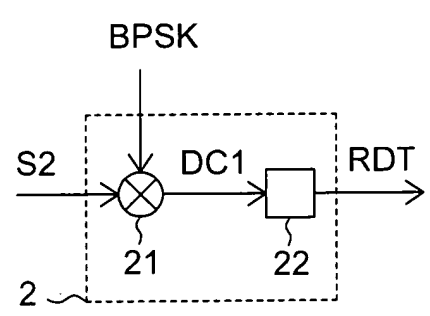


圖6

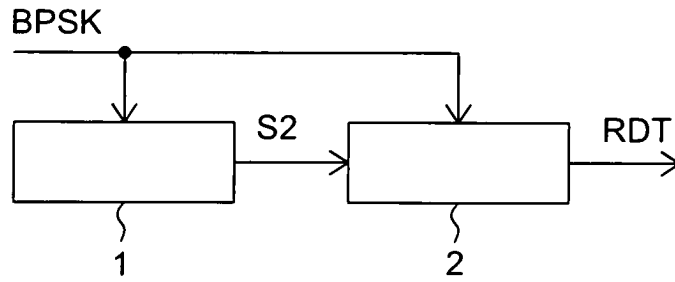


圖7

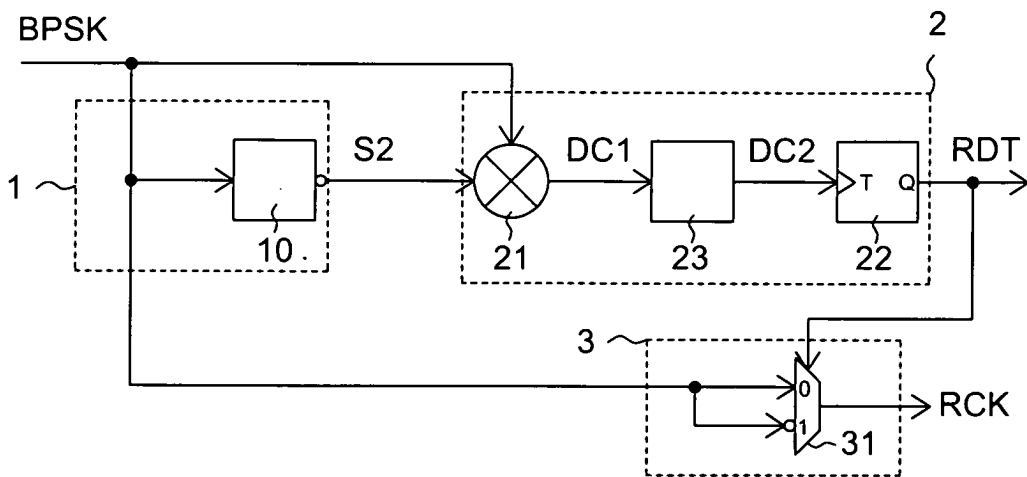


圖8

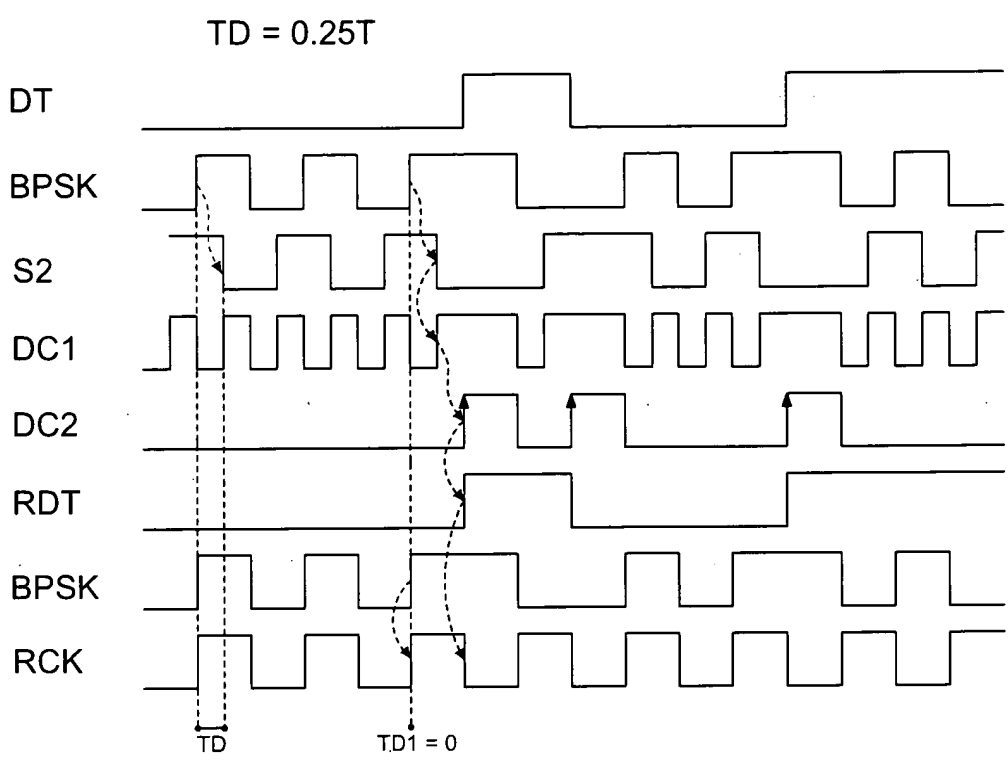


圖9

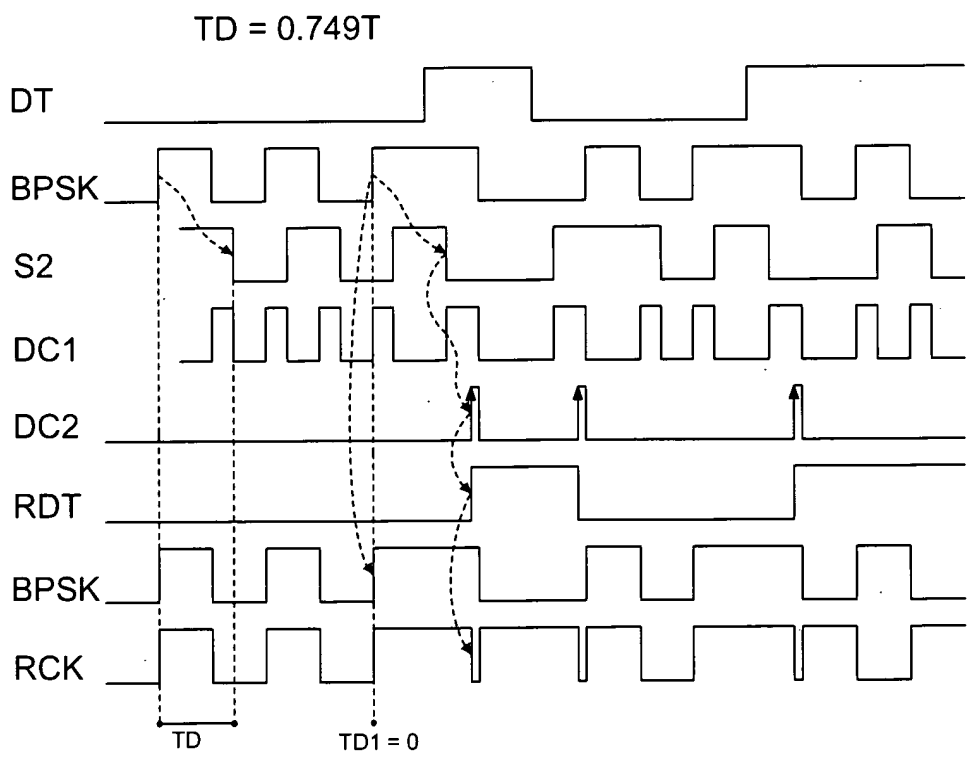


圖10

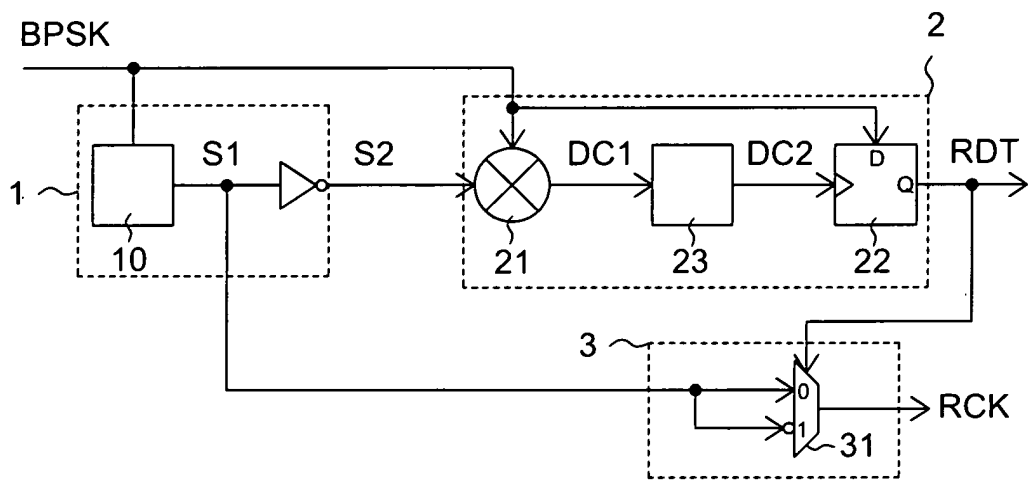


圖 11

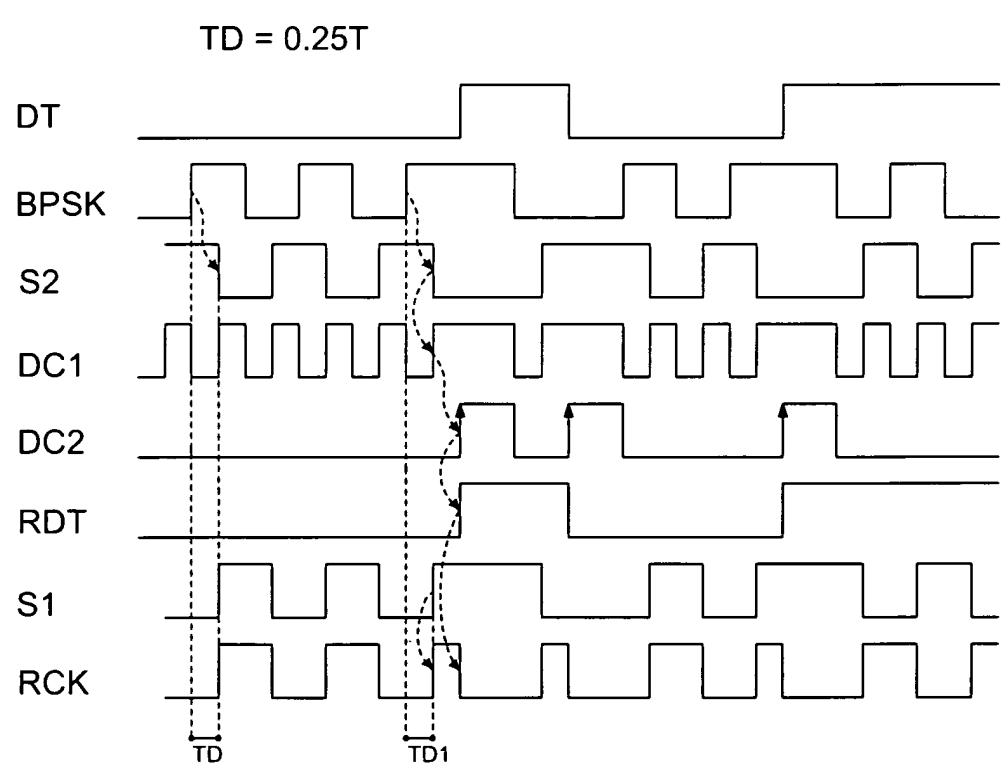


圖 12

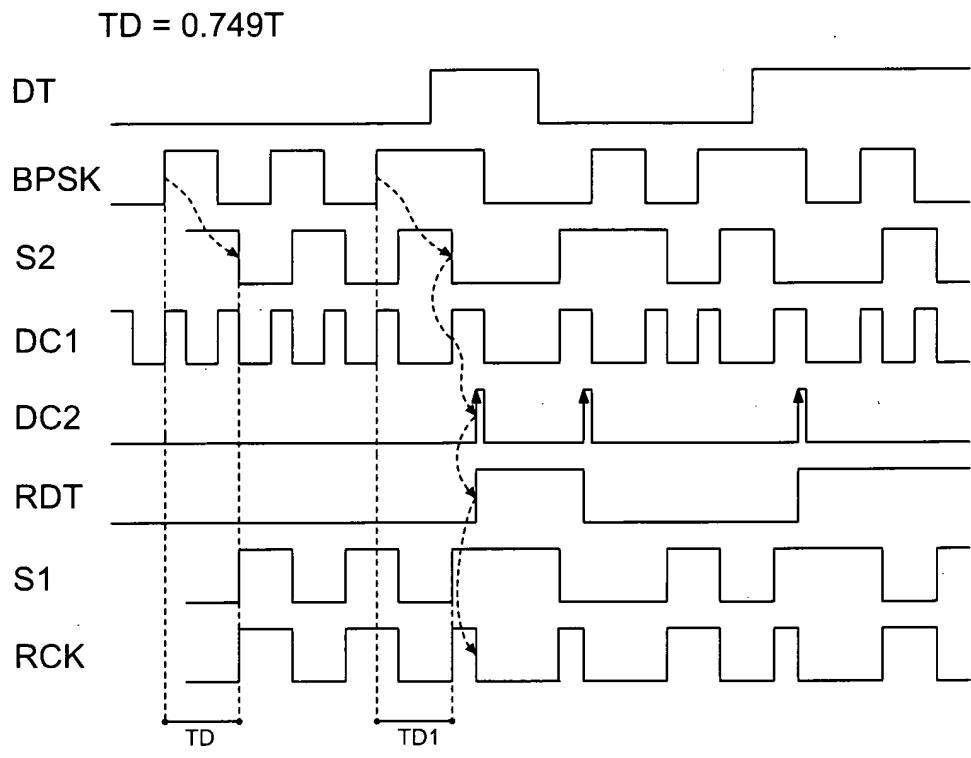


圖 13

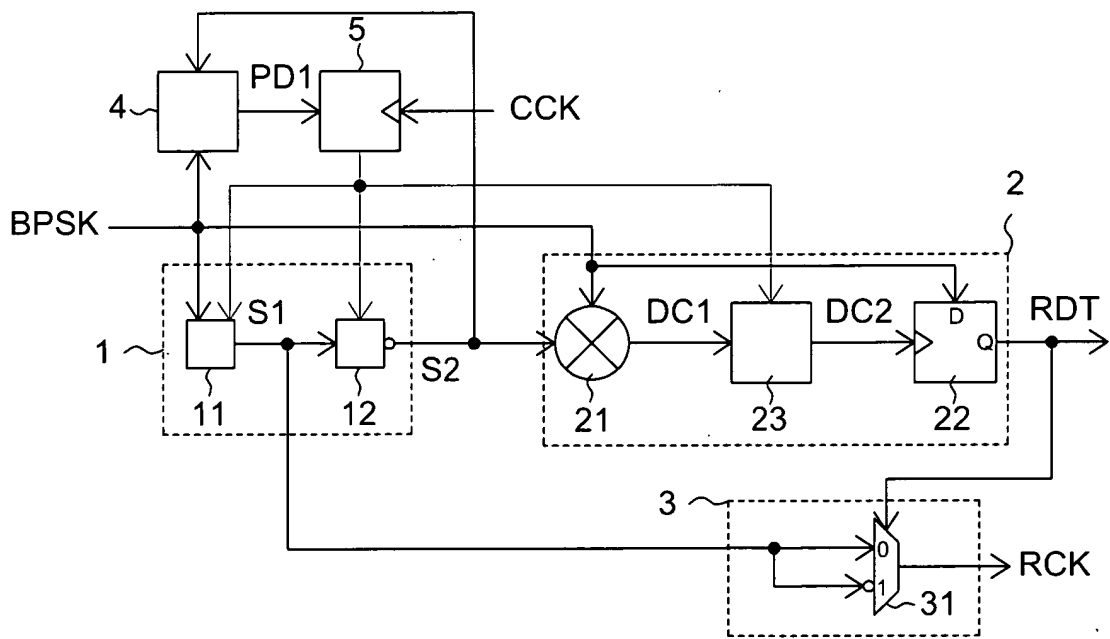


圖 14

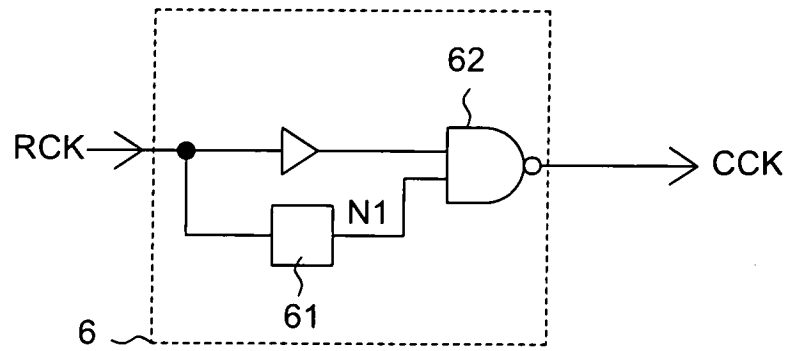


圖 15

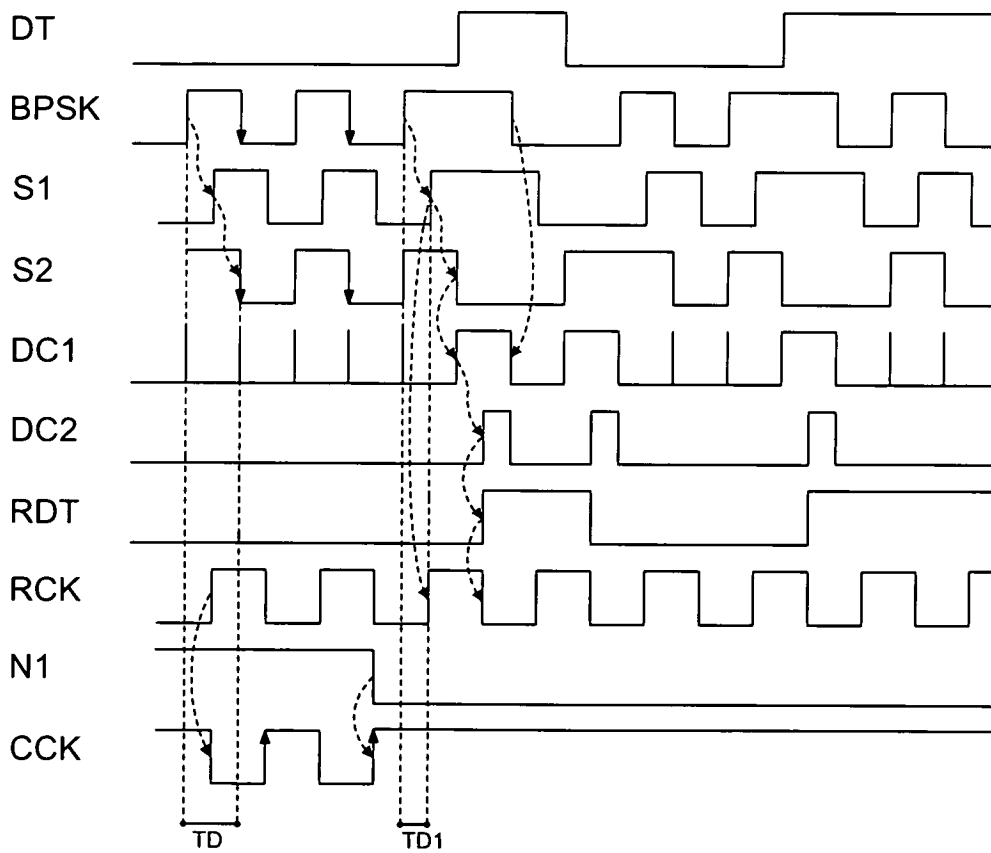


圖 16

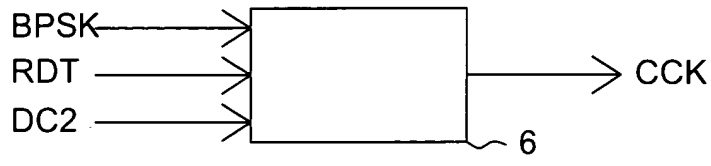


圖 17

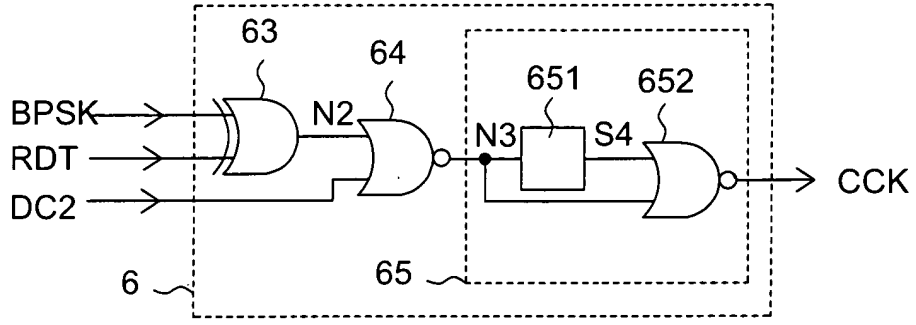


圖 18

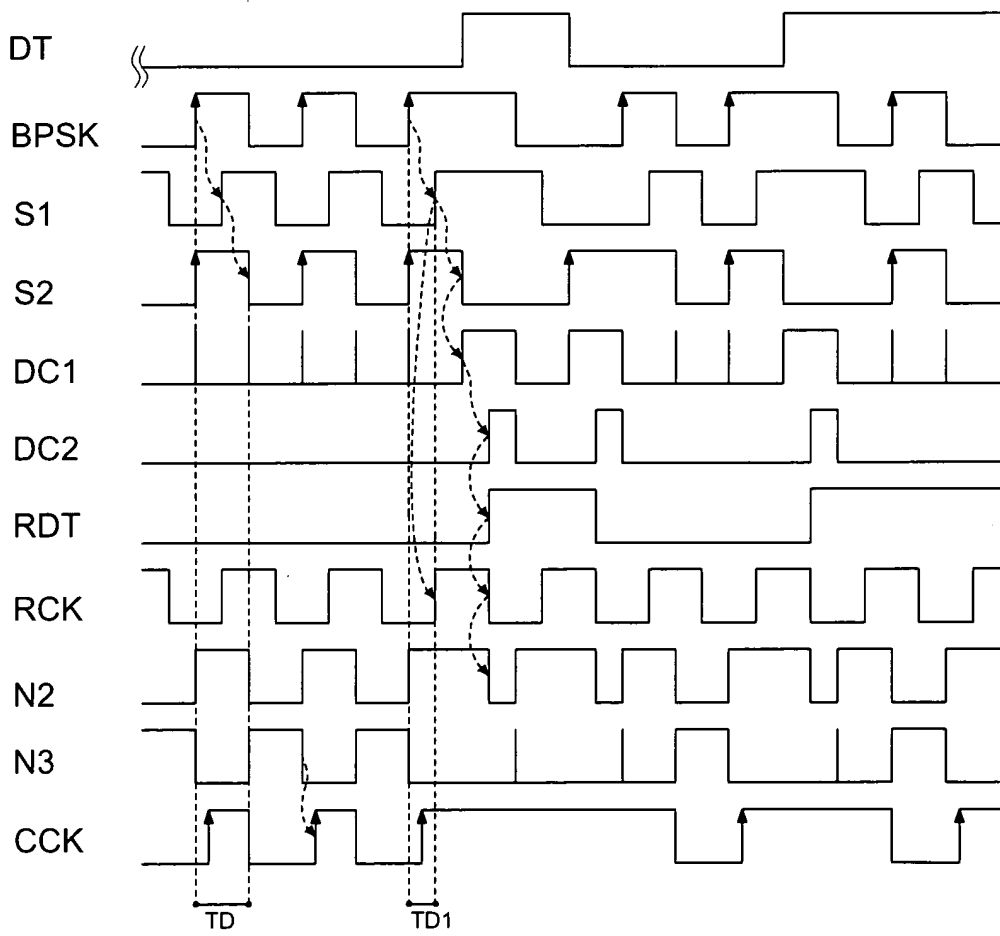


圖 19

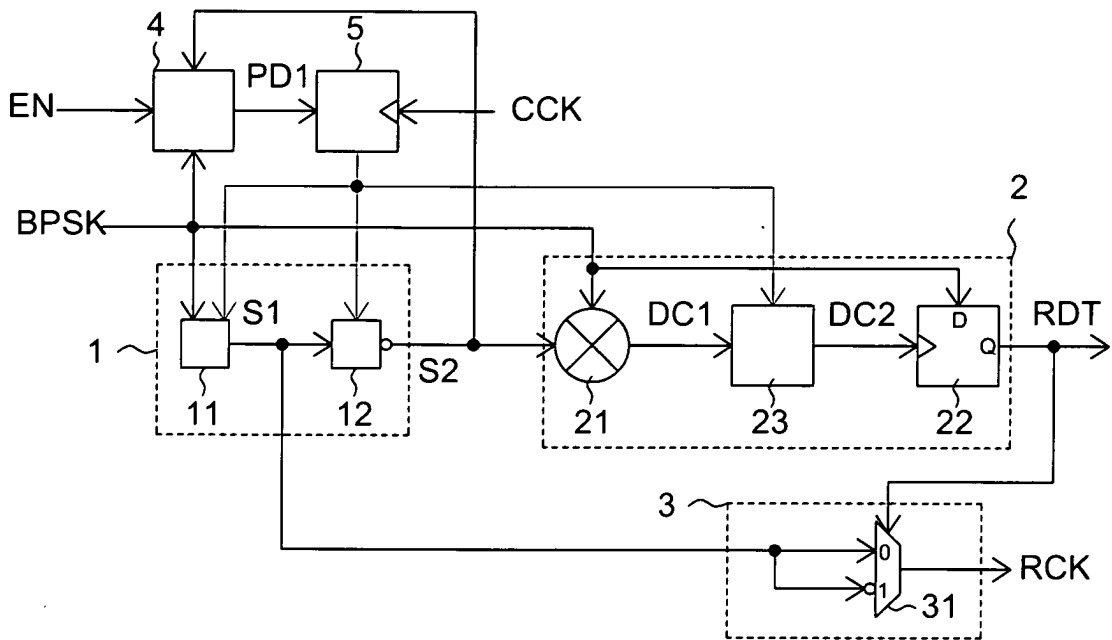


圖20

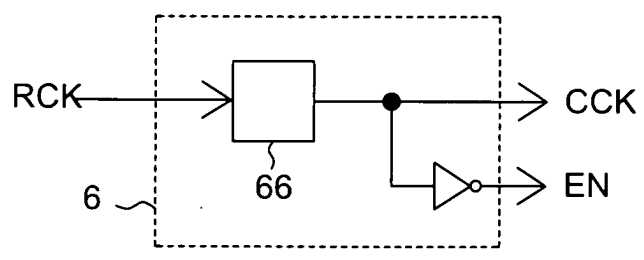


圖21

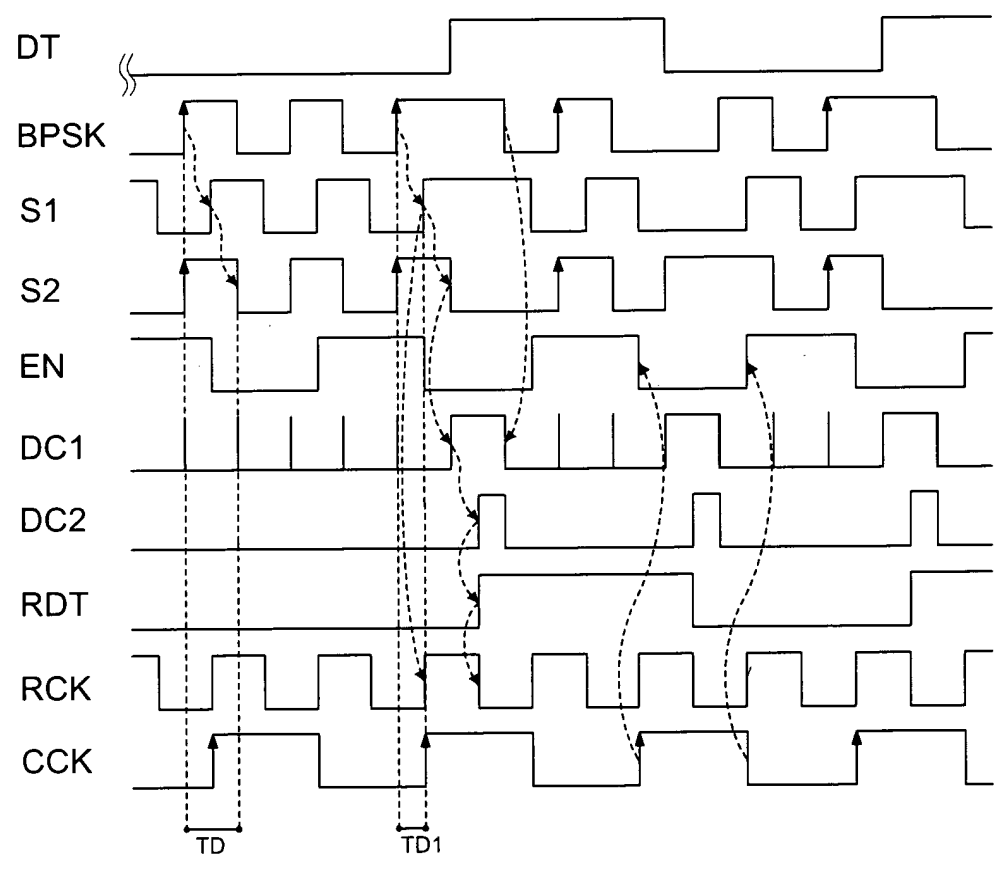


圖22