



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201735174 A

(43)公開日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：105108498

(22)申請日：中華民國 105 (2016) 年 03 月 18 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/12 (2006.01)

H01L29/778 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張俊彥 CHANG, CHUN YEN (TW)；鄭淳護 CHENG, CHUN HU (TW)；藍宇彬

LAN, YU PIN (TW)

(74)代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：20 項 圖式數：9 共 32 頁

(54)名稱

一種用於超高電壓操作之半導體裝置及其形成方法

SEMICONDUCTOR DEVICE USING IN ULTRA-HIGH VOLTAGE OPERATION AND METHOD FOR FORMING THE SAME

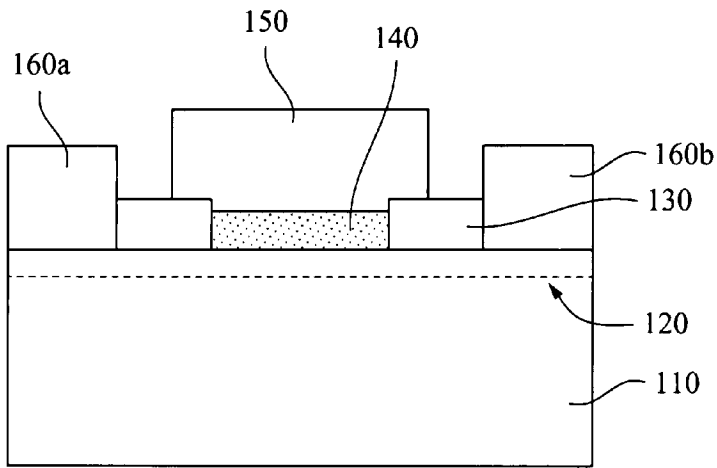
(57)摘要

本發明提供一種用於超高電壓操作之半導體裝置及其形成方法。此半導體裝置包含具有常開型通道之基板、負電容材料層、閘極、源極和汲極。此負電容材料層係位於基板之上，且能調變半導體裝置之臨界電壓，使此常開型通道轉變為常閉型通道，進而使此半導體裝置之操作模式由空乏模式轉變為增強模式。此半導體裝置也包含高介電常數之閘極介電層位於負電容材料層與基板之間，以降低漏電流和改善待機功率消耗。此外，也可於此閘極介電層與負電容材料層之間形成一層閘極層，以形成雙閘極結構。此半導體裝置更包含離子植入層位於閘極下方之基板之中。此外，上述之技術特徵或結構可形成於具有閘極凹陷結構之半導體裝置之中。

A semiconductor device used in ultra-high voltage (UHV) operation is disclosed in the present invention. The semiconductor device includes a substrate having a normally-on channel, a negative capacitance material layer, an electrode, a source and a drain. The negative capacitance material layer is disposed over the substrate and capable of adjusting the threshold voltage of the semiconductor device so as to change the operation mode from depletion mode (D-mode) to enhance mode (E-mode). The semiconductor device also comprises a gate dielectric layer made of high-k material between the negative capacitance material layer and the substrate to decrease gate current leakage. In addition, a gate layer can be formed between the gate dielectric layer and the negative capacitance material layer to form a dual-gate structure. The semiconductor device further includes forming ion implantation layer in the substrate under the gate. Furthermore, the aforementioned technical features or structures can be formed in a semiconductor device having a gate-recessed structure.

指定代表圖：

100



符號簡單說明：

- 100 . . . 半導體裝置
- 110 . . . 基板
- 120 . . . 常開型通道層
- 130 . . . 覆蓋層
- 140 . . . 負電容材料層
- 150 . . . 閘極
- 160a . . . 源極
- 160b . . . 汲極

第 1 圖

【發明摘要】

IPC分類：	H01L 21/336	(2006.1)
	H01L 29/12	(2006.1)
	H01L 29/778	(2006.1)

【中文發明名稱】一種用於超高電壓操作之半導體裝置及其形成方法

【英文發明名稱】SEMICONDUCTOR DEVICE USING IN ULTRA-HIGH VOLTAGE OPERATION AND METHOD FOR FORMING THE SAME

【中文】

本發明提供一種用於超高電壓操作之半導體裝置及其形成方法。此半導體裝置包含具有常開型通道之基板、負電容材料層、閘極、源極和汲極。此負電容材料層係位於基板之上，且能調變半導體裝置之臨界電壓，使此常開型通道轉變為常閉型通道，進而使此半導體裝置之操作模式由空乏模式轉變為增強模式。此半導體裝置也包含高介電常數之閘極介電層位於負電容材料層與基板之間，以降低漏電流和改善待機功率消耗。此外，也可於此閘極介電層與負電容材料層之間形成一層閘極層，以形成雙閘極結構。此半導體裝置更包含離子植入層位於閘極下方之基板之中。此外，上述之技術特徵或結構可形成於具有閘極凹陷結構之半導體裝置之中。

【英文】

A semiconductor device used in ultra-high voltage (UHV) operation is disclosed in the present

invention. The semiconductor device includes a substrate having a normally-on channel, a negative capacitance material layer, an electrode, a source and a drain. The negative capacitance material layer is disposed over the substrate and capable of adjusting the threshold voltage of the semiconductor device so as to change the operation mode from depletion mode (D-mode) to enhance mode (E-mode). The semiconductor device also comprises a gate dielectric layer made of high-k material between the negative capacitance material layer and the substrate to decrease gate current leakage. In addition, a gate layer can be formed between the gate dielectric layer and the negative capacitance material layer to form a dual-gate structure. The semiconductor device further includes forming ion implantation layer in the substrate under the gate. Furthermore, the aforementioned technical features or structures can be formed in a semiconductor device having a gate-recessed structure.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100：半導體裝置

110：基板

120：常開型通道層

130：覆蓋層

140：負電容材料層

150：閘極

160a：源極

160b：汲極

【特徵化學式】

無

【發明說明書】

【中文發明名稱】一種用於超高電壓操作之半導體裝置及其形成方法

【英文發明名稱】SEMICONDUCTOR DEVICE USING IN ULTRA-HIGH VOLTAGE OPERATION AND METHOD FOR FORMING THE SAME

【技術領域】

【0001】本發明係有關於一種半導體裝置及其形成方法，特別是指一種用於超高電壓操作之半導體裝置及其形成方法。

【先前技術】

【0002】在半導體技術中，III-V族半導體化合物可用於形成各種積體電路裝置，諸如高功率場效電晶體、高頻電晶體或高電子遷移率電晶體(HEMT)，此III-V族半導體化合物具有取代傳統矽電晶體之潛力。在眾多III-V族半導體化合物中，氮化鎵(GaN)和氧化鎵(Ga_2O_3)為具有潛力之半導體材料，其所具有之寬能隙特性，於崩潰電場之承載力較大。此外，氮化鎵(GaN)或氧化鎵(Ga_2O_3)基板具有大面積製作潛力，且其導通電阻低，能具有較高之導通電流。

【0003】然而，當III-V族半導體化合物為氮化鎵或氧化鎵時，通道將呈現常開型(normally-on)的狀態，即半導體裝置的操作模式處於空乏模式(D-mode)。換言之，縱使未

施加電壓於閘極，源極與汲極間的電路仍呈現導通狀態，將造成電力的浪費或電路的干擾。目前，解決此問題之方法(例如：減薄氮化鎵層或氧化鎵層之厚度)於各方面而言，尚不能令人滿意。因此，需要此領域中之改良。

【發明內容】

【0004】 爲了解決上述之問題，本發明提供一種用於超高電壓操作之半導體裝置及其形成方法。

【0005】 根據本發明之一些實施例，提供一種用於超高電壓操作之半導體裝置。此半導體裝置包含具有常開型通道之基板、負電容材料層、閘極、汲極及源極；其中，負電容材料層係位於基板之上，閘極係位於負電容材料層之上，且汲極和源極則位於閘極之兩側且與該常開型通道電氣相連。

【0006】 根據本發明之一些實施例，上述之半導體裝置還包含閘極介電層位於負電容材料層與基板之間，其中，閘極介電層之材料爲氧化鎵釷。此外，此半導體裝置更包含閘極層位於閘極介電層與負電容材料層之間，以形成雙閘極結構。

【0007】 根據本發明之一些實施例，上述之半導體裝置還包含離子植入層位於閘極下方之基板之中。

【0008】 根據本發明之一些實施例，上述之半導體裝置還包含形成二維電子氣(2DEG)位於基板之中。

【0009】 根據本發明之一些實施例，上述之半導體裝置可爲閘極凹陷結構。

【0010】 根據本發明之一些實施例，提供一種形成用於超高電壓操作之半導體裝置的方法。此方法包含：形成具有常開型通道之基板；形成負電容材料層於基板之上；以及形成汲極與源極於閘極之兩側且與常開型通道電氣相連。

【0011】 根據本發明之一些實施例，上述之方法還包含蝕刻基板以形成溝渠。

【0012】 根據本發明之一些實施例，上述之方法還包含沉積閘極介電層於負電容材料層與基板之間，且此閘極介電層的材料為氧化鎵釷。

【0013】 根據本發明之一些實施例，上述之方法還包含形成閘極層於閘極介電層與負電容材料層之間。

【0014】 根據本發明之一些實施例，上述之方法還包含形成離子佈植層於閘極下方的基板之中。

【0015】 根據本發明之一些實施例，上述之方法還包含形成二維電子氣(2DEG)於基板之中。

【圖式簡單說明】

【0016】 當結合隨附圖式閱讀時，自以下詳細描述將很好地理解本發明之態樣。應注意，根據工業中之標準實務，各特徵結構並非按比例繪製。事實上，出於論述清晰之目的，可任意增加或減小各特徵結構之尺寸。

第1圖係根據一些實施例，一種半導體裝置的示意剖面圖。

第2A圖係根據一些實施例，一種半導體裝置之汲極電

流與閘極電壓的曲線圖。

第2B圖係根據一些實施例，一種半導體裝置之次臨界擺幅與閘極電壓的曲線圖。

第3圖係根據一些實施例，一種製造半導體裝置之方法的示意流程圖。

第4A圖至第4E圖係根據一些實施例，一種半導體裝置於製程中各階段的示意剖面圖。

第5圖至第9圖係根據一些實施例，不同態樣之半導體裝置的示意剖面圖。

【實施方式】

【0017】 以下揭示內容提供許多不同實施例或範例，以用於實施所提供目標之不同特徵結構。下文描述組件及排列之特定範例以簡化本發明。當然，此些範例僅為示例且並不意欲為限制性。舉例而言，以下描述中在第二特徵結構上方或第二特徵結構上形成第一特徵結構可包含以直接接觸形成第一特徵結構及第二特徵結構的實施例，且亦可包含可在第一特徵結構與第二特徵結構之間形成額外特徵結構以使得第一特徵結構及第二特徵結構可不直接接觸的實施例。另外，本發明可在各種範例中重複組件符號及/或字母。此重複係出於簡明性及清晰之目的，且本身並不指示所論述之各實施例及/或配置之間的關係。

【0018】 進一步地，為了便於描述，本文可使用空間相對性術語（諸如「之下」、「下方」、「下部」、「上方」、

「上部」及類似者)來描述圖式中所說明之一個部件或特徵結構與另一部件(或多個部件)或特徵結構(或多個特徵結構)之關係。除了諸圖所描繪之定向外,空間相對性術語意欲包含在使用或步驟中的裝置之不同定向。設備可經其他方式定向(旋轉90度或處於其他定向)且因此可同樣地解讀本文所使用之空間相對性描述詞。

【0019】 本發明大致上係關於半導體裝置及形成半導體裝置之方法。更特定而言,本發明係關於用於超高電壓(*ultra-high voltage*, UHV)操作之半導體裝置及其形成方法。本發明所提供之半導體裝置,能調變傳統具常開型電子式通道之半導體裝置,使其臨界電壓由負轉正,進而將其操作模式由空乏模式(*D-mode*)轉變為增強模式(*E-mode*),以降低裝置未使用時的電力消耗與電路干擾。此外,本發明所提供之半導體裝置,亦可同時達到低於60mV/dec的次臨界擺幅(*subthreshold swing*)與奈秒等級的操作速度,能降低半導體裝置的功率消耗。本發明所提供之半導體裝置,尚可改善閘極漏電流和改善待機功率消耗。

【0020】 請參照第1圖,其係繪示根據本發明之一些實施例,其中一種態樣的半導體裝置100的示意剖面圖。如第1圖所示,半導體裝置100包含基板110、覆蓋層130、負電容材料層140、閘極150、源極160a和汲極160b;其中,基板110具有常開型(*normally-on*)通道120,且源極160a及汲極160b係位於閘極150兩側且與常開型通道120電氣相連。值得注意的是,此處所指的常開型通道120為電子式通

道。

【0021】 上述之基板110的材料可為各種三五族、二六族及四族系列之半導體材料。舉例來說，基板110包含主體矽基板(bulk silicon substrate)。或者，基板110包含基本半導體(例如：晶體結構之矽或鍺)或化合物半導體，例如：矽鍺、氧化鋅、氧化鋁、碳化矽、砷化鎵、氮化鎵、磷化鎵、磷化銦、砷化銦、銻化銦、硫化鎘、硫化鋅、銻化鎘、砷化鋁鎵、磷化銦鎵、氮化銦鎵、磷砷化銦鎵、氮化鋁鎵銦、磷化鋁鎵銦、砷化鋁鎵銦、矽鍺合金或其任意之組合。值得注意的是，在一些實施例中，採用氧化鎵作為基板110之材料。由於氧化鎵具有寬能隙之特點，其在崩潰電場的承載力較大。此外，氧化鎵基板有大面積製作的潛力，且導通電阻低，能提供較高的導通電流。在其他實施例中，半導體裝置包含絕緣的支撐基板位於基板110之下方。

【0022】 上述之常開型通道120可藉由摻雜雜質於基板110之中的方式來形成。舉例來說，可於氧化鎵基板中摻雜錫以形成電子通道。值得注意的是，常開型(normally-on)通道係指未施加電壓於閘極時，源極與汲極間的電子通道已導通而非關閉之狀態。

【0023】 上述之覆蓋層130係用以保護基板110免於氧化、後續製程之化學反應或機械性破壞。在一些實施例中，覆蓋層130的材料包含氧化矽、氮化矽、氧化鎳、氧化鋁或其任意之組合。

【0024】 上述之閘極150、源極160a和汲極160b各自選

自下列組合，包含但不局限於銀(Ag)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、鋁(Al)、鎳(Ni)、鈳(Ru)、鈀(Pd)、鉑(Pt)、錳(Mn)、氮化鎢(WN)、氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁(AlN)、矽化鎢(WSi)、氮化鉬(MoN)、矽化鎳(Ni₂Si)、矽化鈦(TiSi₂)、鋁化鈦(TiAl)、砷(As)摻雜之多晶矽、氮化鋯(ZrN)、TaC、TaCN、TaSiN、TiAlN或其任意之組合。

【0025】 上述之負電容材料層140係由負電容材料所組成。此處所稱之負電容材料，係指具有或於半導體裝置中能產生負電容效應(negative capacitance effect)的材料。在一些實施例中，負電容材料可為具有負電容效應之鐵電材料(ferro material)。更具體而言，在本實施例中，負電容材料係以氧化鈦(HfO₂)為基底，摻雜矽、鋁、鐳、釷、鋯等元素之高結晶性的鐵電材料，包含但不侷限於： $Hf_{1-x}Zr_xO$ 、 $Hf_{1-y}Si_yO$ 、 $Hf_{1-y}Al_yO$ 、 $Hf_{1-y}Y_yO$ 、 $Hf_{1-y}La_yO$ 或其組合，其中x介於0.001和0.999之間，y介於0.001和0.1之間。

【0026】 值得注意的是，不同於一般高介電材料之介電性質，由上述特定材料與成分比例所組成之負電容材料層140具有負電容效應，能降低次臨界擺幅(subthreshold swing)及調變常開型通道120的臨界電壓(threshold voltage)，使得常開型通道120之性質由常開型轉變為常閉型(normally-off)，進而使得半導體裝置的操作模式由空乏模式(D-mode)轉變為增強模式(E-mode)。此外，負電容材

料層140所具有的負電容效應，使得半導體裝置可進行高速切換的工作，可使用奈米秒等級的高速「脈衝寬度調變(PWM, pulse width modulation)方法進行元件操作。

【0027】 爲了進一步說明上述有關負電容材料層140之調變臨界電壓與降低次臨界擺幅之功能，本發明提供一具體實施例，並測量其臨界電壓與次臨界擺幅。在此具體實施例中，半導體裝置100的基板110爲矽，負電容材料層140爲HfZrO(即HfO₂與ZrO₂之莫耳比例爲1:1)。此半導體裝置100的汲極電流與閘極電壓的曲線圖繪示於第2A圖，而其次臨界擺與閘極電壓的曲線圖則繪示於第2B圖。

【0028】 請參照第2A圖，其繪示上述具體實施例中，半導體裝置100於汲極電壓爲0.2V下之汲極電流與閘極電壓的曲線圖，其中曲線10代表閘極電壓由-6V掃至+6V的測量結果，而曲線20代表閘極電壓由+6V掃至-6V的測量結果。由第2A圖可知，此HfZrO之負電容材料層140能使矽基板之半導體裝置之臨界電壓由負值轉變爲正值，即使其操作模式由空乏模式(D-mode)轉變爲增強模式(E-mode)。

【0029】 請參照第2B圖，其繪示上述具體實施例中，半導體裝置100之次臨界擺幅與閘極電壓的曲線圖，其中，曲線30代表閘極電壓由-6V掃至+6V的測量結果，而曲線40則代表閘極電壓由+6V掃至-6V的測量結果。由第2B圖可知，曲線30、40所測得之次臨界擺幅分別爲56mV/dec及53mV/dec，即說明使用負電容材料層140能有效降低次臨界擺幅至60mV/dec以下，降低關閉電流，以及臨界電壓，

使半導體裝置可在高速且低功率下操作。

【0030】 接下來請參照第3圖及4A-4E圖，前者繪示第1圖之半導體裝置100的製造流程示意圖，而後者則繪示其於製程中各階段之示意剖面圖。此製造流程示意圖僅繪示完整製造過程中的一相關部分。可於第3圖所示的步驟進行前、進行期間與進行後提供額外的步驟，且如下所述的一些步驟於添加額外的實施例於本方法時，可被取代、刪除或變動。步驟/製程的順序可進行自由交換。

【0031】 請參照第3圖及第4A圖，方法1000起始於步驟1002，其係形成包含常開型通道120之基板110和覆蓋層130於基板110之上。在一些實施例中，可藉由金屬有機氣相磊晶(MOVPE)或其他適合之磊晶方法形成具單層或多層結構之基板110，並藉由離子植入法或其他適合之摻雜方法形成常開型通道120於基板110之中。舉例來說，可在摻雜鐵之氧化鎵絕緣基板上成長摻雜錫之氧化鎵層以作為電子通道。

【0032】 在一些實施例中，覆蓋層130可為單層或多層結構。覆蓋層130可使用化學氣相沉積(CVD)、電漿輔助化學氣相沉積(PECVD)、物理氣相沉積(PVD)、原子層沉積(ALD)或其他沉積技術形成。基板110和覆蓋層130的材料如前所述，故不在此贅述。

【0033】 請參照第3圖及第4B圖，方法1000進行至步驟1004，其係蝕刻一部分之覆蓋層130以暴露基板110。在一些實施例中，藉由微影蝕刻製程來形成具有孔洞(未標示)之

光阻遮罩132。接著，藉由蝕刻製程以去除掉一部分位於孔洞下方之覆蓋層130並暴露基板110之上表面，進而形成溝渠142。上述之微影蝕刻製程可能包含形成光阻層於覆蓋層130的上表面之上、暴露光阻層以形成圖案、進行曝光後烘烤製程及圖案化光阻層以形成光阻遮罩132。上述之蝕刻製程可能包含濕蝕刻或乾蝕刻。在一些實施例中，濕蝕刻劑包含四甲基氫氧化銨(TMAH)、氫氟酸/硝酸/醋酸溶劑或其他適合的蝕刻劑。乾蝕刻製程包含使用氨基化學物的自偏電漿蝕刻製程(biased plasma etching process)、反應離子蝕刻(reactive-ion etching, RIE)或其組合。其他乾蝕刻劑氣體包含四氟化碳(CF₄)、三氟化氮(NF₃)、六氟化硫(SF₆)和氦(He)。

【0034】 請參照第3圖及第4C圖，方法1000進行至步驟1006，其係形成負電容材料層140於基板110之上。在一些實施例中，負電容材料層140填入溝渠142之中。在一些實施例中，負電容材料層140僅形成於溝渠142內之覆蓋層130之側壁與基板110之上表面之上，而未填滿整個溝渠142。在一些實施例中，可藉由前述之沉積製程形成來沉積負電容材料層140。在一些實施例中，可先沉積氧化鉛層，再以離子植入法摻雜銦、矽、鋁、鈮、釩或其任意之組合於此氧化鉛層之中，以形成負電容材料層140。負電容材料層140的材料如前所述，故不在此贅述。

【0035】 請參照第3圖及第4D圖，方法1000進行至步驟1008，其係形成閘極150於負電容材料層140之上。閘極150

可藉由前述之沉積製程來形成。閘極150的材料如前所述，故不在此贅述。

【0036】 請參照第3圖及第4E圖，方法1000進行至步驟1010，其係形成源極160a及汲極160b於閘極150之兩側且與常開型通道120電氣相連。在形成源極160a及汲極160b之前，先蝕刻掉一部分位於閘極150兩側之覆蓋層130。接著，藉由前述之沉積製程來形成源極160a及汲極160b。值得注意的是，在形成源極160a及汲極160b之前，可能先摻雜N型摻雜質(例如：磷、砷、銻、鉍、硒、碲)於源極160a及汲極160b下方之基板110之中。在其他實施例中，可能藉由二次摻雜製程以形成淺摻雜汲極(LDD)於閘極150兩側下方之基板110之中。源極160a及汲極160b的材料如前所述，故不在此贅述。

【0037】 在另一態樣之實施例中，如第5圖所示，半導體裝置200不同於半導體裝置100之處在於，半導體裝置200更包含閘極介電層240位於負電容材料層140與基板110之間。上述之閘極介電層240的材料可為氧化鎵釷($\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$, GGO)或其他適合的高介電常數材料。值得注意的是，當氧化鎵釷用作閘極介電層240的材料且氧化鎵釷作為基板110的材料時，由於閘極介電層240與基板110具有同質之材料，故其間的介面缺陷密度(D_{it})將下降，進而改善閘極漏電流和改善待機功率消耗，以提升半導體之效能。因此，閘極介電層240與負電容材料層140形成複合功能層，不僅能提供介電層之功能，還能提供臨界電壓之調

變、漏電流之改善與高速切換操作之功能。此閘極介電層240可於形成負電容材料層140之前，藉由前述之沉積製程沉積於負電容材料層140之上。在一些實施例中，閘極介電層240填入溝渠142內。在其他實施例中，閘極介電層240形成於溝渠142內之覆蓋層130之側壁與基板110之上表面之上。

【0038】 在另一態樣之實施例中，如第6圖所示，半導體裝置300不同於半導體裝置200之處在於，半導體裝置300更包含閘極層340位於閘極介電層240與負電容材料層140之間。因此，閘極介電層240、閘極層340、負電容材料層140及閘極150形成雙層閘極結構，可增加有效通道長度並提供高縮減特性(high shrinkage)，以應用於高速半導體電路中。閘極層340可於沉積負電容材料層140之前，藉由前述之沉積製程沉積於閘極介電層240之上。閘極層340之材料可為多晶矽、金屬閘極層或P型閘極層，例如但不侷限於：銅(Cu)、鎢(W)、錳(Mn)、氮化鎢(WN)、矽化鎢(WSi)、鋁化鈦(TiAl)、砷(As)摻雜之多晶矽或其組合。

【0039】 在另一態樣之實施例中，如第7圖所示，半導體裝置400不同於半導體裝置100之處在於，半導體裝置400更包含離子佈植層440位於一部分位於閘極150下方之基板110之中。如第7圖所示，可藉由任何適合的製程，例如：離子植入、分子摻雜(molecular doping)、雷射摻雜(laser doping)或其組合，摻雜外來元素(例如：氧、氟或其組合)於一部分位於閘極150下方之基板110中，以形離子佈植層

440。值得注意的是，離子佈植層440可調變通道界面的電荷，進而精確調變增強型模式(E-mode)下電晶體的臨界電壓。

【0040】 在另一態樣之實施例中，如第8圖所示，半導體裝置500不同於半導體裝置100之處在於，半導體裝置500更包含二維電子氣(two-dimensional electron gas, 2DEG)520位於基板110之中。在一些實施例中，形成半導體層510於基板110之上並適當選擇半導體層510的材料，以形成二維電子氣520於基板之上部，即接近基板110與半導體層510之界面。舉例來說，當基板110之材料為氮化鎵時，半導體層510之材料可為氮化鋁鎵；基板110之材料為氧化鎵時，半導體層510之材料可為氧化鋁鎵。半導體層510可藉由前述之磊晶製程磊晶生長而成。一般來說，此具有二維電子氣520之半導體裝置500可用作高電子遷移率電晶體(HEMT)。

【0041】 在另一態樣之實施例中，如第9圖所示，半導體裝置600不同於半導體裝置100之處在於，半導體裝置600採用閘極凹陷(gate-recessed)結構，其能減少通道電子濃度，調變臨界電壓，使其由半導體裝置由空乏模式轉變為增強模式或進一步調變增強模式下的臨界電壓。如第9圖所示，閘極凹陷結構係指閘極650插入基板110之中，其可於方法1000之步驟1004中，繼續蝕刻暴露出之基板110以形成溝渠642於基板110之中。如此一來，後續所形成之閘極結構650則可插入基板110之中以形成閘極凹陷結構。值得

注意的是，在閘極凹陷結構之中，負電容材料層640至少形成於溝渠642內基板110之上表面與側壁之上，以阻止閘極650與基板110直接接觸。在其他實施例中，先形成前述之閘極介電層於溝渠642內基板110之上表面與側壁之上，再形成負電容材料層於溝渠642之底部與側壁，此負電容材料層所包覆之閘極凹陷結構，有助於降低閘極與源極金屬間寄生電容(C_{GS})，以及閘極與汲極金屬間寄生電容(C_{GD})，提升元件操作頻率，應用於高速半導體電路中。

【0042】 值得注意的是，出於說明目的所提供之半導體裝置100、200、300、400、500、600非用以限制本發明之實施例於單一技術特徵。換言之，半導體裝置200、300、400、500、600中的閘極介電層240、閘極層340、離子佈植層440、半導體層510、二維電子氣520及閘極凹陷結構可以任何組合之方式添加至半導體裝置100之中，而不限於任何上述之單一半導體裝置。

【0043】 綜上所述，本發明之各實施例具有現有用於超高電壓操作之半導體裝置與製程所沒有的優點，其優點總結如下。由特定鐵電材料所組成之具有負電容效應的負電容材料層，能大幅調變臨界電壓，使得半導體裝置的操作模式由常開型(normally-on)的空乏模式(D-mode)轉變為常閉型(normally-off)的增強模式(E-mode)，進而於未施加電壓於閘極時，避免產生源極與汲極間的電流，使得半導體裝置處於關閉之狀態。本發明還以氧化鎵釷形成閘極介電層於負電容材料層與基板之間，當基板之材料為氧化鎵或氮化鎵

時，由於此閘極介電層與基板具有同質之材料，故能改善閘極漏電流和改善待機功率消耗。此外，本發明可進一步形成閘極層於上述之負電容材料層與閘極介電層之間，以形成雙層閘極結構，可有效調變電子通道濃度，改善半導體裝置待機功率消耗，以應用於高速半導體電路中。本發明也摻雜外來元素於一部分位於閘極下方之基板之中，以調變通道介面的電荷，進一步精確調變增強模式(E-mode)下的臨界電壓。本發明更進一步應用閘極凹陷結構於上述之半導體裝置之中，以進一步改變臨界電壓，提升半導體裝置之效能。

【0044】 上文概述若干實施例之特徵結構，使得熟習此項技術者可更好地理解本發明之態樣。熟習此項技術者應瞭解，可輕易使用本發明作為設計或修改其他製程及結構的基礎，以便實施本文所介紹之實施例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離本發明之精神及範疇，且可在不脫離本發明之精神及範疇的情況下做出對本發明的各種變化、替代及更改。

【符號說明】

【0045】

10：曲線

20：曲線

30：曲線

40：曲線

100：半導體裝置

110：基板
120：常開型通道層
130：覆蓋層
132：光阻遮罩
140：負電容材料層
142：溝渠
150：閘極
160a：源極
160b：汲極
200：半導體裝置
240：閘極介電層
300：半導體裝置
340：閘極層
400：半導體裝置
440：離子佈植層
500：半導體裝置
510：半導體層
520：二維電子氣
600：半導體裝置
640：負電容材料層
642：溝渠
650：閘極
1000：方法
1002：步驟

1004 : 步驟

1006 : 步驟

1008 : 步驟

1010 : 步驟

【發明申請專利範圍】

【第 1 項】一種用於超高電壓操作之半導體裝置，包含：

- 一基板，具有一常開型通道；
- 一負電容材料層，位於該基板之上；
- 一閘極，位於該負電容材料層之上；以及
- 一汲極與一源極，位於該閘極之兩側且與該常開型通道電氣相連。

【第 2 項】如請求項 1 所述之半導體裝置，其中該負電容材料層的材料係選自下列之一組合： $\text{Hf}_{1-x}\text{Zr}_x\text{O}$ 、 $\text{Hf}_{1-y}\text{Si}_y\text{O}$ 、 $\text{Hf}_{1-y}\text{Al}_y\text{O}$ 、 $\text{Hf}_{1-y}\text{Y}_y\text{O}$ 、 $\text{Hf}_{1-y}\text{La}_y\text{O}$ 及其組合，其中 x 介於 0.001 和 0.999 之間， y 介於 0.001 和 0.1 之間。

【第 3 項】如請求項 1 所述之半導體裝置，其中該基板之材料包含氧化鎵、氮化鎵、氮化鋁鎵銻、磷化鋁鎵銻、砷化鋁鎵銻、氧化鋅、碳化矽或其組合。

【第 4 項】如請求項 1 所述之半導體裝置，更包含一閘極介電層位於該基板與該負電容材料層之間，該閘極介電層之材料為氧化鎵釷($\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ ，GGO)。

【第 5 項】如請求項 1 所述之半導體裝置，更包含一

閘極層位於該負電容材料層與該閘極介電層之間。

【第 6 項】如請求項 1 所述之半導體裝置，更包含一離子佈植層位於該閘極下方之該基板之中。

【第 7 項】如請求項 1 所述之半導體裝置，更包含一二維電子氣(2DEG)位於該基板之中。

【第 8 項】如請求項 1 所述之半導體裝置，其中該基板具有一溝渠，且該負電容材料層填入該溝渠之中。

【第 9 項】如請求項 8 所述之半導體裝置，更包含一閘極介電層位於該基板與該負電容材料層之間，該閘極介電層之材料為氧化鎵釷($\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ ，GGO)。

【第 10 項】如請求項 9 所述之半導體裝置，更包含一閘極層位於該負電容材料層與該閘極介電層之間。

【第 11 項】如請求項 8 所述之半導體裝置，更包含一離子佈植層位於該閘極下方之該基板之中。

【第 12 項】如請求項 8 所述之半導體裝置，更包含一二維電子氣(2DEG)位於該基板之中。

【第 13 項】如請求項 12 所述之半導體裝置，更包含一半導體層位於該基板之上，以形成該二維電子氣，且該半導體層之材料為氧化鋁鎵或氮化鋁鎵。

【第 14 項】一種形成用於超高電壓操作之半導體裝置之方法，包含：

形成一具有一常開型通道之基板；

形成一負電容材料層於該基板之上；以及

形成一汲極與一源極於該閘極之兩側且與該常開型通道電氣相連。

【第 15 項】如請求項 14 所述之方法，其中形成該負電容材料層包含：

沉積一氧化鉛層；以及

摻雜矽、鋅、鋁、鈮、釧或其組合於該氧化鉛層之中。

【第 16 項】如請求項 14 所述之方法，更包含蝕刻該基板以形成一溝渠。

【第 17 項】如請求項 14 所述之方法，更包含沉積一閘極介電層於該負電容材料層與該基板之間，且該閘極介電層的材料為氧化鎵釷($\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ ，GGO)。

【第 18 項】如請求項 17 所述之方法，更包含形成一

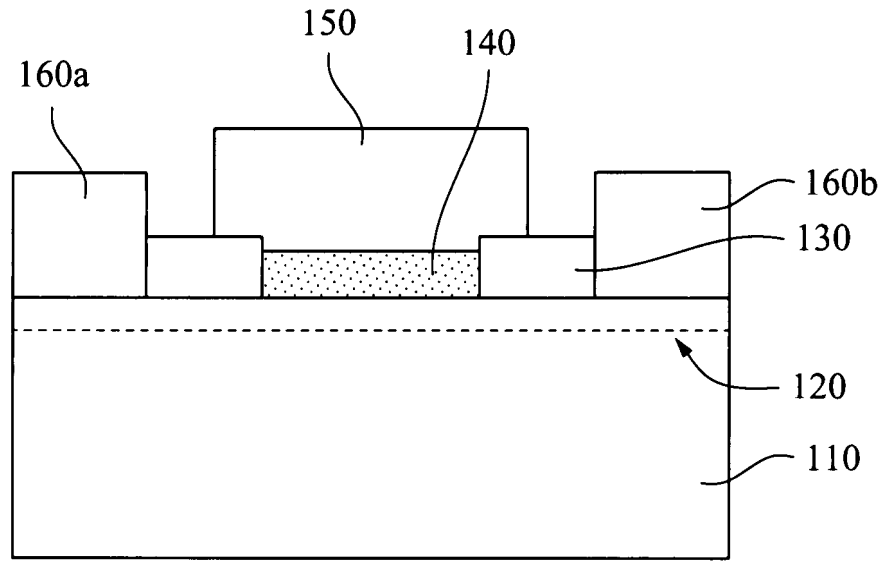
閘極層於該閘極介電層與該鐵電材料層之間。

【第 19 項】如請求項 14 所述之方法，更包含形成一離子佈植層於該閘極下方之該基板之中。

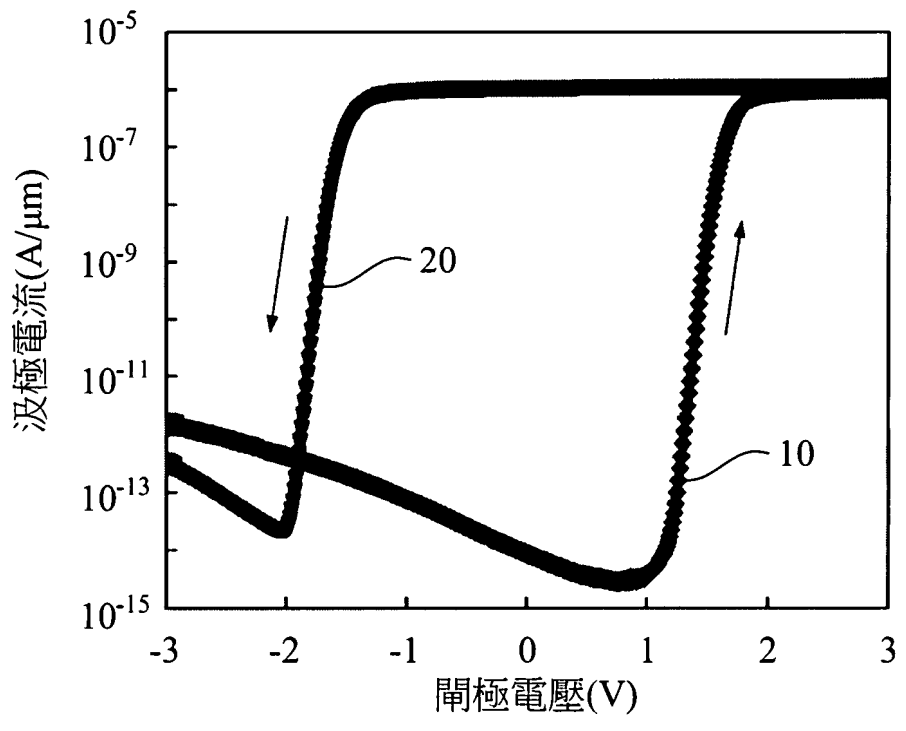
【第 20 項】如請求項 14 所述之方法，更包含形成一二維電子氣(2DEG)於該基板之中。

圖式

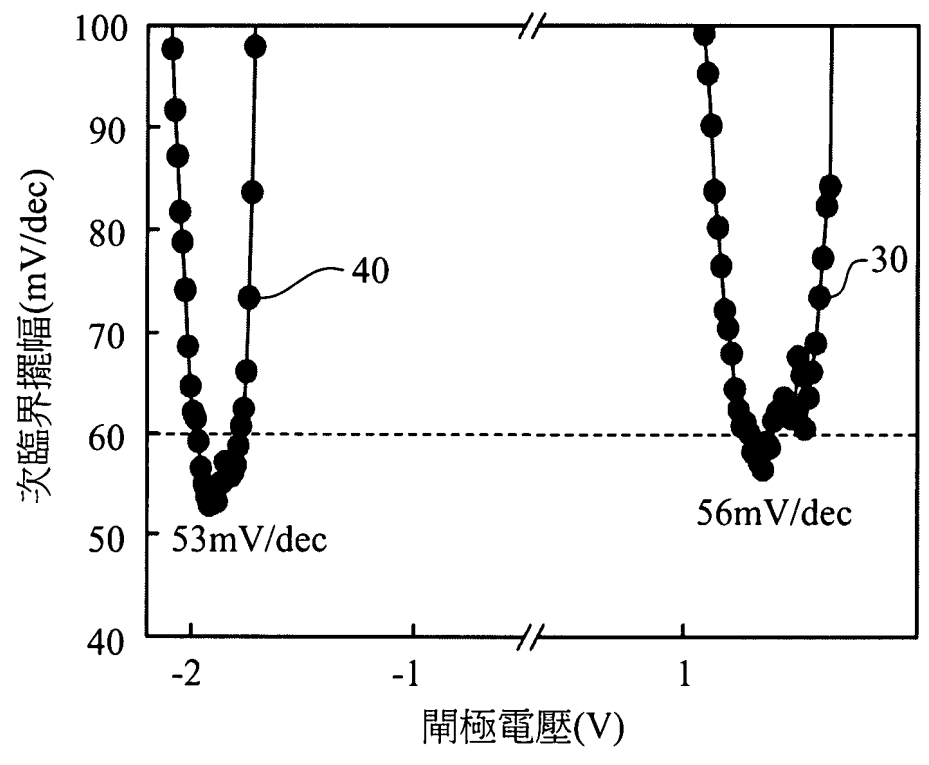
100



第 1 圖

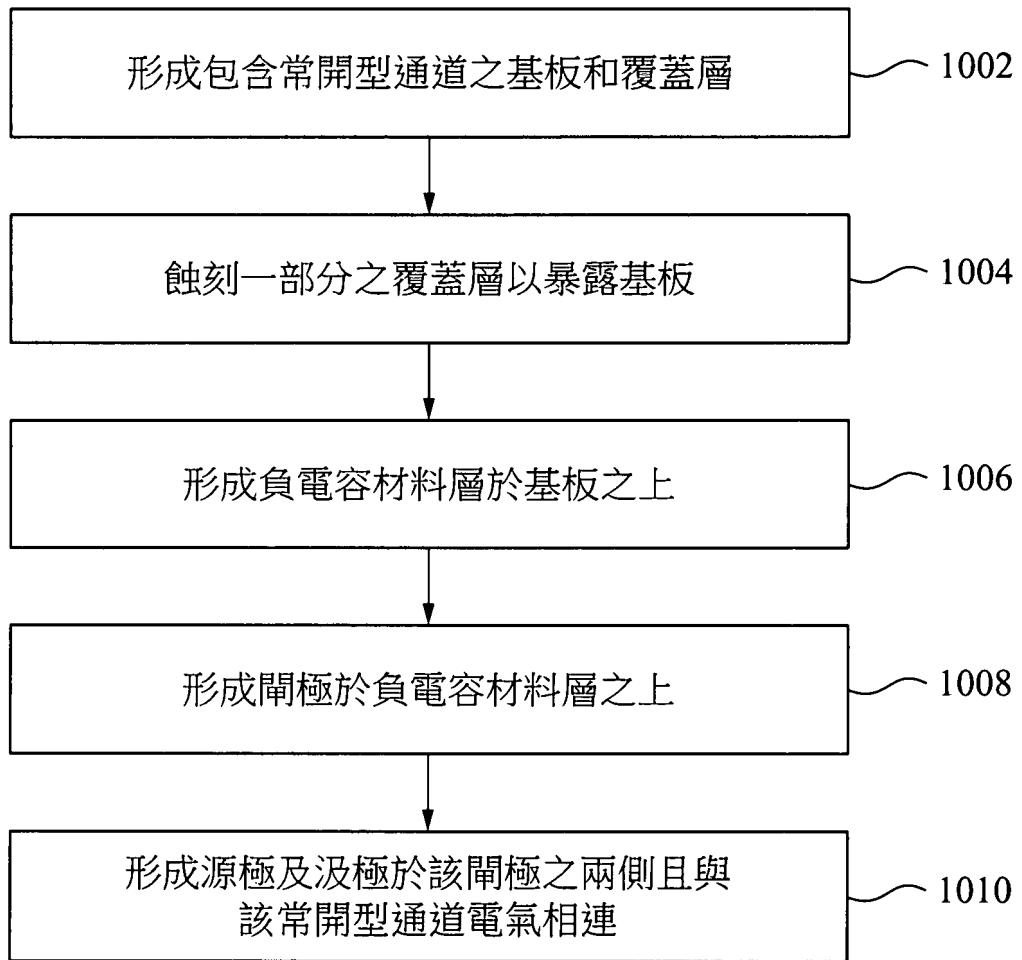


第 2A 圖

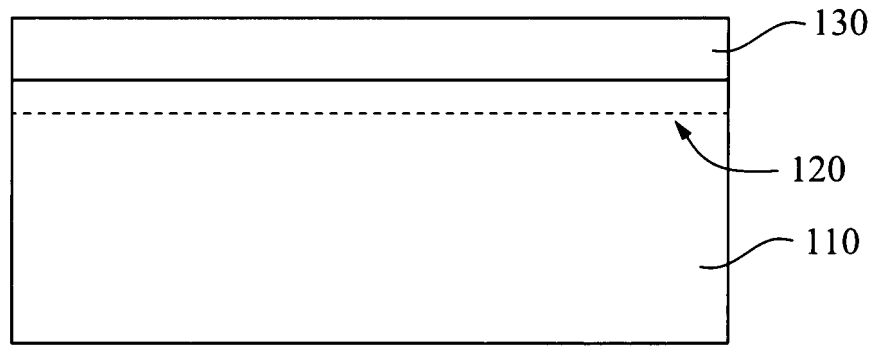


第 2B 圖

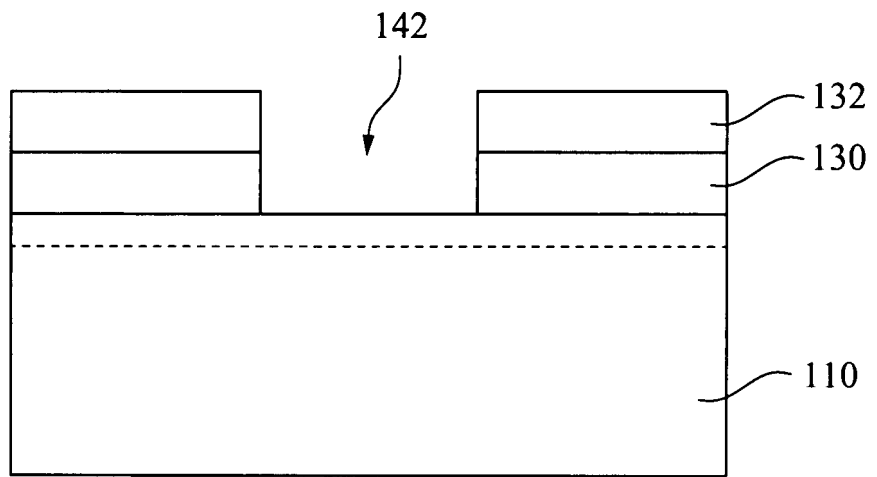
1000



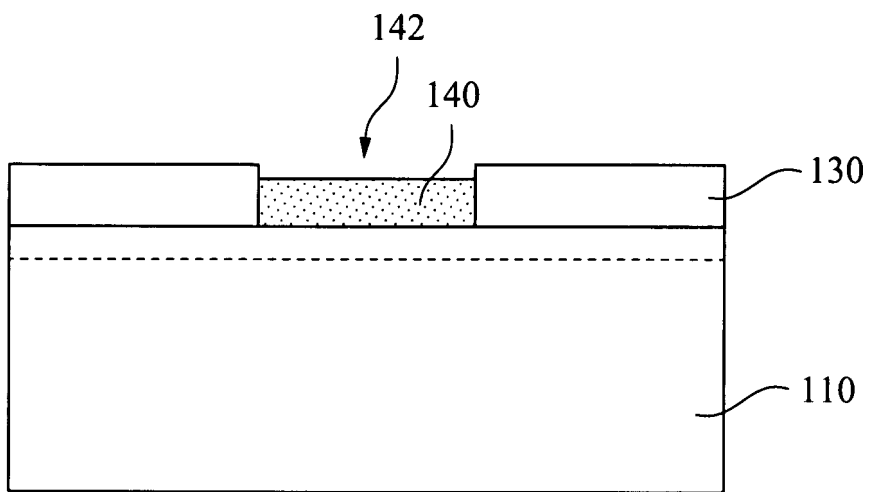
第 3 圖



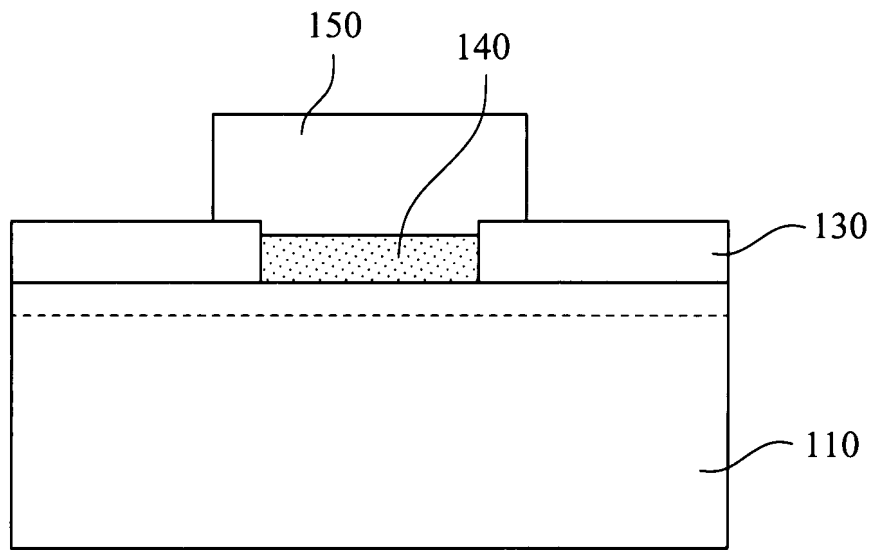
第 4A 圖



第 4B 圖

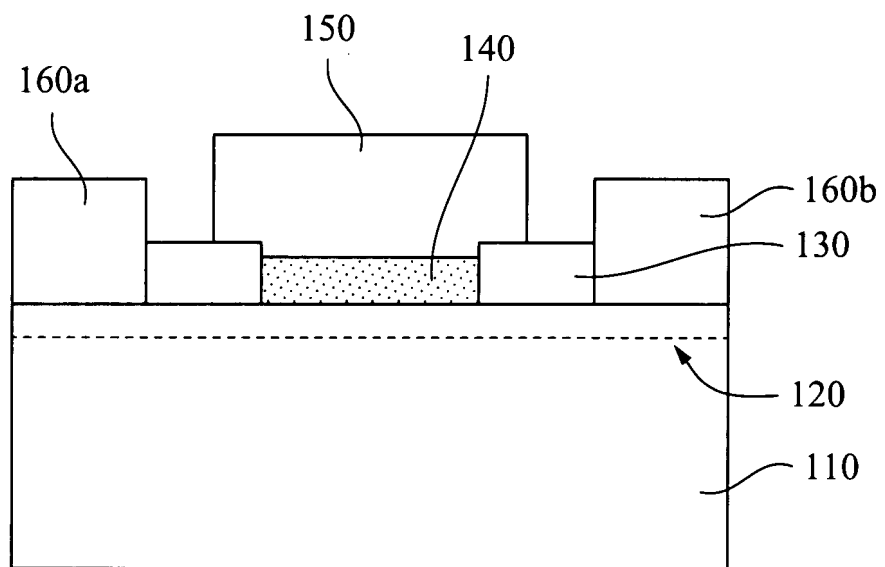


第 4C 圖



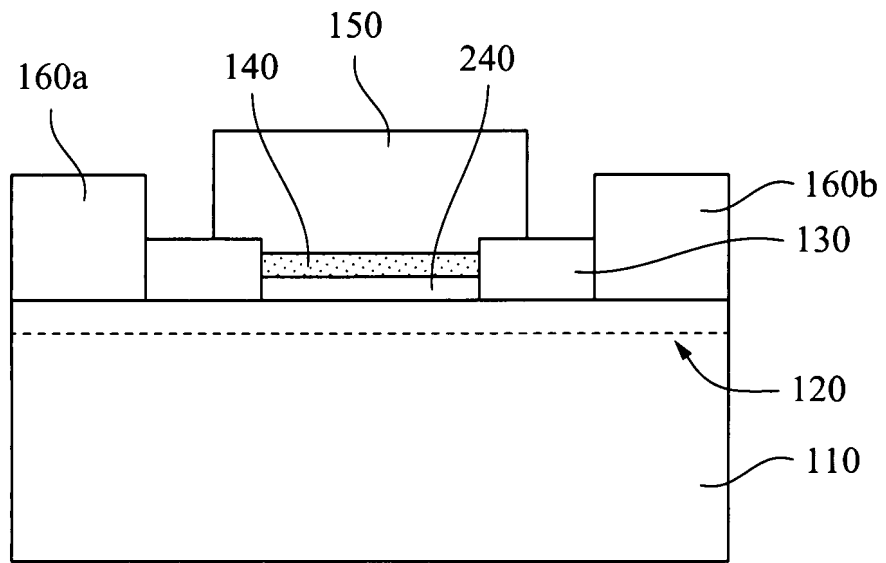
第 4D 圖

100



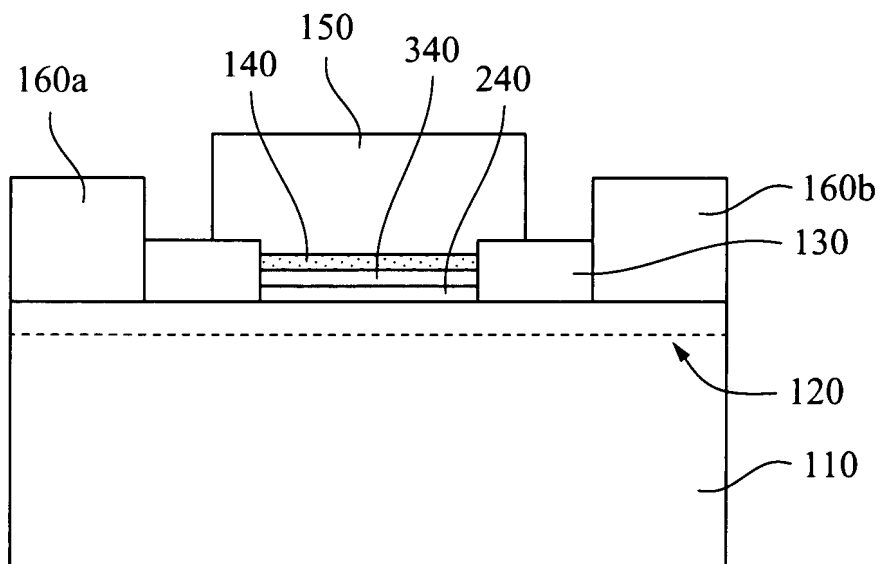
第 4E 圖

200



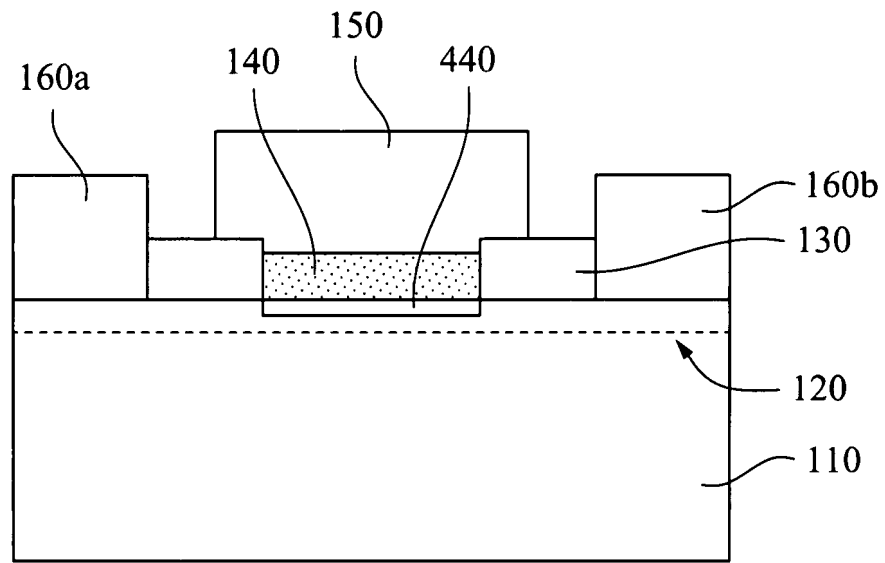
第 5 圖

300



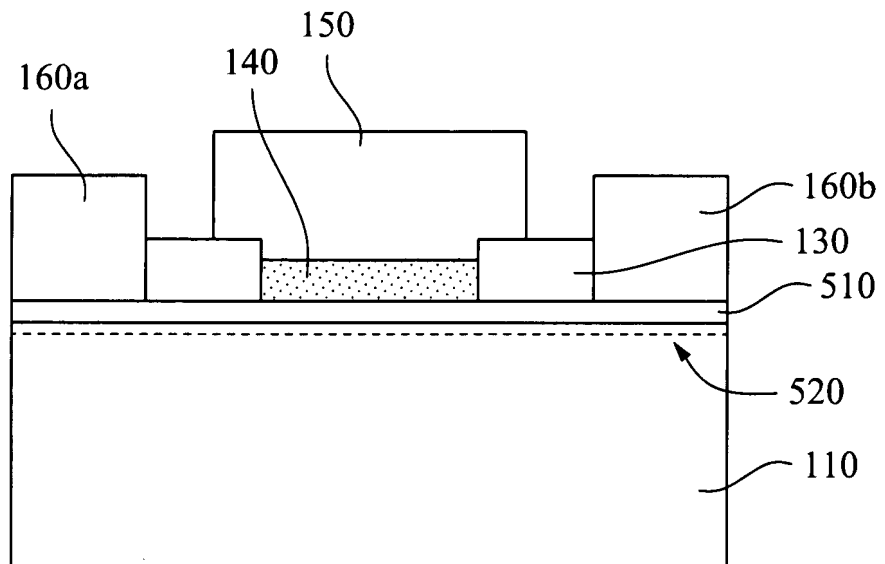
第 6 圖

400



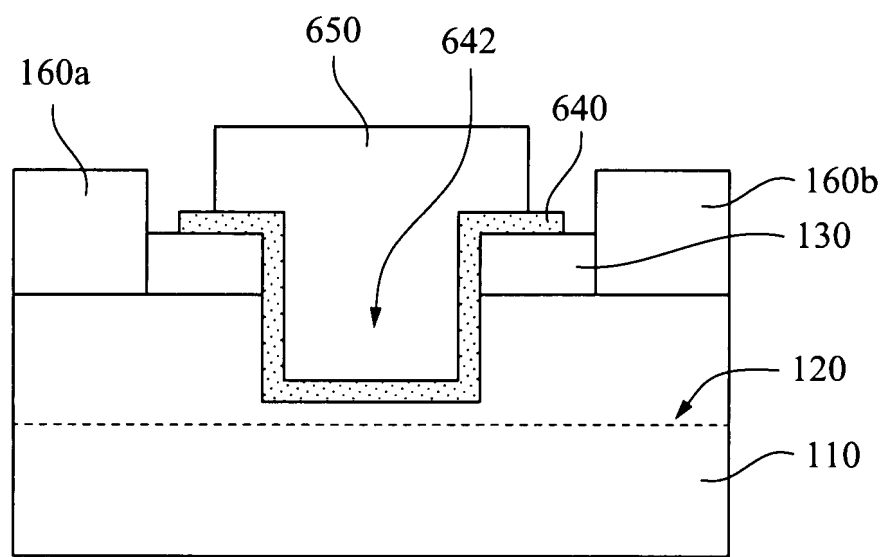
第 7 圖

500



第 8 圖

600



第 9 圖