



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201739048 A

(43) 公開日：中華民國 106 (2017) 年 11 月 01 日

(21) 申請案號：105113196

(22) 申請日：中華民國 105 (2016) 年 04 月 28 日

(51) Int. Cl. :

*H01L29/10 (2006.01)**H01L29/66 (2006.01)**H01L29/78 (2006.01)**H01L27/105 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張俊彥 CHANG, CHUN-YEN (TW)

(74) 代理人：葉璟宗；卓俊傑

申請實體審查：有 申請專利範圍項數：17 項 圖式數：8 共 32 頁

(54) 名稱

場效電晶體結構

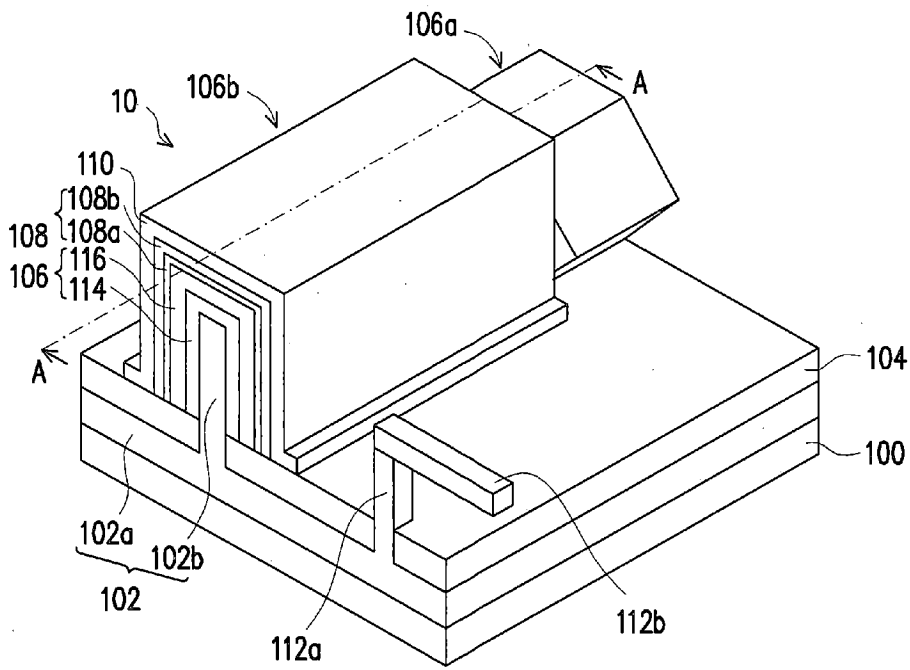
FIELD EFFECT TRANSISTOR STRUCTURE

(57) 摘要

一種場效電晶體結構，包括：基底、內部閘極、絕緣層、半導體帶、閘介電絕緣結構以及閘導體結構。內部閘極包括位於基底上的層狀部以及自層狀部延伸的牆部。絕緣層位於內部閘極的層狀部上。半導體帶位於牆部與部分絕緣層上，其中半導體帶包括源極/汲極區以及與源極/汲極區相鄰的通道區。閘介電絕緣結構位於通道區上。閘導體結構位於閘介電絕緣結構上。

A field effect transistor structure includes a substrate, an internal gate, an insulation layer, a strip of semiconductor, a gate dielectric insulator, and a gate conductor. The internal gate includes a floor portion disposed over the substrate and a wall portion extending from the floor portion. The insulation layer is disposed over the floor portion of the internal gate. The strip of semiconductor is disposed over the wall portion and a portion of the insulation layer, wherein the strip of semiconductor includes source/drain regions and a channel region adjacent to the source/drain regions. The gate dielectric insulator is disposed over the channel region. The gate conductor is disposed over the gate dielectric insulator.

指定代表圖：



【圖1】

符號簡單說明：

- 10 . . . 場效電晶體結構
- 100 . . . 基底
- 102 . . . 內部閘極
- 102a . . . 層狀部
- 102b . . . 牆部
- 104 . . . 絕緣層
- 106 . . . 半導體帶
- 106a . . . 源極/汲極區
- 106b . . . 通道區
- 108 . . . 閘介電絕緣結構
- 108a . . . 介電層
- 108b . . . 極性鐵電層
- 110 . . . 閘導體結構
- 112a . . . 接觸柱
- 112b . . . 電接點
- 114 . . . 第一半導體層
- 116 . . . 第二半導體層



201739048

【發明摘要】

申請日: 105.9.28

IPC分類:	H01L 29/10	(2006.1)
	H01L 29/66	(2006.1)
	H01L 29/78	(2006.1)
	H01L 27/105	(2006.1)

【中文發明名稱】場效電晶體結構

【英文發明名稱】FIELD EFFECT TRANSISTOR STRUCTURE

【中文】一種場效電晶體結構，包括：基底、內部閘極、絕緣層、半導體帶、閘介電絕緣結構以及閘導體結構。內部閘極包括位於基底上的層狀部以及自層狀部延伸的牆部。絕緣層位於內部閘極的層狀部上。半導體帶位於牆部與部分絕緣層上，其中半導體帶包括源極/汲極區以及與源極/汲極區相鄰的通道區。閘介電絕緣結構位於通道區上。閘導體結構位於閘介電絕緣結構上。

【英文】A field effect transistor structure includes a substrate, an internal gate, an insulation layer, a strip of semiconductor, a gate dielectric insulator, and a gate conductor. The internal gate includes a floor portion disposed over the substrate and a wall portion extending from the floor portion. The insulation layer is disposed over the floor portion of the internal gate. The strip of semiconductor is disposed over the wall portion and a portion of the insulation layer, wherein the strip of semiconductor includes source/drain regions and a channel region adjacent to the source/drain regions. The gate dielectric insulator is disposed over

the channel region. The gate conductor is disposed over the gate dielectric insulator.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

10：場效電晶體結構

100：基底

102：內部閘極

102a：層狀部

102b：牆部

104：絕緣層

106：半導體帶

106a：源極/汲極區

106b：通道區

108：閘介電絕緣結構

108a：介電層

108b：極性鐵電層

110：閘導體結構

112a：接觸柱

112b：電接點

114：第一半導體層

116：第二半導體層

【發明說明書】

【中文發明名稱】場效電晶體結構

【英文發明名稱】FIELD EFFECT TRANSISTOR STRUCTURE

【技術領域】

【0001】本發明是有關於一種半導體元件，且特別是有關於一種場效電晶體結構。

【先前技術】

【0002】近年來，由於電晶體尺寸的微小化而產生許多新穎的製程技術，其中，無接面(junctionless, JL)場效電晶體(field effect transistor, FET)由於能有效減少短通道效應(short channel effect, SCE)以及寄生串聯電阻(parasitic series resistance)的影響，而被視為未來的主要發展方向之一。

【0003】然而，無接面場效電晶體的製程困難度高，且具有可能使源極與汲極的串聯電阻過高而造成汲極電流下降等問題，因此，如何在簡化製程的同時還能達到更佳的電性表現是當前所面臨的課題。

【發明內容】

【0004】本發明提供一種場效電晶體結構，能減少臨界電壓滾降，且具有小的汲極引致能障降低(drain-induced barrier

lowering, DIBL)、接近理想值的次臨界擺幅(subthreshold slope, SS)、高的開關電流比(on/off current ratio)、好的臨界電壓調變(threshold voltage modulation)能力、較低的低頻雜訊(low-frequency noise, LFN)、好的可靠度、低的漏電流、較小的串聯電阻以及較少的電流擁擠效應(Current Crowding Effect)。

【0005】 本發明的場效電晶體結構，包括：基底、內部閘極、絕緣層、半導體帶、閘介電絕緣結構以及閘導體結構。內部閘極包括位於基底上的層狀部以及自層狀部延伸的牆部。絕緣層位於內部閘極的層狀部上。半導體帶位於牆部與部分絕緣層上，其中半導體帶包括源極/汲極區以及與源極/汲極區相鄰的通道區。閘介電絕緣結構位於通道區上。閘導體結構位於閘介電絕緣結構上。

【0006】 在本發明的一實施例中，上述的牆部包括半導體、導體或絕緣體。

【0007】 在本發明的一實施例中，上述的半導體帶包括第一半導體層以及位於第一半導體層上的第二半導體層，且第一半導體層與第二半導體層具有不同的導電態。

【0008】 在本發明的一實施例中，上述的通道區中的第一半導體層為U型結構，且牆部自層狀部延伸到U型結構內。

【0009】 在本發明的一實施例中，上述的半導體帶還包括與第二半導體層不同的第三半導體層，且第三半導體層位於第二半導體層上。

【0010】 在本發明的一實施例中，上述的基底包括半導體或導體。

【0011】 在本發明的一實施例中，上述的基底包括金屬。

【0012】 在本發明的一實施例中，上述的內部閘極包括導電多晶半導體、非晶半導體或單晶材料。

【0013】 在本發明的一實施例中，上述的內部閘極包括導電材料。

【0014】 在本發明的一實施例中，上述的閘介電絕緣結構包括位於通道區上的介電層以及位於介電層上的極性鐵電層，且極性鐵電層實現負電容效應。

【0015】 在本發明的一實施例中，上述的閘介電絕緣結構包括位置可替換的極性鐵電層以及電荷陷入層，且場效電晶體結構作為非揮發性記憶體。

【0016】 在本發明的一實施例中，上述的閘介電絕緣結構包括電荷陷入層以及連續形成於電荷陷入層上的極性鐵電層，且場效電晶體結構作為非揮發性記憶體。

【0017】 在本發明的一實施例中，上述的電荷陷入層是由一層的金屬、半導體或介電質所組成。

【0018】 在本發明的一實施例中，上述的場效電晶體結構作為奈米點(nano-dots)記憶體。

【0019】 在本發明的一實施例中，上述的電荷陷入層包括 $Zr_xHf_ySr_zSiO_3$ 、金屬、半導體、奈米點金屬或絕緣體，且極性鐵電層包括 $Li_xHf_yZr_zO_3$ 、 $Pb_xBa_ySr_zTiO_3$ 、 $Li_xK_yTa_zNbO_3$ 、 $La_xSr_yBa_zMnO_3$ 、 $Zr_xHf_ySr_zSiO_3$ 、 $Ba_xLa_ySr_zFe_rO_3$ 、 $Ba_xLa_ySr_zNiO_3$ 或 $Ba_xLa_ySr_zCoO_3$ ，其中 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 以及 $0 \leq r$

≤ 1。

【0020】 在本發明的一實施例中，上述的基底例如是 p 型基底、內部閘極例如是 n 型導體、半導體帶包括位於內部閘極上方之 p 型半導體層以及位於 p 型半導體層上的 n 型半導體層，p 型基底與 p 型半導體層包括選自由聚(3-烷基噻吩)(poly(3-alkylthiophene))、聚(9,9-二辛基芴基-co-雙噻吩)(poly(9,9-dioctylfluorene co-bithiophene))、並四苯(tetracene)、並五苯(pentacene)、並六苯(hexacene)及蒽(anthracene)所組成之群組的材料，而 n 型半導體層包括選自由萘碳二亞胺(naphthalene carbodiimide)、芘四羧酸二醯亞胺(perylene tetracarboxylic diimide)及氟碳取代噻吩(fluorocarbon-substituted thiophene)所組成之群組的材料。

【0021】 在本發明的一實施例中，上述的基底例如是 n 型基底、內部閘極例如是 p 型導體、半導體帶包括位於內部閘極上方之 n 型半導體層以及位於 n 型半導體層上的 p 型半導體層，p 型半導體層包括選自由聚(3-烷基噻吩)、聚(9,9-二辛基芴基-co-雙噻吩)、並四苯、並五苯、並六苯及蒽所組成之群組的材料，而 n 型基底與 n 型半導體層包括選自由萘碳二亞胺、芘四羧酸二醯亞胺及氟碳取代噻吩所組成之群組的材料。

【0022】 基於上述，本發明藉由在無接面電晶體中使用混合式 P/N 通道，不僅能夠簡化製程，減少臨界電壓滾降，且具有小的汲極引致能障降低、接近理想值的次臨界擺幅、高的開關電流比、好的臨界電壓調變能力、較低的低頻雜訊、好的可靠度、低的漏電

流、較小的串聯電阻以及較少的電流擁擠效應。加上立體式雙閘極結構的設計，在電性表現上對於臨界電壓能有更好的控制，解決短通道效應且可增強電流驅動能力，閘極長度的微縮更能突破物理與製程極限。

【0023】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0024】

圖 1 是依照本發明的第一實施例的一種場效電晶體結構的立體示意圖。

圖 2 是沿圖 1 之 A-A 線段剖面的立體示意圖。

圖 3A 至圖 3E 是依照本發明的第二實施例的一種場效電晶體結構的製造流程示意圖。

圖 4 是依照本發明的第三實施例的一種場效電晶體結構的立體示意圖。

圖 5 是依照本發明的第四實施例的一種場效電晶體結構的立體示意圖。

圖 6 是依照本發明的第五實施例的一種場效電晶體結構的立體示意圖。

圖 7 是沿圖 6 之 B-B 線段剖面的立體示意圖。

圖 8A 至圖 8E 是依照本發明的第六實施例的一種場效電晶體

結構的製造流程示意圖。

【實施方式】

【0025】 文中參照隨附圖式來描述本發明，圖式中顯示的是實施例，但是本發明還可以有多種形式來實踐，且不應將其解釋為限於本文所述的實施例。在圖式中，為明確起見可能將各層以及區域的尺寸以及相對尺寸作誇張的描繪。

【0026】 在下文中，當稱一元件或層是「位於另一元件或層上」時，其可直接位於另一元件或層上或可存在中間元件或層。此外，當稱一元件「與另一元件或層接觸」時，兩者間不存在中間元件或層。文中所用的諸如「在…下」、「在…上」及其類似用語的空間相對用語，來描述圖中所說明的元件或層與另一元件或層的關係。這樣的空間相對用語應包括使用中或操作中的元件，且包括除圖中所描繪的方位以外的不同方位。舉例來說，若將圖式中的元件翻轉，則被描述為位於其他元件或層「上」的元件，接著將定向成位在其他元件或層「下」。

【0027】 圖 1 是依照本發明的第一實施例的一種場效電晶體結構的立體示意圖；圖 2 是沿圖 1 之 A-A 線段剖面的立體示意圖。

【0028】 請同時參照圖 1 與圖 2，第一實施例的場效電晶體結構 10 包括基底 100、內部閘極 102、絕緣層 104、半導體帶 106、閘介電絕緣結構 108 以及閘導體結構 110。內部閘極 102 包括位於基底 100 上的層狀部 102a 以及自層狀部 102a 延伸的牆部 102b。絕

緣層 104 位於內部閘極 102 的層狀部 102a 上。半導體帶 106 位於牆部 102b 與部分絕緣層 104 上，其中半導體帶 106 包括源極/汲極區 106a 以及與源極/汲極區 106a 相鄰的通道區 106b。閘介電絕緣結構 108 位於通道區 106b 上。閘導體結構 110 位於閘介電絕緣結構 108 上。

【0029】 第一實施例中的基底 100 可為半導體或導體，例如金屬。而內部閘極 102 例如是導電多晶半導體、非晶半導體或單晶材料。內部閘極 102 也可為其他導電材料。

【0030】 第一實施例中的絕緣層 104 覆蓋於內部閘極 102 的層狀部 102a 上，半導體帶 106 則覆蓋於內部閘極 102 的牆部 102b 的頂表面與兩側壁，類似 U 型的結構。在一實施例中，場效電晶體結構 10 還可包括與內部閘極 102 的層狀部 102a 相連的接觸柱 112a，這個接觸柱 112a 可以是與內部閘極 102 屬於同一結構體；或者以外部導體的方式實施，所述外部導體例如是導電材料，如金屬或多晶矽。在一實施例中，場效電晶體結構 10 更包括與上述接觸柱 112a 連接的電接點 112b，以通過接觸柱 112a 向內部閘極 102 的牆部 102b 提供偏壓。供應至內部閘極 102 的偏壓藉由載子侷限 (carrier confinement)，可有效的調控場效電晶體結構 10 的特性。上述電接點 112b 例如是金屬或導電多晶矽。

【0031】 第一實施例中的半導體帶 106 包括第一半導體層 114 以及位於第一半導體層 114 上的第二半導體層 116，且第一半導體層 114 與第二半導體層 116 具有不同的導電態。在一實施例中，第一

半導體層 114 是 p 型半導體層，第二半導體層 116 是 n 型半導體層。在另一實施例中，第一半導體層 114 是 n 型半導體層，第二半導體層 116 是 p 型半導體層。在一些實施例中，內部閘極 102 以及包括第一半導體層 114 和第二半導體層 116 的半導體帶 106 例如是以磊晶成長製程而形成的單晶矽，但本發明並不限於此。在第一實施例中，通道區 106b 與源極/汲極區 106a 中的第一半導體層 114 實質上為 U 型結構，且牆部 102b 自層狀部 102a 延伸到 U 型結構內；而通道區 106b 中的第二半導體層 116 實質上為 U 型結構，源極/汲極區 106a 中的第二半導體層 116 具有實質上配置成六角形的橫截面。

【0032】 在第一實施例中，基底 100 可為 p 型基底、內部閘極 102 可為 n 型導體、半導體帶 106 可包括位於內部閘極 102 上方之作為第一半導體層 114 的 p 型半導體層以及位於 p 型半導體層上作為第二半導體層 116 的 n 型半導體層，上述 p 型基底與 p 型半導體層例如是選自由聚(3-烷基噻吩)(poly(3-alkylthiophene))、聚(9,9-二辛基芴基-co-雙噻吩) (poly(9,9-dioctylfluorene co-bithiophene))、並四苯(tetracene)、並五苯(pentacene)、並六苯(hexacene)及蔥(anthracene)所組成之群組的材料，而上述 n 型半導體層例如是選自由萘碳二亞胺(naphthalene carbodiimide)、芘四羧酸二醯亞胺(perylene tetracarboxylic diimide)及氟碳取代噻吩(fluorocarbon-substituted thiophene)所組成之群組的材料。

【0033】 在第一實施例中，基底 100 也可以是 n 型基底，這樣一

來內部閘極 102 將是 p 型導體、半導體帶 106 則包括位於內部閘極 102 上方之作為第一半導體層 114 的 n 型半導體層以及位於 n 型半導體層上作為第二半導體層 116 的 p 型半導體層，上述 p 型半導體層例如是選自由聚(3-烷基噻吩)、聚(9,9-二辛基芴基-co-雙噻吩)、並四苯、並五苯、並六苯及蔥所組成之群組的材料，而上述 n 型基底與 n 型半導體層例如是選自由萘碳二亞胺、芘四羧酸二醯亞胺及氟碳取代噻吩所組成之群組的材料。

【0034】 在本實施例中，場效電晶體結構 10 以無接面場效電晶體的方式實施，其中通道區 106b 的摻雜濃度實質上與源極/汲極區 106a 的摻雜濃度相同。由於源極/汲極區 106a 和通道區 106b 之間的摻雜濃度梯度實質上為零，不會有擴散發生，因此消除了傳統 pn 接面所需要之昂貴的超快退火技術的必要，並可製造出更短通道的元件。

【0035】 在第一實施例中，場效電晶體結構 10 還可包括位於源極/汲極區 106a 上的接觸金屬（未繪示），接觸金屬例如是選自金屬氮化物、金屬矽化物、氮化鋁與氮化鈦所組成的群組。

【0036】 在本實施例中，因為場效電晶體結構 10 是以包含不同導電態的第一與第二半導體層 114 和 116 所構成之混合式 P/N 通道的方式實施，所以藉由所述混合式 P/N 通道結構，可達成對短通道效應的極佳控制。同時，藉由控制 n 型基底的摻雜濃度也可輕易地調控臨界電壓，從而完成多重臨界電壓(multi-threshold voltage)的電路設計。

【0037】 第一實施例中的閘介電絕緣結構 108 例如是以介電層的方式實施，且可包括位於通道區 106b 上的介電層 108a 以及位於介電層 108a 上的極性鐵電層 108b，其中極性鐵電層 108b 能實現負電容效應(negative capacitance effect)。因此，場效電晶體結構 10 可為負電容場效電晶體，具有較小的次臨界擺幅，其中次臨界擺幅是定義為一單位閘極電壓的變化所能獲得的電流變化的倒數。在一實施例中，介電層 108a 例如是氧化矽或矽酸鋯(zirconium silicate)。極性鐵電層 108b 例如是選自氧化鋯鈦(hafnium zirconium oxide, HfZrO_x)、鈦酸鋇、鈦酸鉛、鋰酸鉀、鉍酸鉀、鋰酸鋰及鉍酸鋰所組成的群組中的材料。至於閘導體結構 110 例如是導體金屬層或導體多晶矽層。

【0038】 在另一實施例中，場效電晶體結構 10 若作為非揮發性記憶體(non-volatile memory)，閘介電絕緣結構 108 中的 108a 可代表極性鐵電層、108b 可代表電荷陷入層，且前述兩層的位置可替換。

【0039】 在一些實施例中，上述電荷陷入層(108b)例如是由一層的金屬、半導體或介電質所組成。場效電晶體結構 10 例如是奈米點(nano-dots)記憶體。

【0040】 在另一些實施例中，上述電荷陷入層(108b)例如是 $\text{Zr}_x\text{Hf}_y\text{Sr}_z\text{SiO}_3$ 、金屬、半導體、奈米點金屬或絕緣體，且極性鐵電層(108a)例如是 $\text{Li}_x\text{Hf}_y\text{Zr}_z\text{O}_3$ 、 $\text{Pb}_x\text{Ba}_y\text{Sr}_z\text{TiO}_3$ 、 $\text{Li}_x\text{K}_y\text{Ta}_z\text{NbO}_3$ 、 $\text{La}_x\text{Sr}_y\text{Ba}_z\text{MnO}_3$ 、 $\text{Zr}_x\text{Hf}_y\text{Sr}_z\text{SiO}_3$ 、 $\text{Ba}_x\text{La}_y\text{Sr}_z\text{Fe}_r\text{O}_3$ 、 $\text{Ba}_x\text{La}_y\text{Sr}_z\text{NiO}_3$ 或 $\text{Ba}_x\text{La}_y\text{Sr}_z\text{CoO}_3$ ，其中 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 以及 $0 \leq r$

≤ 1。

【0041】圖 3A 至圖 3E 是依照本發明的第二實施例的一種場效電晶體結構的製造流程示意圖。

【0042】請先參照圖 3A，藉由磊晶成長、微影及蝕刻製程，在基底 300 上形成內部閘極 302，其中內部閘極 302 包含有層狀部 302a 與牆部 302b 以及與內部閘極 302 同一結構體的接觸柱 302c。之後，進行沉積以及乾蝕刻製程，以在內部閘極 302 的層狀部 302a 上形成絕緣層 304，並露出牆部 302b 以及接觸柱 302c。

【0043】然後，請參照圖 3B，進行磊晶成長來依序形成半導體帶 306 的第一半導體層 308 以及第二半導體層 310，其中半導體帶 306 包括源極/汲極區 306a 以及與源極/汲極區 306a 相鄰的通道區 306b。

【0044】接著，請參照圖 3C，藉由沉積、微影及蝕刻製程，在半導體帶 306 的源極/汲極區 306a 的頂表面上形成硬罩幕層 312。所述硬罩幕層 312 的材料例如是氮化矽(SiN_x)、矽氧化物(SiO_x)、或碳化矽(SiC)。此外，於半導體帶 306 的通道區 306b 之表面覆蓋光阻材料層 314。因此，除了半導體帶 306 的源極/汲極區 306a 的側壁以外，半導體帶 306 皆被覆蓋。

【0045】隨後，請參照圖 3D，從源極/汲極區 306a 的側壁形成如箭頭方向所示的晶格方向為 $\langle 110 \rangle$ 的單晶矽，其製程例如進行磊晶製程而在露出的半導體帶 306 側壁上沿著晶格方向 $\langle 110 \rangle$ 選擇性地成長單晶矽，以在源極/汲極區 306a 的側壁上形成單晶矽的凸部

316。因此，半導體帶 306 的源極/汲極區 306a 寬度變寬，而使串聯電阻下降。在一實施例中，第二半導體層 310 在通道區 306b 中實質上為 U 型結構，且在源極/汲極區 306a 中具有實質上配置成六角形的橫截面。

【0046】 之後，請參照圖 3E，分別移除硬罩幕層 312 與光阻材料層 314，再於半導體帶 306 的通道區 306b 上形成閘介電絕緣結構 318。進而，藉由沉積、微影及蝕刻製程而在閘介電絕緣結構 318 上形成閘導體結構 320 以及連接於接觸柱 302c 的電接點 322。

【0047】 圖 4 是依照本發明的第三實施例的一種場效電晶體結構的立體示意圖，其中使用與第一實施例相同的元件符號代表相同或類似的構件。

【0048】 請參照圖 4，場效電晶體結構 40 與第一實施例的場效電晶體結構 10 的差異在於其中的半導體帶 402 包括第一半導體層 404、第二半導體層 406 以及第三半導體層 408。在一實施例中，第一半導體層 404 具有第一導電型，第二半導體層 406 具有第二導電型，第三半導體層 408 與第二半導體層 406 不同具有第一導電型，且第三半導體層 408 位於第二半導體層 406 上。舉例而言，第一半導體層 404 是 p 型半導體層，第二半導體層 406 是 n 型半導體層，第三半導體層 408 是 p 型半導體層。相反地，第一半導體層 404 也可為 n 型半導體層，第二半導體層 406 可為 p 型半導體層，第三半導體層 408 可為 n 型半導體層。

【0049】 圖 5 是依照本發明的第四實施例的一種場效電晶體結構

的立體示意圖，其中使用與第一實施例相同的元件符號代表相同或類似的構件。

【0050】請參照圖 5，場效電晶體結構 50 與第一實施例的場效電晶體結構 10 的差異在於半導體帶 502 是由側壁具有如箭頭方向所示的晶格方向為 $\langle 100 \rangle$ 的單晶矽形成，其製程例如是在由第一半導體層 506 與第二半導體層 508 構成的半導體帶 502 形成後，先在通道區 502b 上覆蓋光阻材料層 510，再進行磊晶製程而在半導體帶 502 中的源極/汲極區 502a 的頂表面與兩側壁上成長單晶矽 504。因此，源極/汲極區 502a 的高度增高且寬度變寬，使串聯電阻下降。在圖 5 中，半導體帶 502 中的通道區 502b 的橫截面實質上為矩形，且源極/汲極區 502a 的橫截面實質上為開放式矩形 (open-ended rectangular shape)。然後，可參照圖 3E 的步驟形成閘介電絕緣結構 (未繪示) 和閘導體結構 (未繪示)，故不再贅述。

【0051】圖 6 是依照本發明的第五實施例的一種場效電晶體結構的立體示意圖；圖 7 是沿圖 6 之 B-B 線段剖面的立體示意圖，其中使用與第一實施例相同的元件符號代表相同或類似的構件。

【0052】請同時參照圖 6 與圖 7，場效電晶體結構 60 與第一實施例的場效電晶體結構 10 的差異在於，場效電晶體結構 10 的內部閘極 102 與半導體帶 106 較佳是由磊晶成長的單晶矽所形成，而第五實施例的場效電晶體結構 60 的內部閘極 102 與半導體帶 106 則是由導電多晶矽所形成，且內部閘極 102 從通道區 106b 僅延伸到部分源極/汲極區 106a。另外，絕緣層 104 除了覆蓋於內部閘極

102 的層狀部 102a 上，還延伸覆蓋到預定成為通道區 106b 的牆部 102b 的頂表面與兩側壁。而且，在源極/汲極區 106a 的部份形成有導電塊 700。

【0053】 圖 8A 至圖 8E 是依照本發明的第六實施例的一種場效電晶體結構的製造流程示意圖。

【0054】 請先參照圖 8A，藉由沉積、微影及蝕刻製程，在基底 800 上形成內部閘極 802，其中內部閘極 802 包括層狀部 802a 與牆部 802b 以及與內部閘極 802 同一結構體的接觸柱 802c。之後，進行沉積以及乾蝕刻製程，以在內部閘極 802 的層狀部 802a 以及牆部 802b 上形成絕緣層 804，並露出接觸柱 802c。

【0055】 在本實施例中，內部閘極 802 的牆部 802b 實質上形成於預定成為通道區 806b 的位置，而沒有延伸到預定成為源極/汲極區 806a 的位置，因此，預期背向閘極偏壓對於通道區 806b 的效果有限，且實質上對於源極/汲極區 806a 沒有效果。上述內部閘極 802 例如是由導電多晶矽形成，導電多晶矽例如是以低壓化學氣相沉積(low pressure chemical vapor deposition, LPCVD)來沉積未摻雜的非晶矽層，再將非晶矽層固相結晶化(solid phase crystallization, SPC)而形成 SPC 層；若使用磷離子對 SPC 層進行離子佈植(ion implantation)就會形成 n 型半導體層，若使用二氟化硼離子對 SPC 層進行離子佈植就會形成 p 型半導體層。

【0056】 然後，藉由沉積以及乾蝕刻製程形成絕緣層 804，絕緣層 804 覆蓋在預定成為通道區 806b 的牆部 802b 的頂表面與兩側壁，

以電性絕緣內部閘極 802 的牆部 802b 與之後形成的通道區 806b 中的半導體帶 806。

【0057】 接著，請參照圖 8B，藉由沉積、微影及蝕刻製程，在源極/汲極區 806a 中形成導電塊 808。所述導電塊 808 例如是導電多晶矽。導電塊 808 的製造方法與圖 8A 的內部閘極 802 相似。

【0058】 之後，請參照圖 8C，藉由沉積、微影及蝕刻製程，在絕緣層 804 與導電塊 808 上形成第一半導體層 810。第一半導體層 810 例如是導電多晶矽。第一半導體層 810 的製造方法與圖 8A 的內部閘極 802 相似。

【0059】 然後，請參照圖 8D，藉由沉積、微影及蝕刻製程，在第一半導體層 810 上形成第二半導體層 812，以得到由第一半導體層 810 和第二半導體層 812 構成之半導體帶 806。第二半導體層 812 例如是導電多晶矽。第二半導體層 812 的製造方法與圖 8A 的內部閘極 802 相似。

【0060】 接著，請參照圖 8E，於內部閘極 802 的牆部 802b 上形成覆蓋半導體帶 806 的閘介電絕緣結構 814，再藉由沉積、微影及蝕刻製程，在閘介電絕緣結構 814 上形成閘導體結構 816 以及與接觸柱 802c 連接的電接點 818。

【0061】 綜上所述，本發明藉由在無接面電晶體中使用混合式 P/N 通道，不僅能夠簡化製程，減少臨界電壓滾降，且具有小的汲極引致能障降低、接近理想值的次臨界擺幅、高的開關電流比、好的臨界電壓調變能力、較低的低頻雜訊、好的可靠度、低的漏電

流、較小的串聯電阻以及較少的電流擁擠效應。加上立體式雙閘極結構的設計，在電性表現上對於臨界電壓能有更好的控制，解決短通道效應且可增強電流驅動能力，閘極長度的微縮更能突破物理與製程極限。因此，本發明的場效電晶體結構在未來尺度微縮下具有高度展望，可應用於低待機功耗元件(low-standby-power devices)、IoT 領域相關元件和三維積體電路(three-dimensional integrated circuits, 3D IC)上。

【0062】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0063】

10、40、50、60：場效電晶體結構

100、300、800：基底

102、302、802：內部閘極

102a、302a、802a：層狀部

102b、302b、802b：牆部

104、304、804：絕緣層

106、306、402、502、806：半導體帶

106a、306a、502a、806a：源極/汲極區

- 106b、306b、502b、806b：通道區
- 108、318、814：閘介電絕緣結構
- 108a：介電層或電荷陷入層
- 108b：極性鐵電層
- 110、320、816：閘導體結構
- 112a、302c、802c：接觸柱
- 112b、322、818：電接點
- 114、308、404、506、810：第一半導體層
- 116、310、406、508、812：第二半導體層
- 312：硬罩幕層
- 314、510：光阻材料層
- 316：凸部
- 408：第三半導體層
- 504：單晶矽
- 700、808：導電塊

【發明申請專利範圍】

【第1項】一種場效電晶體結構，包括：

基底；

內部閘極，包括位於該基底上的層狀部以及自該層狀部延伸的牆部；

絕緣層，位於該內部閘極的該層狀部上；

半導體帶，位於該牆部與部分該絕緣層上，其中該半導體帶包括源極/汲極區以及與該源極/汲極區相鄰的通道區；

閘介電絕緣結構，位於該通道區上；以及

閘導體結構，位於該閘介電絕緣結構上。

【第2項】如申請專利範圍第1項所述的場效電晶體結構，其中該牆部包括半導體、導體或絕緣體。

【第3項】如申請專利範圍第1項所述的場效電晶體結構，其中該半導體帶包括第一半導體層以及位於該第一半導體層上的第二半導體層，且該第一半導體層與該第二半導體層具有不同的導電態。

【第4項】如申請專利範圍第3項所述的場效電晶體結構，其中在該通道區中的該第一半導體層為 Γ 型結構，且該牆部自該層狀部延伸到該 Γ 型結構內。

【第5項】如申請專利範圍第3項所述的場效電晶體結構，其中該半導體帶更包括與該第二半導體層不同的第三半導體層，且該第三半導體層位於該第二半導體層上。

【第6項】如申請專利範圍第1項所述的場效電晶體結構，其中該基底包括半導體或導體。

【第7項】如申請專利範圍第1項所述的場效電晶體結構，其中該基底包括金屬。

【第8項】如申請專利範圍第1項所述的場效電晶體結構，其中該內部閘極包括導電多晶半導體、非晶半導體或單晶材料。

【第9項】如申請專利範圍第1項所述的場效電晶體結構，其中該內部閘極包括導電材料。

【第10項】如申請專利範圍第1項所述的場效電晶體結構，其中該閘介電絕緣結構包括位於該通道區上的介電層以及位於該介電層上的極性鐵電層，且該極性鐵電層實現負電容效應。

【第11項】如申請專利範圍第1項所述的場效電晶體結構，其中該閘介電絕緣結構包括位置可替換的極性鐵電層以及電荷陷入層，且該場效電晶體結構作為非揮發性記憶體。

【第12項】如申請專利範圍第1項所述的場效電晶體結構，其中該閘介電絕緣結構包括該電荷陷入層以及連續形成於該電荷陷入層上的該極性鐵電層，且該場效電晶體結構作為非揮發性記憶體。

【第13項】如申請專利範圍第12項所述的場效電晶體結構，其中該電荷陷入層是由一層的金屬、半導體或介電質所組成。

【第14項】如申請專利範圍第13項所述的場效電晶體結構，其中該場效電晶體結構是奈米點(nano-dots)記憶體。

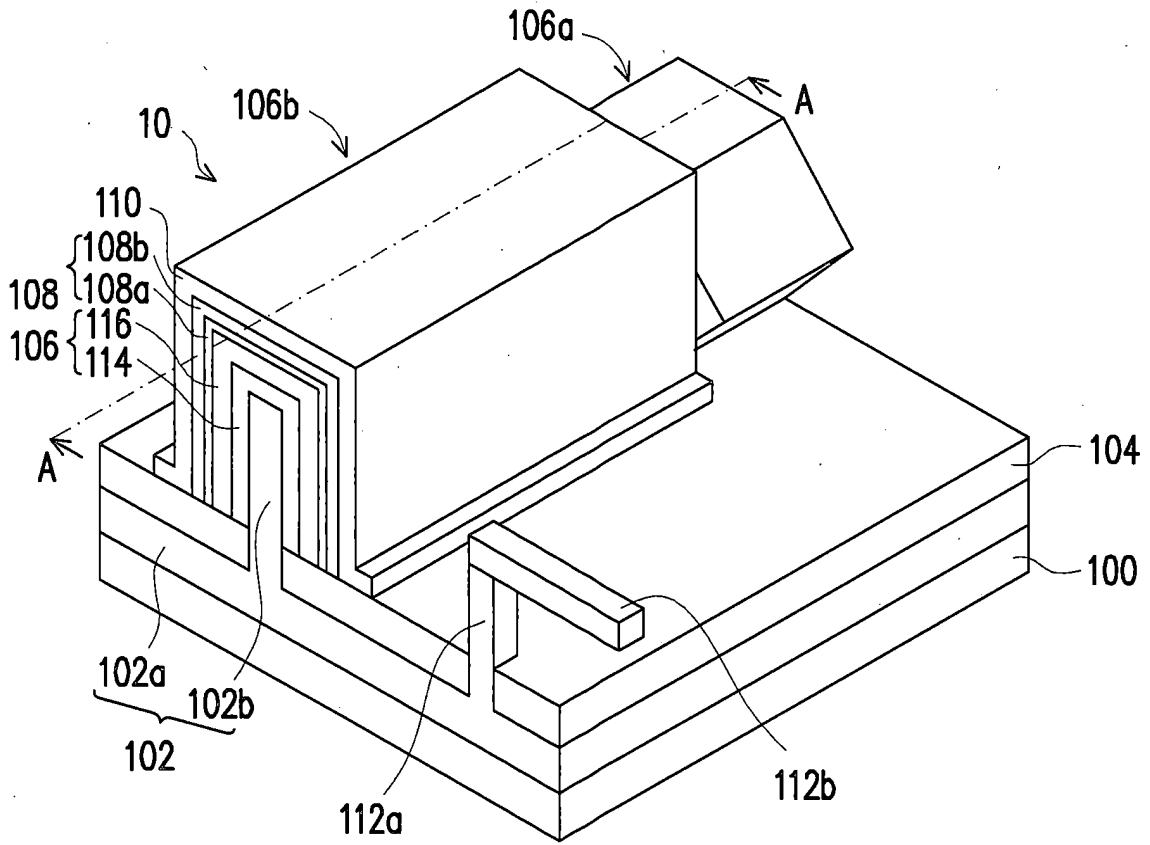
【第15項】如申請專利範圍第11項所述的場效電晶體結構，其中該電荷陷入層包括 $Zr_xHf_ySr_zSiO_3$ 、金屬、半導體、奈米點金屬或絕緣體，且該極性鐵電層包括 $Li_xHf_yZr_zO_3$ 、 $Pb_xBa_ySr_zTiO_3$ 、 $Li_xK_yTa_zNbO_3$ 、 $La_xSr_yBa_zMnO_3$ 、 $Zr_xHf_ySr_zSiO_3$ 、 $Ba_xLa_ySr_zFe_rO_3$ 、 $Ba_xLa_ySr_zNiO_3$ 或 $Ba_xLa_ySr_zCoO_3$ ，其中 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 以及 $0 \leq r \leq 1$ 。

【第16項】如申請專利範圍第1項所述的場效電晶體結構，其中該基底是p型基底、該內部閘極是n型導體、該半導體帶包括位於該內部閘極上方之p型半導體層以及位於該p型半導體層上的n型半導體層，該p型基底與該p型半導體層包括選自由聚(3-烷基噻吩)(poly(3-alkylthiophene))、聚(9,9-二辛基芴基-co-雙噻吩)(poly(9,9-dioctylfluorene co-bithiophene))、並四苯(tetracene)、並五苯(pentacene)、並六苯(hexacene)及蔥(anthracene)所組成之群組的材料，而該n型半導體層包括選自由萘碳二亞胺(naphthalene carbodiimide)、芘四羧酸二醯亞胺(perylene tetracarboxylic diimide)及氟碳取代噻吩(fluorocarbon-substituted thiophene)所組成之群組的材料。

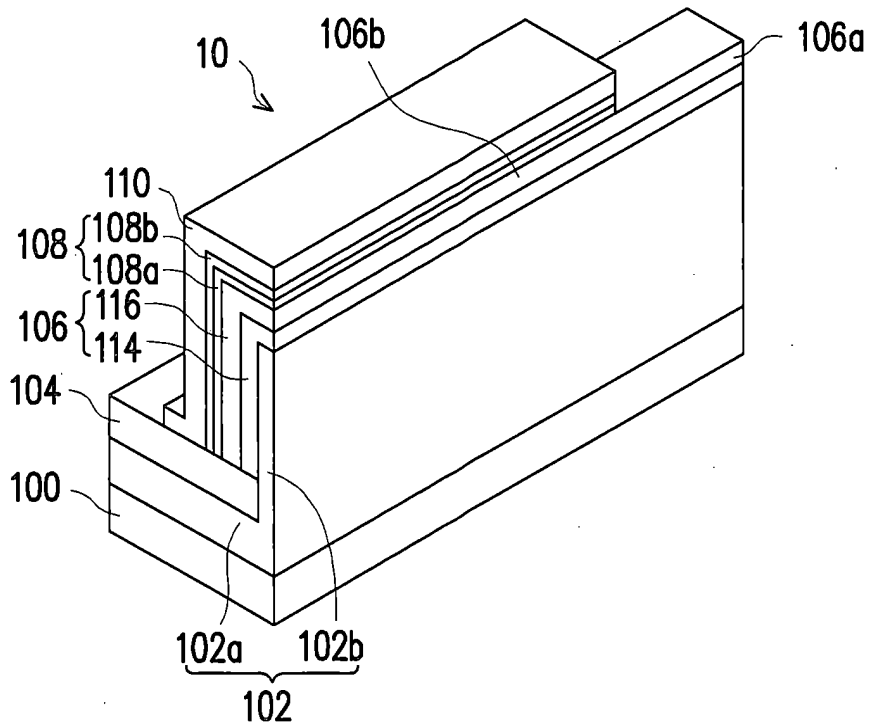
【第17項】如申請專利範圍第1項所述的場效電晶體結構，其中該基底是n型基底、該內部閘極是p型導體、該半導體帶包括位於該內部閘極上方之n型半導體層以及位於該n型半導體層上的p型半導體層，該p型半導體層包括選自由聚(3-烷基噻吩)、聚(9,9-二辛基芴基-co-雙噻吩)、並四苯、並五苯、並六苯及蔥所組成之群組

的材料，而該n型基底與該n型半導體層包括選自由萘碳二亞胺、
芘四羧酸二醯亞胺及氟碳取代噻吩所組成之群組的材料。

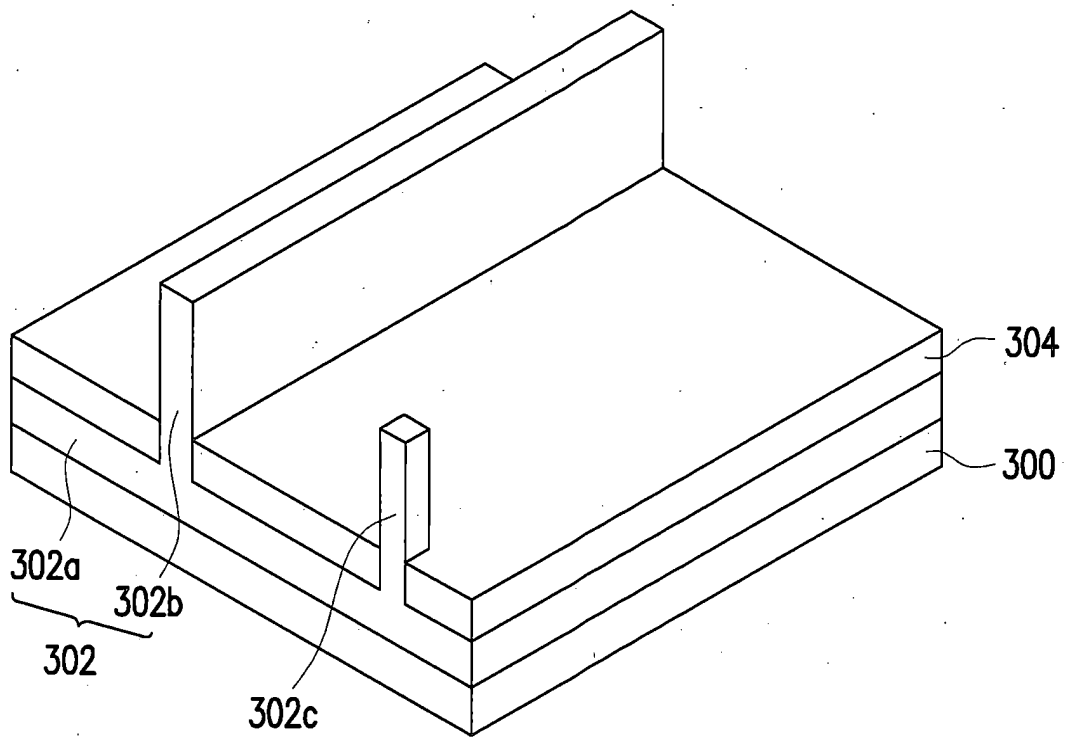
【發明圖式】



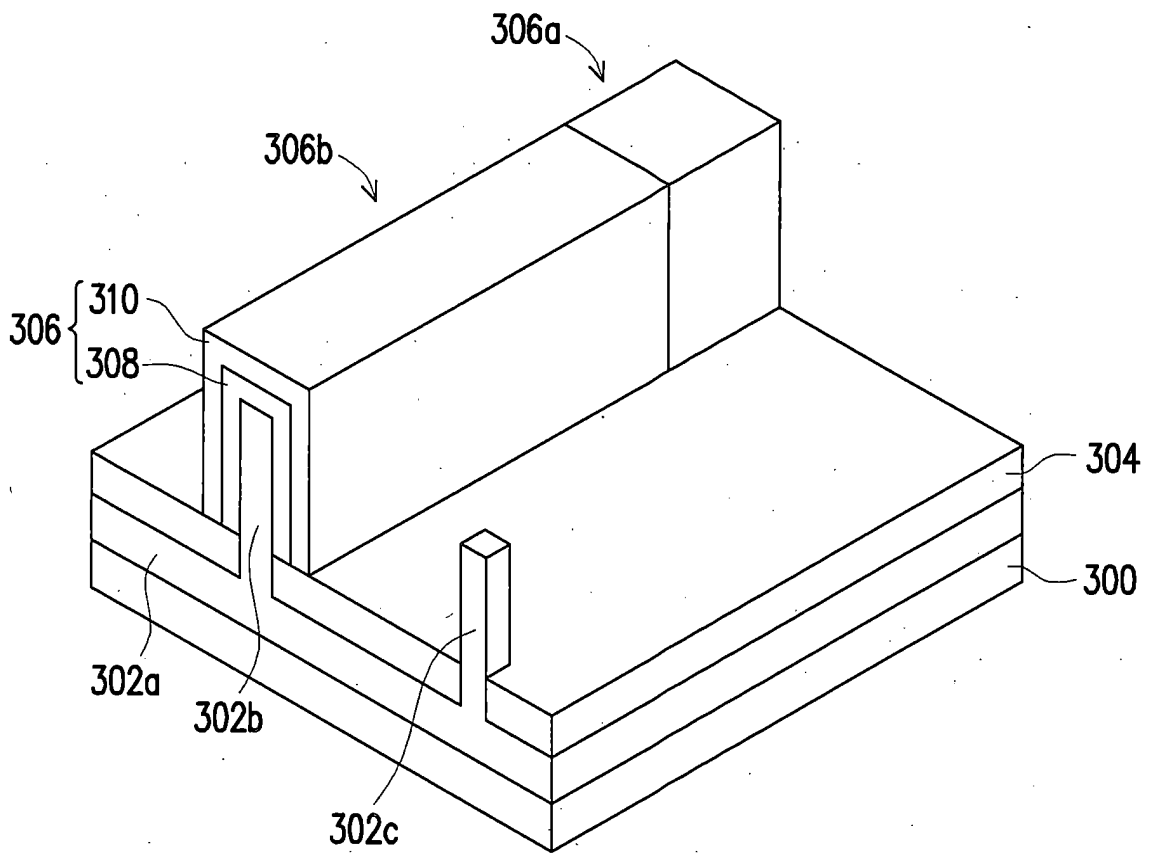
【圖1】



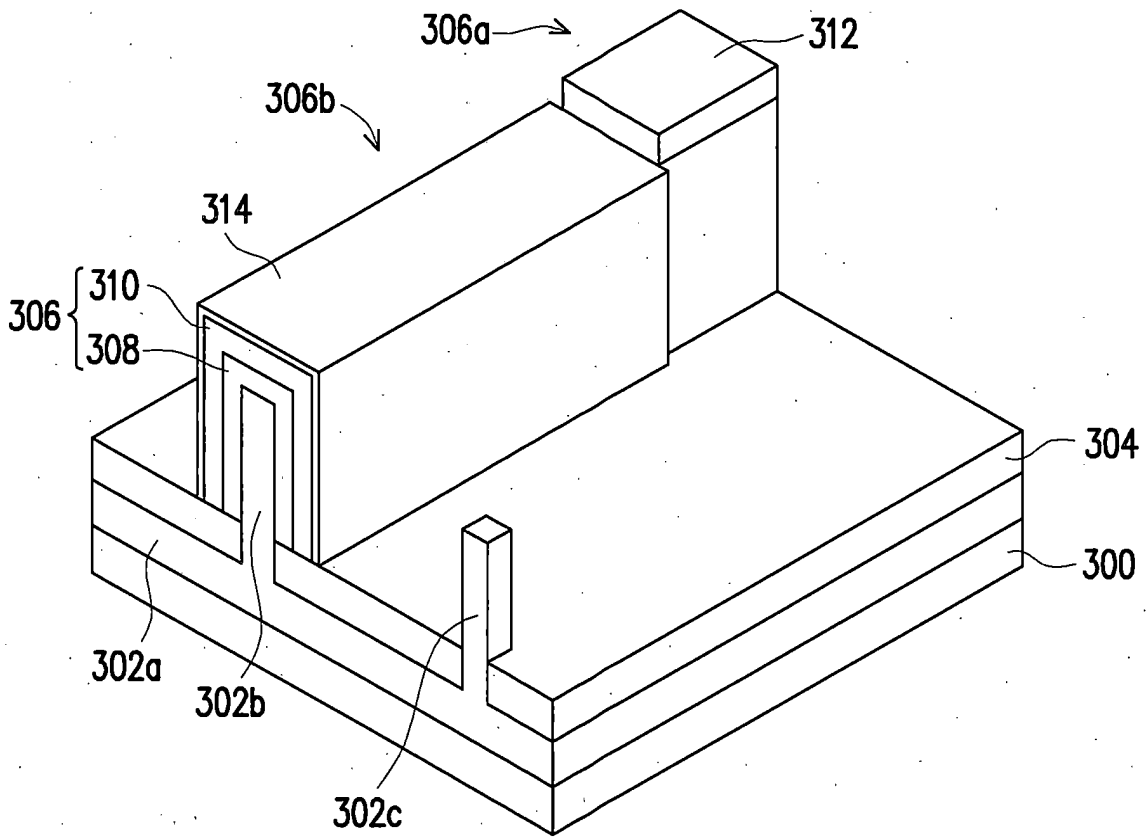
【圖2】



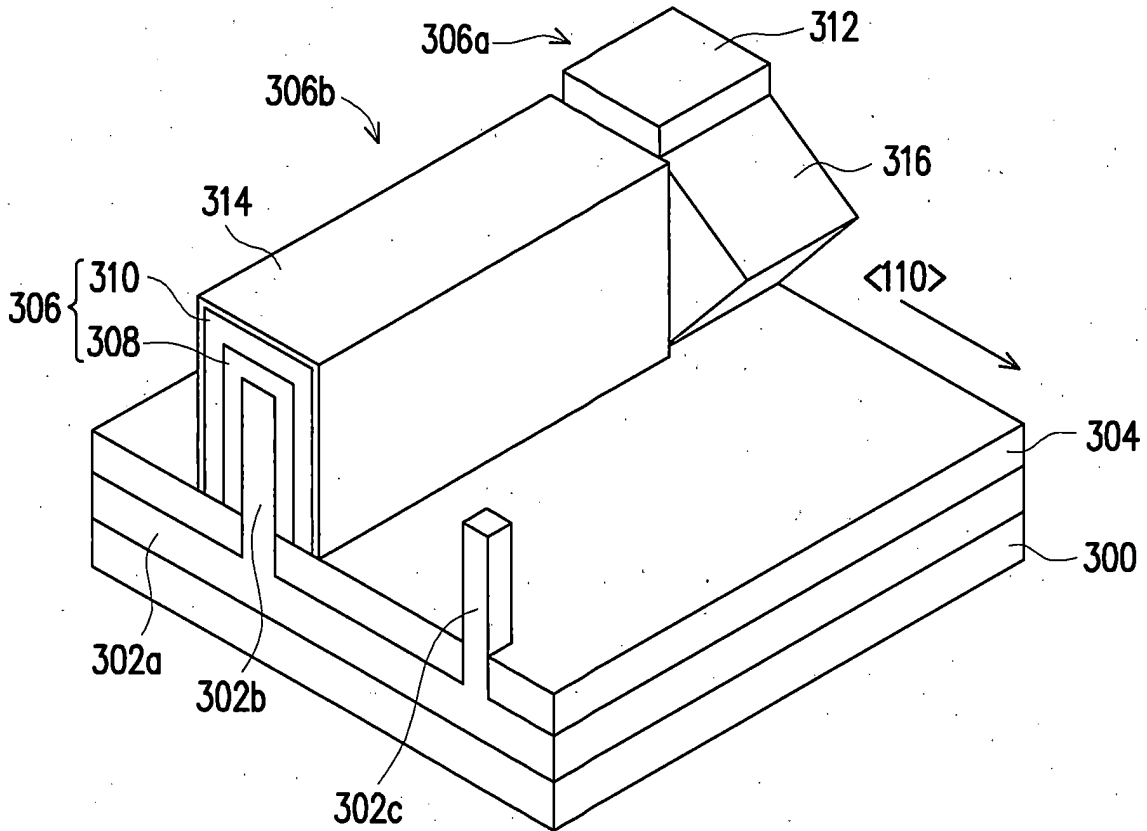
【圖3A】



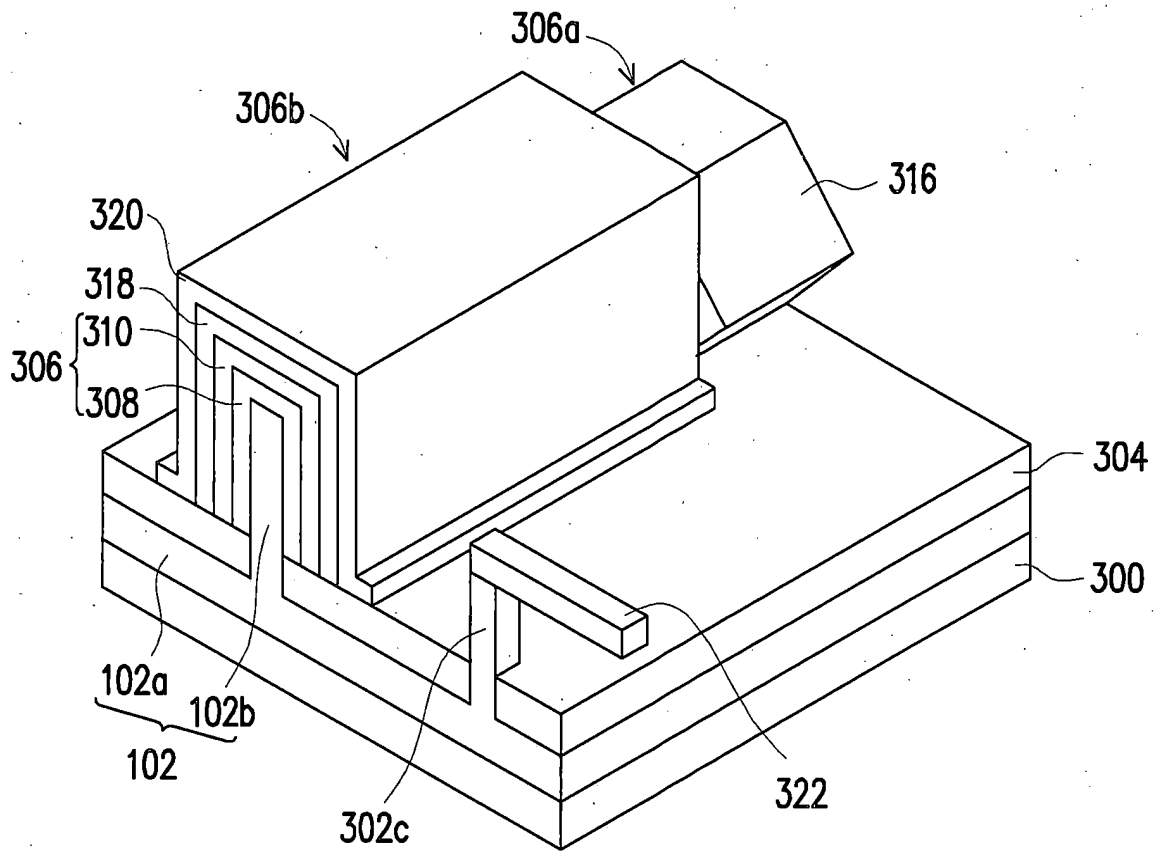
【圖3B】



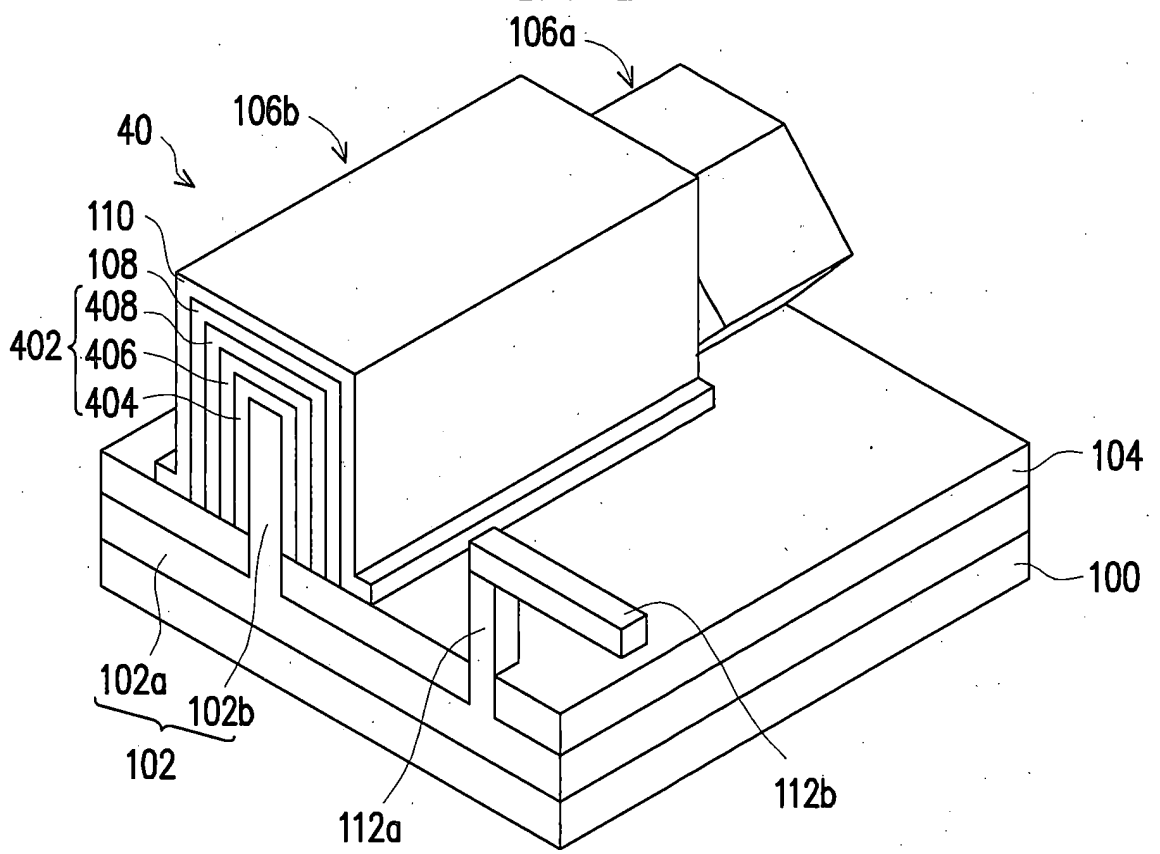
【圖3C】



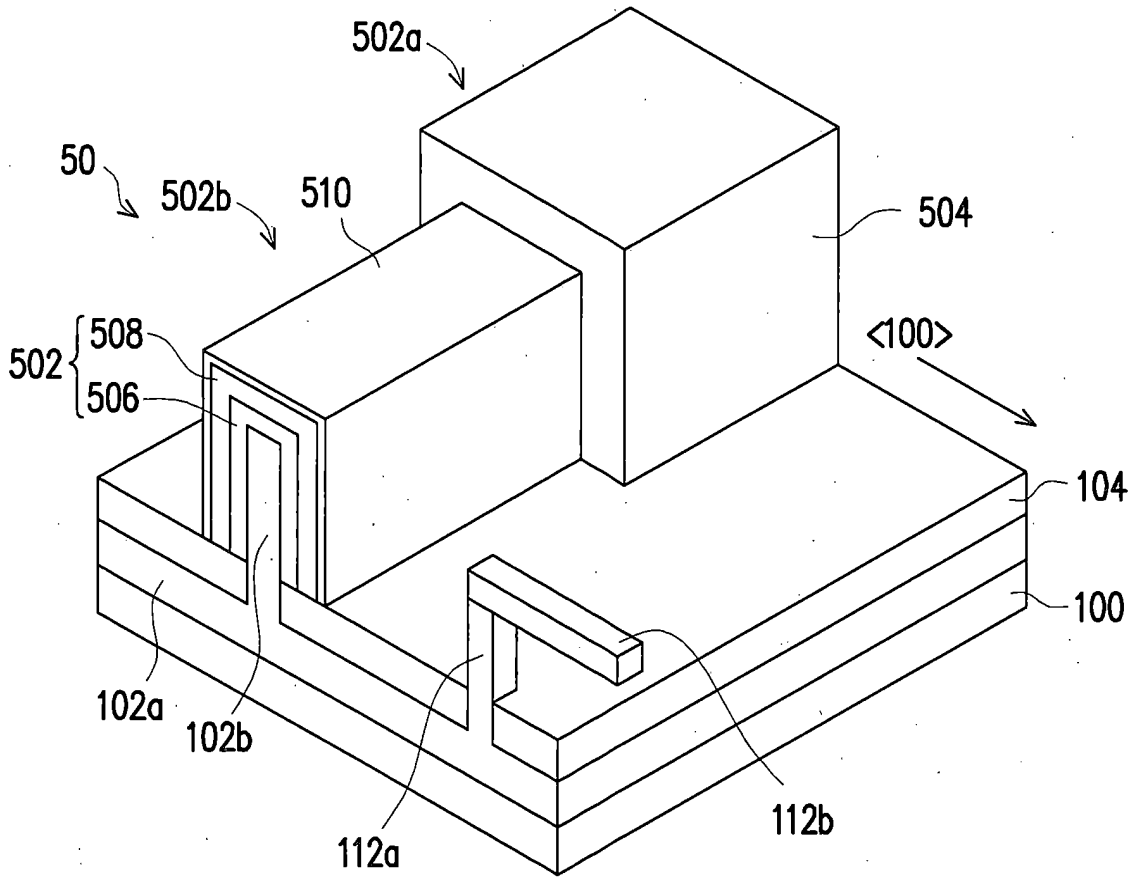
【圖3D】



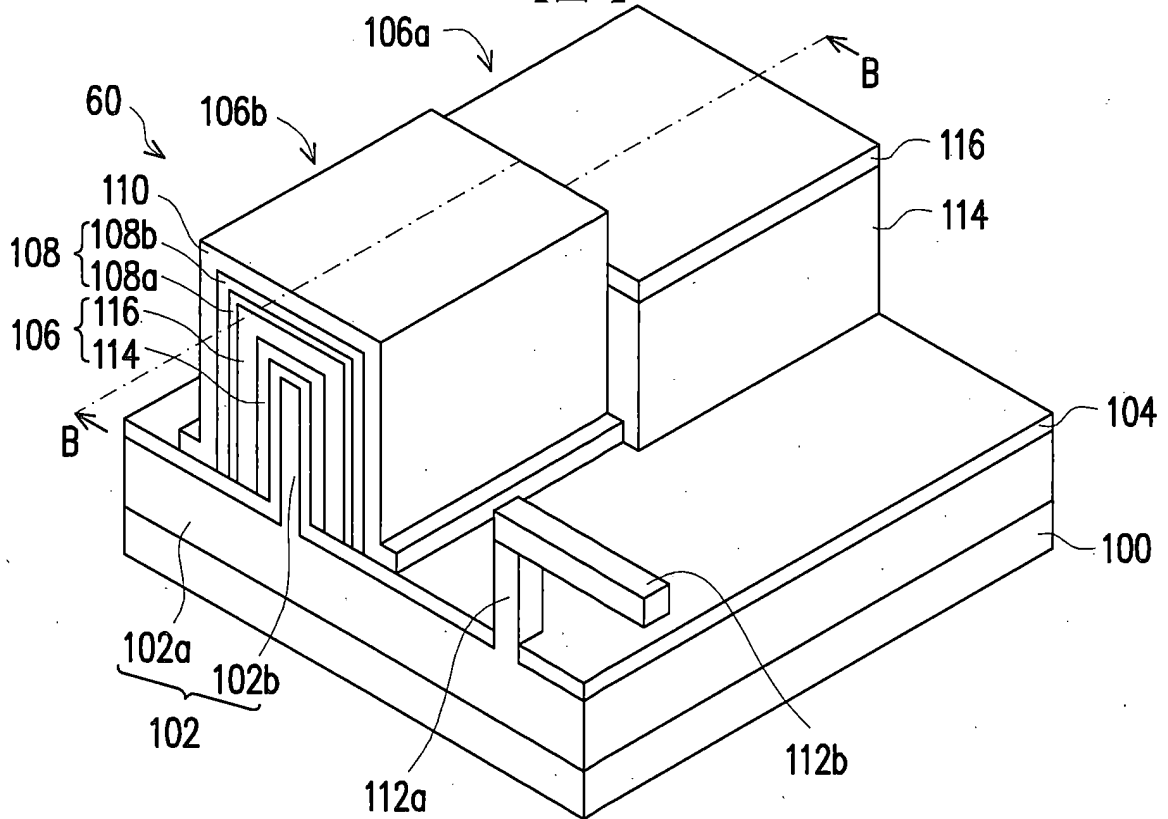
【圖3E】



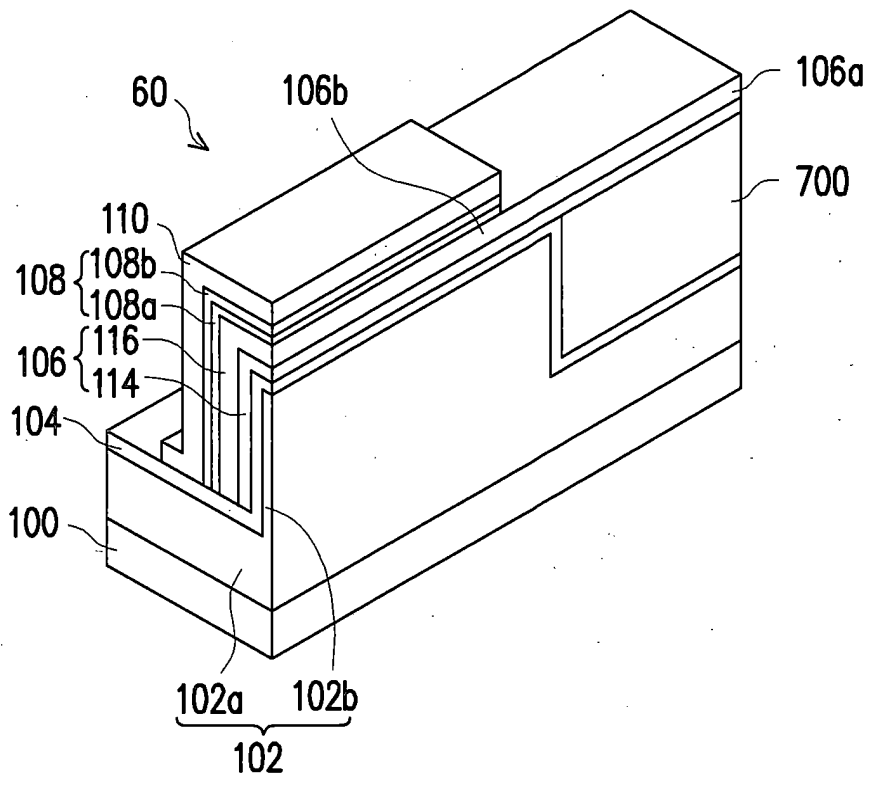
【圖4】



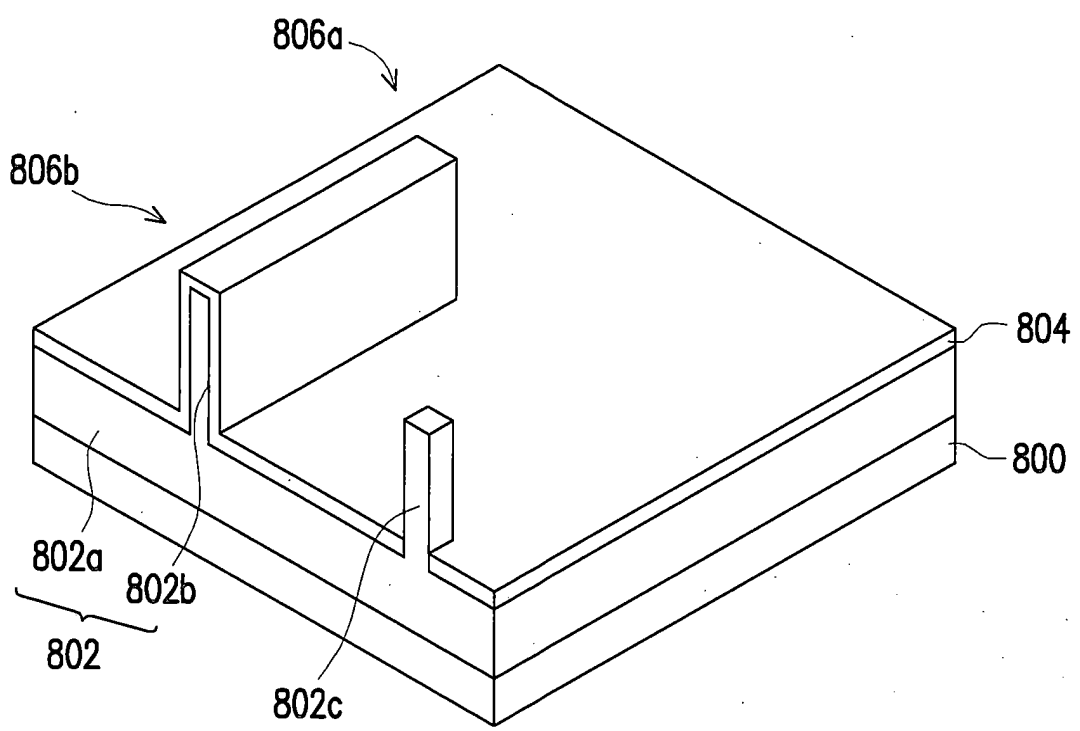
【圖5】



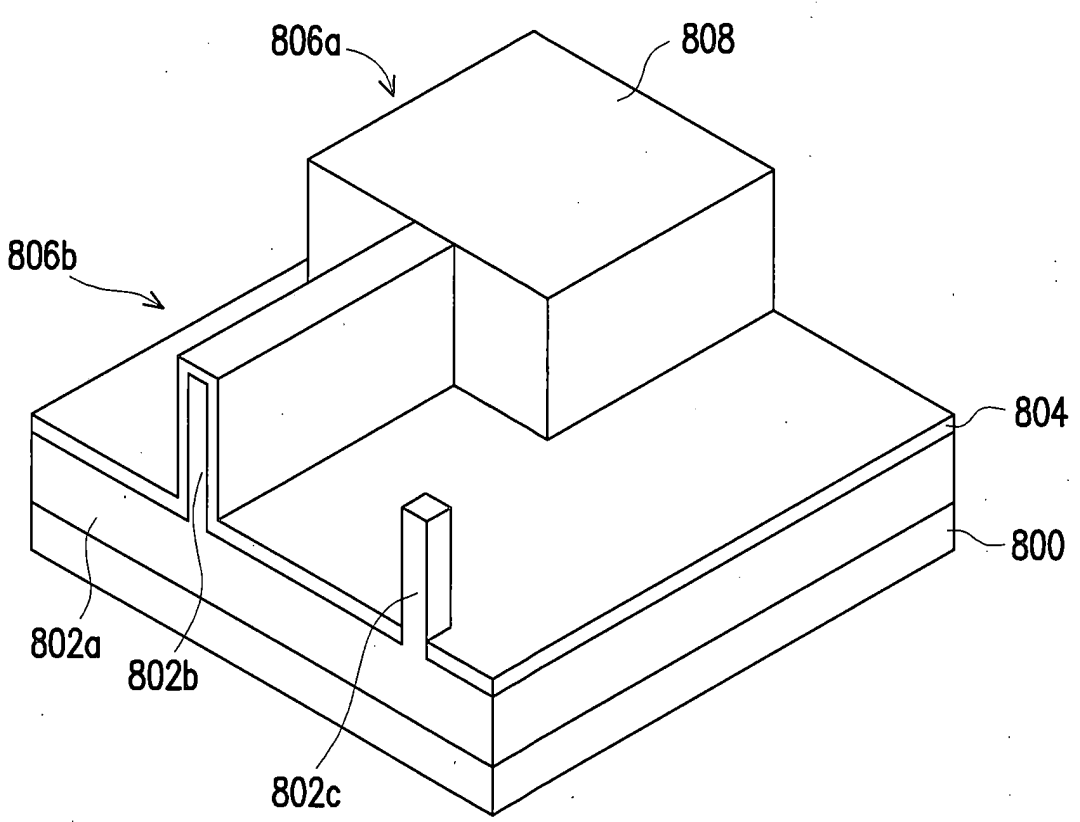
【圖6】



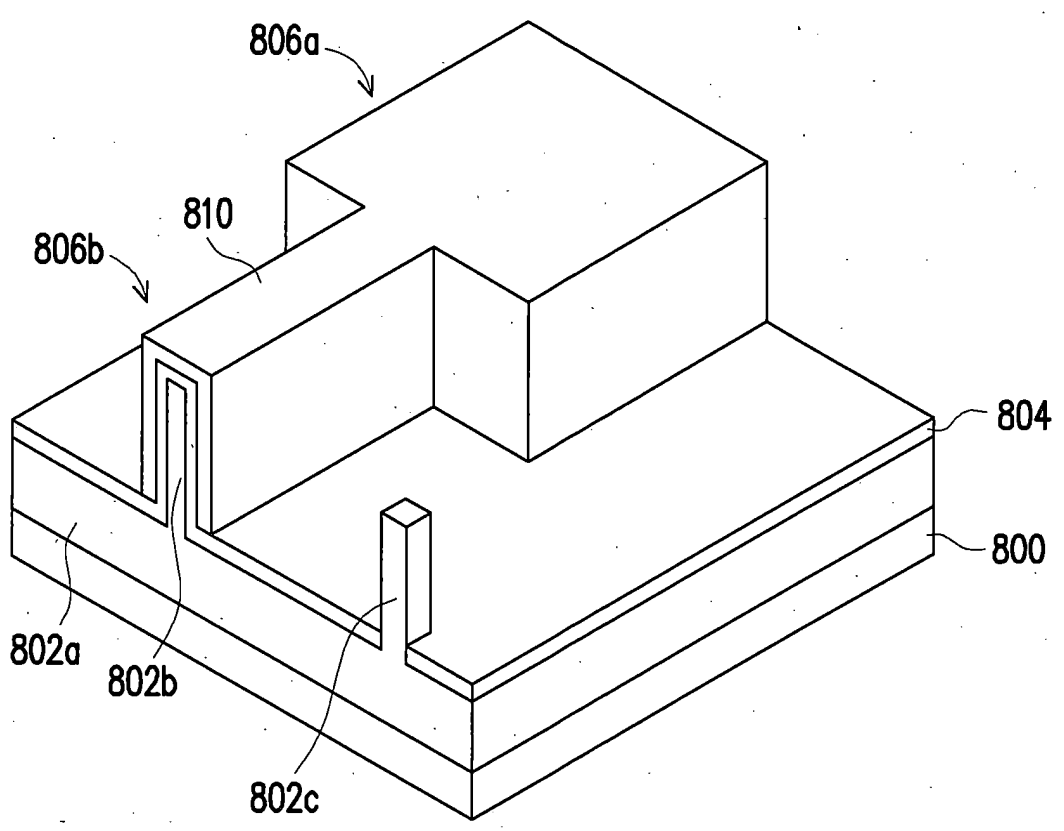
【圖7】



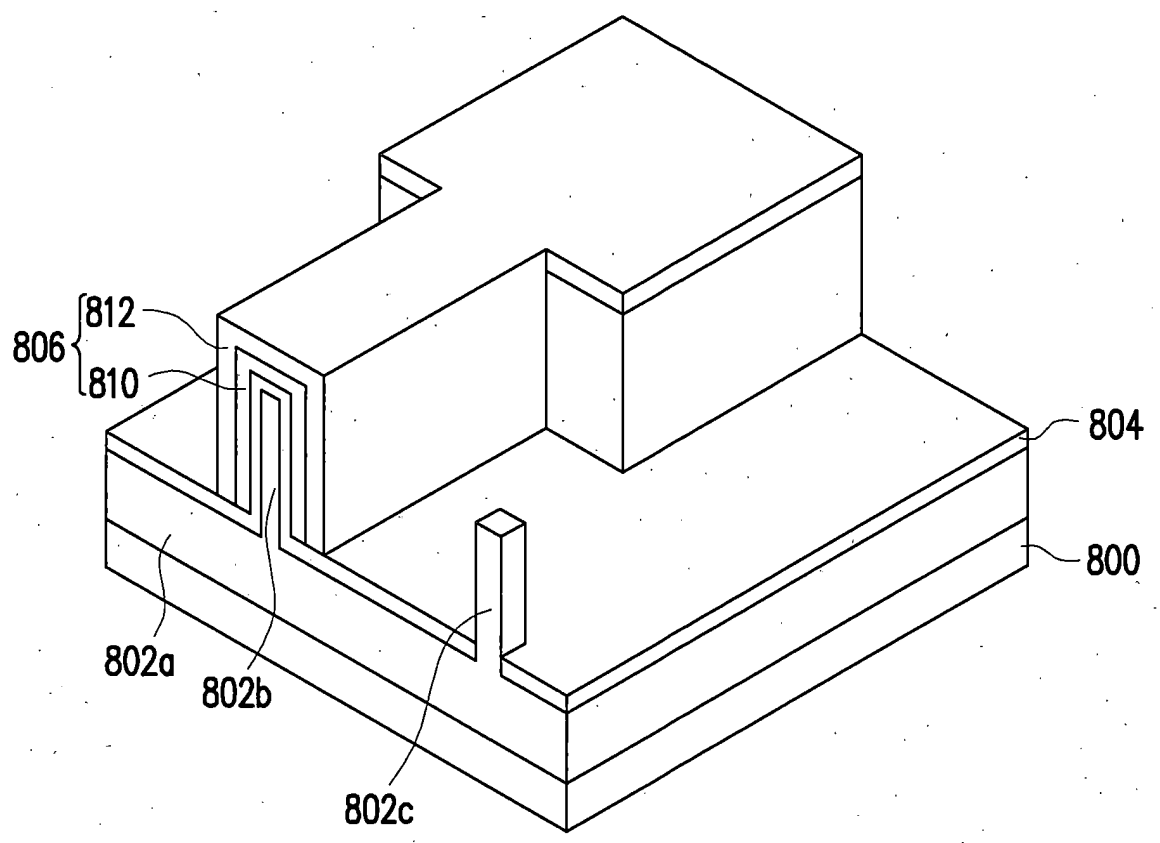
【圖8A】



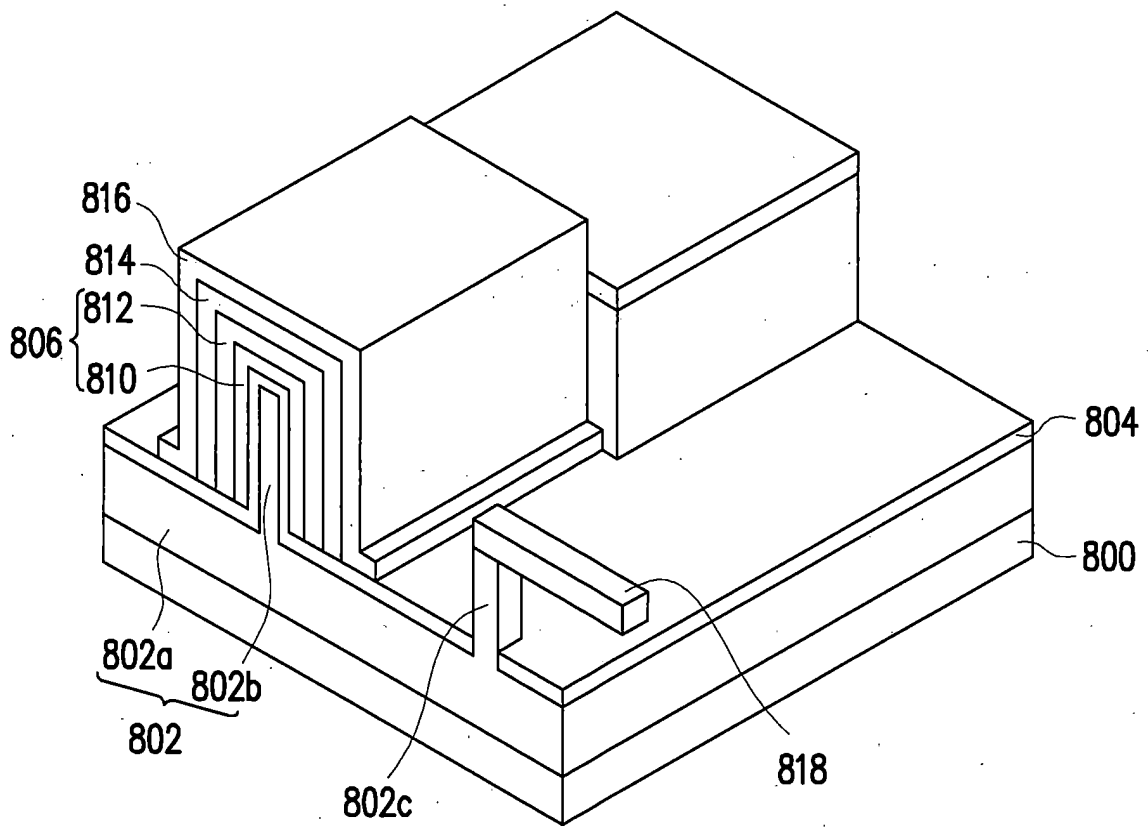
【圖8B】



【圖8C】



【圖8D】



【圖8E】