



(21) 申請案號：105113388

(22) 申請日：中華民國 105 (2016) 年 04 月 29 日

(51) Int. Cl. : H04L27/22 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：羅吉逸 LO, CHI-YI (TW) ; 洪浩喬 HONG, HAO-CHIAO (TW)

(74) 代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：19 項 圖式數：22 共 45 頁

## (54) 名稱

四相移鍵控解調變器

QPSK DEMODULATOR

## (57) 摘要

本發明提供一種新穎的四相移鍵控(Quadrature Phase-Shift Keying, QPSK)解調變器，稱為蝴蝶結四相移鍵控(Bowknot Quadrature Phase-Shift Keying, BQPSK)解調變器，其是利用一延遲電路以延遲一蝴蝶結四相移鍵控訊號，將其與未延遲的蝴蝶結四相移鍵控訊號混合，以輸出一組 IQ 資料訊號，同時利用一相位旋轉電路，藉由該解調正交資料訊號以解出一回復時脈。本發明之一種蝴蝶結四相移鍵控解調變器不需要類比數位轉換器、也不需要擁有正交時脈的振盪器，而擁有高資料率、低功耗、架構簡單和可靠的好處，且其於數位或類比電路皆可實施。

A novel quadrature phase-shift keying (QPSK) demodulator having high data rate, low power, a simple architecture, and reliable is provided, called a bowknot quadrature phase-shift keying (BQPSK) demodulator. A BQPSK demodulator can demodulate a wide-band BQPSK signal without an analog-to-digital converter and quadrature oscillators. Therefore, the present invention consumes less power and can be realized by digital circuits or analog circuits. A BQPSK demodulator includes a delay line and a decision maker. The BQPSK demodulator demodulates a BQPSK input to accordingly output a demodulated I-channel data, a demodulated Q-channel data. The delay line input the BQPSK signal to output the first delay signal and the second delay signal. The decision maker mixes the input BQPSK signal and the second delay signal to generate a transition signal. The decision maker mixes the input BQPSK signal and the first delay signal to generate a data information signal. The decision maker uses the transition signal to sample the input BQPSK signal to extract the demodulated I-channel data, and sample the data information signal to extract the demodulated Q-channel data. The BQPSK demodulator further includes a phase rotator to select the delay signal to generate a recovered clock by the demodulated I-channel data and the demodulated Q-channel data.

指定代表圖：

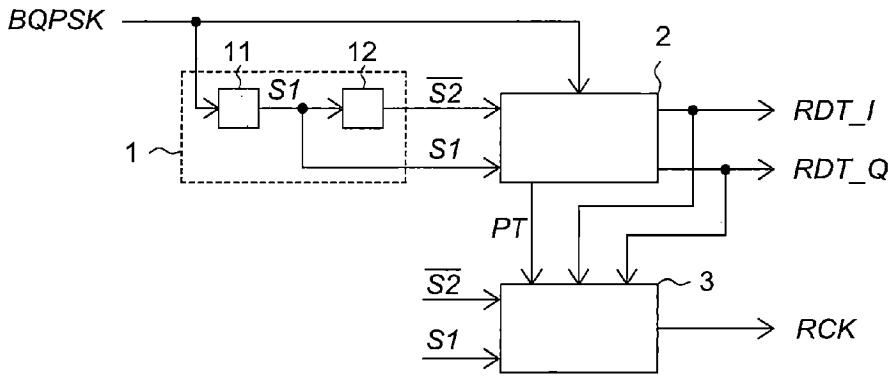


圖3

符號簡單說明：

1 . . . 延遲電路

11 . . . 第一延遲單元

12 . . . 第二延遲單元

2 . . . 決策電路

3 . . . 相位旋轉電路

BQPSK . . . 蝴蝶結四相移鍵控訊號

PT . . . 轉態訊號

RDT\_I . . . I 資料訊號

RDT\_Q . . . Q 資料訊號

RCK . . . 回復時脈

S1 . . . 第一延遲訊號

$\overline{S2}$  . . . 第二延遲反相訊號



201739223

## 【發明摘要】

申請日: 105.4.29

IPC分類:

H04L 27/22

2.06

【中文發明名稱】四相移鍵控解調變器

【英文發明名稱】QPSK DEMODULATOR

## 【中文】

本發明提供一種新穎的四相移鍵控(Quadrature Phase-Shift Keying, QPSK)解調變器, 稱為蝴蝶結四相移鍵控(Bowknot Quadrature Phase-Shift Keying, BQPSK)解調變器, 其是利用一延遲電路以延遲一蝴蝶結四相移鍵控訊號, 將其與未延遲的蝴蝶結四相移鍵控訊號混合, 以輸出一組IQ資料訊號, 同時利用一相位旋轉電路, 藉由該解調正交資料訊號以解出一回復時脈。本發明之一種蝴蝶結四相移鍵控解調變器不需要類比數位轉換器、也不需要擁有正交時脈的振盪器, 而擁有高資料率、低功耗、架構簡單和可靠的好處, 且其於數位或類比電路皆可實施。

## 【英文】

A novel quadrature phase-shift keying (QPSK) demodulator having high data rate, low power, a simple architecture, and reliable is provided, called a bowknot quadrature phase-shift keying (BQPSK) demodulator. A BQPSK demodulator can demodulate a wide-band BQPSK signal without an analog-to-digital converter and quadrature oscillators. Therefore, the present invention consumes less power and can be realized by digital circuits or analog circuits. A BQPSK demodulator includes a delay line and a decision maker. The BQPSK demodulator demodulates a BQPSK input to accordingly output a demodulated I-channel data, a demodulated Q-channel

data. The delay line input the BQPSK signal to output the first delay signal and the second delay signal. The decision maker mixes the input BQPSK signal and the second delay signal to generate a transition signal. The decision maker mixes the input BQPSK signal and the first delay signal to generate a data information signal. The decision maker uses the transition signal to sample the input BQPSK signal to extract the demodulated I-channel data, and sample the data information signal to extract the demodulated Q-channel data. The BQPSK demodulator further includes a phase rotator to select the delay signal to generate a recovered clock by the demodulated I-channel data and the demodulated Q-channel data.

【指定代表圖】圖3

【代表圖之符號簡單說明】

1	延遲電路
11	第一延遲單元
12	第二延遲單元
2	決策電路
3	相位旋轉電路
<i>BQPSK</i>	蝴蝶結四相移鍵控訊號
<i>PT</i>	轉態訊號
<i>RDT_I</i>	I資料訊號
<i>RDT_Q</i>	Q資料訊號
<i>RCK</i>	回復時脈
<i>SI</i>	第一延遲訊號

$\overline{S2}$

第二延遲反相訊號

## 【發明說明書】

【中文發明名稱】四相移鍵控解調變器

【英文發明名稱】QPSK DEMODULATOR

### 【技術領域】

【0001】本發明是有關一種新穎的四相移鍵控解調變器，特別是一種具有低功耗的四相移鍵控解調變器。

### 【先前技術】

【0002】傳統的四相移鍵控解調變器是由類比數位轉換器把四相移鍵控訊號轉成數位碼，再透過基頻數位訊號處理器回復資料和時脈，隨著時代對速度要求越來越高，高速的類比數位轉換器和數位類比轉換器是非常耗電，設計難度也提高許多。近年來最常見的四相移鍵控解調變器架構為Costas loop，該架構去除了非常耗電的數位類比轉換器，Costas loop包含兩個平行的鎖相迴路，分別為I分支和Q分支，兩分支有90度相位差，常見的做法是由振盪器產生兩倍載波頻率，再透過數位正交訊號產生器產生兩個相位相差90度的同頻率訊號，振盪器操作頻率鎖定在兩倍載波頻率，會提高的功率消耗。傳統四相移鍵控解調變器有以下缺點：1.功率消耗高。2.傳輸資料速率有限。3.電路複雜度高。4.大面積。

【0003】然而，對於特定嚴格要求低功耗和低發熱的接收機或是無電池裝置，例如生醫植入式晶片、環境監測系統以及物聯網等，這些裝置需要一個具有低功耗與小面積的解調變器來接收資料，傳統解調變器功耗占其整體系統功耗的比例過大而無法滿足上述需求。

【0004】綜上所述，提供一種具有低功耗之四相移鍵控解調變器便是目前極需努力的目標。

### 【發明內容】

【0005】傳統的四相移鍵控解調變的方式是利用高於載波頻率的時脈，對QPSK訊號取樣來獲得解調變IQ資料。然而要產生高頻時脈不僅使電路的複雜度提高，也會大幅增加功率消耗。本發明提出新式的四相移鍵控解調變技術，稱為蝴蝶結四相移鍵控(BQPSK)，利用簡化相位轉換的狀態，來降低解調變的難度。

【0006】請參照圖1，比對典型的四相移鍵控的星座圖、常見的偏移四相移鍵控(Offset Quadrature Phase-Shift Keying, OQPSK)的星座圖和本發明提出的蝴蝶結四相移鍵控的星座圖，四相移鍵控調變訊號有12個相位轉換的狀態和4個相位重複的狀態，偏移四相移鍵控調變訊號減少四相移鍵控調變訊號之中的4個相位轉換，像是 $0^\circ$ 與 $180^\circ$ 之間以及 $90^\circ$ 與 $270^\circ$ 之間的轉換路徑，蝴蝶結四相移鍵控調變訊號減少四相移鍵控調變訊號之中的4個相位轉換，例如 $0^\circ$ 與 $270^\circ$ 之間以及 $90^\circ$ 與 $180^\circ$ 之間的轉換路徑。

【0007】本發明提供一種蝴蝶結四相移鍵控解調變器，其是利用一延遲電路以延遲一蝴蝶結四相移鍵控訊號，將其與未延遲的蝴蝶結四相移鍵控訊號混合，以輸出一組IQ資料訊號。本發明之一種蝴蝶結四相移鍵控解調變器擁有高資料率、低功耗、架構簡單和可靠的好處，且其於數位或類比電路皆可實施。

【0008】本發明一實施例之蝴蝶結四相移鍵控解調變器包含一延遲電路以及一決策電路。延遲電路接收一蝴蝶結四相移鍵控訊號，並使蝴蝶結四相移鍵控訊號延遲一第一延遲時間，以輸出一第一延遲訊號；以及延遲電路使該蝴蝶結四相移鍵控訊號延遲一總計延遲時間，以輸出一第二延遲訊號或一第二延

遲反相訊號，其中該第二延遲反相訊號與第二延遲訊號互為反相關係。決策電路與延遲電路電性連接。決策電路混合蝴蝶結四相移鍵控訊號及第二延遲訊號或第二延遲反相訊號以產生一第一外差訊號，並依據第一外差訊號取樣蝴蝶結四相移鍵控訊號，以輸出蝴蝶結四相移鍵控訊號中之一I資料訊號；以及決策電路混合第一延遲訊號及蝴蝶結四相移鍵控訊號以產生一第二外差訊號，並依據第一外差訊號取樣第二外差訊號，以輸出蝴蝶結四相移鍵控訊號中之一Q資料訊號。

【0009】 以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

#### 【圖式簡單說明】

##### 【0010】

圖1為一示意圖，顯示四相移鍵控訊號、偏移四相移鍵控訊號和蝴蝶結四相移鍵控訊號之星座圖。

圖2為一時序圖，顯示蝴蝶結四相移鍵控訊號之波形。

圖3為一示意圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器。

圖4為一示意圖，顯示本發明一實施例之決策電路。

圖5為一示意圖，顯示本發明一實施例之相位旋轉電路。

圖6為一時序圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖7為一時序圖，顯示本發明一實施例之回復時脈。

圖8為一示意圖，顯示本發明另一實施例之蝴蝶結四相移鍵控解調變器。



圖9為一時序圖，顯示本發明另一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖10為一示意圖，顯示本發明再一實施例之蝴蝶結四相移鍵控解調變器。

圖11為一時序圖，顯示本發明再一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖12為一時序圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖13為一時序圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖14為一時序圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖15為一時序圖，顯示本發明一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖16為一示意圖，顯示本發明另一實施例之蝴蝶結四相移鍵控解調變器。

圖17為一示意圖，顯示本發明另一實施例之控制時脈產生器。

圖18為一時序圖，顯示本發明另一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

圖19為一示意圖，顯示本發明再一實施例之蝴蝶結四相移鍵控解調變器。

圖20為一示意圖，顯示本發明再一實施例之非同步相位偵測器。

圖21為一示意圖，顯示本發明再一實施例之致能窗口電路。

圖22為一時序圖，顯示本發明再一實施例之蝴蝶結四相移鍵控解調變器之時序圖。

## 【實施方式】

【0011】 以下將詳述本發明之各實施例，並配合圖式作為例示。除了這些詳細說明之外，本發明亦可廣泛地施行於其它的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本發明之範圍內，並以申請專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的瞭解，提供了許多特定細節；然而，本發明可能在省略部分或全部特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免對本發明形成不必要之限制。圖式中相同或類似之元件將以相同或類似符號來表示。特別注意的是，圖式僅為示意之用，並非代表元件實際之尺寸或數量，有些細節可能未完全繪出，以求圖式之簡潔。

【0012】 本發明之一種蝴蝶結四相移鍵控解調變器的功能是分辨輸入調變訊號之四種相差90度的相位，並輸出各個相位代表之編碼資料。為了方便以下相關時序說明，請參照圖2，由左至右不同之例示性訊號的編碼“00”、“01”、“10”以及“11”依序代表對應不同調變相位 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 以及 $270^\circ$ 之蝴蝶結四相移鍵控訊號BQPSK，其中 $T$ 為蝴蝶結四相移鍵控訊號BQPSK之載波週期，但不以此為限。其中編碼與輸入調變訊號的相位間之對應關係不以上述例示為限。

【0013】 請一併參照圖3至圖6，其中一原始資料訊號 $DT$ 經調變後形成一蝴蝶結四相移鍵控訊號BQPSK並發送至一蝴蝶結四相移鍵控解調變器。請參照圖3，本發明之一實施例之蝴蝶結四相移鍵控解調變器包含一延遲電路1、一決策電路2以及一相位旋轉電路3。延遲電路1包含串聯之一第一延遲單元11以及一第二延遲單元12，但不以此為限。第一延遲單元11接收一蝴蝶結四相移鍵控訊號BQPSK，並使蝴蝶結四相移鍵控訊號BQPSK延遲一第一延遲時間 $TD1$ ，以輸出一第一延遲訊號 $S1$ 。第二延遲單元12接收第一延遲訊號 $S1$ ，並使第一延遲訊號 $S1$ 延遲一第二延遲時間 $TD2$ 以產生一第二延遲訊號 $S2$ ，以及輸出一第二延遲反相訊號 $\overline{S2}$ 至決策電路2，其中該第二延遲反相訊號 $\overline{S2}$ 與第二延遲訊號 $S2$ 互為反相關

第5頁，共18頁(發明說明書)

係。其中，延遲電路1之第一延遲時間 $TD1$ 及第二延遲時間 $TD2$ 符合以下之關係式(容後詳述)： $TD = TD1 + TD2$ ， $0.125T \leq TD1 \leq 0.375T$ ， $0.125T \leq TD2 < 0.5T$ ，且 $0.375T < TD < 0.625T$ ，其中 $TD$ 為一總計延遲時間， $T$ 為蝴蝶結四相移鍵控訊號之載波週期。

【0014】請繼續參照圖3及圖4，決策電路2包含一第一互斥或閘21、一第一突波去除器25、一第一正反器23、一第二互斥或閘22、一第二突波去除器26以及一第二正反器24。第一互斥或閘21與第二延遲單元12電性連接，且第一互斥或閘21混合(mix)蝴蝶結四相移鍵控訊號 $BQPSK$ 及第二延遲反相訊號 $\overline{S2}$ ，以輸出第一外差訊號 $DC1$ 。第一突波去除器25與第一互斥或閘21電性連接，且第一突波去除器25去除第一外差訊號 $DC1$ 中之正突波，以輸出一轉態訊號 $PT$ 。第一正反器23與第一突波去除器25電性連接，且第一正反器23依據轉態訊號 $PT$ 取樣蝴蝶結四相移鍵控訊號 $BQPSK$ ，以輸出蝴蝶結四相移鍵控訊號中之I資料訊號 $RDT_I$ 。

【0015】可以理解的是，為了解出正確的I資料訊號 $RDT_I$ ，於部分實施例中，圖3所示之第一正反器23可以依據實際電路設計需求採用上升緣觸發正反器或下降緣觸發正反器。其中，下降緣觸發正反器的替代電路設計是，將一反相器設置於第一互斥或閘21之兩輸入端其一或輸出端，以搭配傳統的上升緣觸發正反器，但不以此為限。具有通常知識者當可自行修飾變化，以使決策電路中之正反器能正常運作。

【0016】接續上述，第二互斥或閘22與第一延遲單元11電性連接，且第二互斥或閘22混合第一延遲訊號及蝴蝶結四相移鍵控訊號 $BQPSK$ ，以輸出第二外差訊號 $DC2$ 。第二突波去除器26與第二互斥或閘22電性連接，且第二突波去除器

26去除第二外差訊號 $DC2$ 中之負突波，以輸出一資料資訊訊號 $DI$ 。第二正反器24與第二突波去除器26電性連接，且第二正反器24依據第一外差訊號 $DC1$ 取樣資料資訊訊號 $DI$ ，以輸出蝴蝶結四相移鍵控訊號中之Q資料訊號 $RDT\_Q$ 。同理，圖3所示之第二正反器24亦可依據實際電路設計需求採用上升緣觸發正反器或下降緣觸發正反器，以解出正確的Q資料訊號 $RDT\_Q$ 。

【0017】於一實施例中，第一突波去除器25用於濾除正突波，第二突波去除器26用於濾除負突波。在此，正脈波寬度小於等於 $0.125T$ 的脈波可視為一正突波，負脈波寬度小於等於 $0.125T$ 的脈波可視為一負突波。

【0018】請參照圖6，在蝴蝶結四相移鍵控訊號 $BQPSK$ 的波形上標示的小圓圈，表示轉態訊號 $PT$ 取樣到的邏輯值，即是I資料訊號 $RDT\_I$ ；在資料資訊訊號 $DI$ 的波型上標示的小圓圈，表示轉態訊號 $PT$ 取樣的邏輯值，即是Q資料訊號 $RDT\_Q$ 。請一併參照圖3及圖6，最後經比對驗證，蝴蝶結四相移鍵控解調變器所還原之I資料訊號 $RDT\_I$ 以及Q資料訊號 $RDT\_Q$ ，均與未經調變前之原始資料訊號 $DT$ 為彼此相同。

【0019】應當注意的是，於上述諸實施例所描述之部分特徵為選擇性的，且可依據不同的電路設計與應用來使用。本領域中具有通常知識者應可辨認許多本發明之變化、修改以及置換等。舉例而言，一般的電路架構本質上具有不易使高頻突波通過之特性，因而使電路不易受高頻突波或雜訊之影響，其於一穩定的操作環境中，無突波去除器之決策電路亦能正常操作。惟於部分電路設計，若欲增加決策電路之濾突波效果，即以圖4所示之第一突波去除器25及第二突波去除器26進行設計，但不以此為限。

【0020】請繼續參照圖6，以下說明本發明之一種蝴蝶結四相移鍵控解調變器的工作原理。首先，延遲一蝴蝶結四相移鍵控訊號 $BQPSK$ ，以輸出第一延遲訊號 $S1$ 以及第二延遲反相訊號 $\overline{S2}$ 。其次，混合蝴蝶結四相移鍵控訊號 $BQPSK$

以及第二延遲反相訊號 $\overline{S2}$ ，以找出蝴蝶結四相移鍵控訊號 $BQPSK$ 的邏輯狀態是否發生相位轉換；若蝴蝶結四相移鍵控訊號 $BQPSK$ 有發生邏輯轉態，則轉態訊號 $PT$ 便產生對應之脈波訊號。接著，藉由轉態訊號 $PT$ 對蝴蝶結四相移鍵控訊號 $BQPSK$ 取值得I資料訊號 $RDT\_I$ 。再著，混合蝴蝶結四相移鍵控訊號 $BQPSK$ 以及第一延遲訊號 $S1$ 以輸出正交資料特徵 $DI$ 。最後，藉由轉態訊號 $PT$ 對正交資料特徵 $DI$ 取值得Q資料訊號 $RDT\_Q$ ，若轉態訊號 $PT$ 未產生脈波訊號，表示調變資料沒有轉態，則蝴蝶結四相移鍵控解調變器只需要輸出相同的資料。

【0021】換言之，請繼續參照圖2，以左邊第一個編碼“00”所代表的蝴蝶結四相移鍵控訊號 $BQPSK$ 舉例說明，若蝴蝶結四相移鍵控訊號 $BQPSK$ 於時間 $T/2$ 到 $3T/4$ 之間的邏輯狀態為0，則蝴蝶結四相移鍵控解調變器輸出一I資料訊號 $RDT\_I$ 的邏輯狀態亦為0；同時，若蝴蝶結四相移鍵控訊號 $BQPSK$ 於時間0到 $T/2$ 的邏輯狀態未發生轉態，則蝴蝶結四相移鍵控解調變器輸出一Q資料訊號 $RDT\_Q$ 的邏輯狀態為0。再以右邊第一個編碼“11”所代表的蝴蝶結四相移鍵控訊號 $BQPSK$ 舉例說明，若蝴蝶結四相移鍵控訊號 $BQPSK$ 於時間 $T/2$ 到 $3T/4$ 之間的邏輯狀態為1，則蝴蝶結四相移鍵控解調變器輸出一I資料訊號 $RDT\_I$ 的邏輯狀態亦為1；同時，若蝴蝶結四相移鍵控訊號 $BQPSK$ 於時間0到 $T/2$ 的邏輯狀態有發生轉態，即邏輯狀態由0轉換至1，則蝴蝶結四相移鍵控解調變器輸出一Q資料訊號 $RDT\_Q$ 的邏輯狀態為1。依此類推，其餘蝴蝶結四相移鍵控訊號 $BQPSK$ 的解調變原理亦同，此不再贅述。

【0022】本發明之蝴蝶結四相移鍵控解調變器，除輸出一組IQ資料訊號之外，更可輸出一回復時脈，以作為系統電路中其他電子元件工作所需之時脈，並讓後級的數位電路取出正確的資料。請參照圖7，回復時脈 $RCK$ 之平均週期與蝴蝶結四相移鍵控訊號之載波週期 $T$ 相同，亦即蝴蝶結四相移鍵控解調變器在一個蝴蝶結四相移鍵控訊號 $BQPSK$ 之載波週期 $T$ 時間內，僅取樣一次而產生一時脈

上升緣。於一實施例中，蝴蝶結四相移鍵控解調變器在 $3T/4$ 時間點產生一回復時脈訊號的上升緣。於另一實施例中，蝴蝶結四相移鍵控解調變器在 $4T/4$ 時間點產生一回復時脈訊號的上升緣。可以理解的是，為了避免在同一個載波週期 $T$ 時間內，因額外的突波造成回復時脈 $RCK$ 發生超過一次的轉態，可以在相位旋轉電路後串聯一突波去除器。

【0023】 以下說明蝴蝶結四相移鍵控解調變器如何解調產生一回復時脈。請繼續參照圖3，相位旋轉電路3與延遲電路1及決策電路2電性連接，且相位旋轉電路3依據決策電路2所輸出之I資料訊號及Q資料訊號運算第一延遲訊號 $S1$ 、第二延遲反相訊號 $\overline{S2}$ 及蝴蝶結四相移鍵控訊號 $BQPSK$ 至少其中之二，以輸出一相位時脈 $PRCK$ ，其中相位時脈 $PRCK$ 即作為一回復時脈 $RCK$ ，或再經由一突波去除器去除相位時脈 $PRCK$ 中之突波，以輸出回復時脈 $RCK$ ，但不以此為限。

【0024】 請一併參照圖5及圖6，相位旋轉電路3包含一第三互斥或閘31、一第一多工器32、一第二多工器33以及一或閘34。第三互斥或閘31與決策電路2電性連接，且第三互斥或閘31接收I資料訊號 $RDT\_I$ 及Q資料訊號 $RDT\_Q$ ，進行互斥或(XOR)運算，以輸出一相位控制訊號 $PC$ 。第一多工器32與延遲電路1及決策電路2電性連接，且第一多工器32依據決策電路2所輸出之Q資料訊號 $RDT\_Q$ 之邏輯狀態通過延遲電路1所輸出之第一延遲訊號 $S1$ 或第二延遲反相訊號 $\overline{S2}$ ，以輸出一第一處理訊號 $PR1$ 。第二多工器33與第三互斥或閘31及第一多工器32電性連接，且第二多工器33依據第三互斥或閘31所輸出之相位控制訊號 $PC$ 之邏輯狀態反轉第一多工器32所輸出之第一處理訊號 $PR1$ 之相位，以輸出一第二處理訊號 $PR2$ 。或閘34與第二多工器33及決策電路2電性連接，且或閘34接收第二處理訊號 $PR2$ 及轉態訊號 $PT$ ，進行或(OR)運算，以輸出相位時脈 $PRCK$ ，其中相位時脈 $PRCK$ 即作為一回復時脈 $RCK$ ，或再經由一突波去除器去除相位時脈 $PRCK$ 中之突波，以輸出回復時脈 $RCK$ ，但不以此為限。需注意的是，一般電子元件所需

第9頁，共18頁(發明說明書)

之時脈，僅要求工作時脈之上升緣週期穩定即已足夠。由圖6所示回復時脈*RCK*之脈波相位可知，其上升緣及下降緣皆具有穩定之週期，且工作週期(Duty cycle)為50%，因此可提供高階電路設計所需之工作時脈，例如第二代雙倍資料率同步動態隨機存取記憶體(DDR2 SDRAM)需要在工作時脈訊號的上升緣和下降緣皆傳輸資料。

【0025】於另一實施例中，請一併參照圖8及圖9，其中延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。相位旋轉電路3包含一第三互斥或閘31、一第一多工器32以及一第二多工器33。第三互斥或閘31與決策電路2電性連接，且第三互斥或閘31接收I資料訊號*RDT\_I*及Q資料訊號*RDT\_Q*，進行互斥或(XOR)運算，以輸出一相位控制訊號*PC*。第一多工器32與延遲電路1及決策電路2電性連接，且第一多工器32依據決策電路2所輸出之Q資料訊號*RDT\_Q*之邏輯狀態通過延遲電路1所輸出之第一延遲訊號*SI*或第二延遲反相訊號 $\overline{S2}$ ，以輸出一第一處理訊號*PR1*。第二多工器33與第三互斥或閘31及第一多工器32電性連接，且第二多工器33依據第三互斥或閘33所輸出之相位控制訊號*PC*之邏輯狀態反轉第一多工器32所輸出之第一處理訊號*PR1*之相位，以輸出一第二處理訊號*PR2*，其中第二處理訊號*PR2*即為相位旋轉電路3所輸出之相位時脈*PRCK*。較佳者，一第三突波去除器4串連於相位旋轉電路3之輸出端，且第三突波去除器4去除相位時脈中*PRCK*之突波，以輸出一回復時脈*RCK*。由圖9所示回復時脈*RCK*之脈波相位可知，其上升緣具有穩定之週期，讓後級的數位電路取出正確的資料。

【0026】於再一實施例中，請一併參照圖10及圖11，其中延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。相位旋轉電路包含一第三互斥或閘31、一第一多工器32、一第二多工器33以及一反或閘35。第三互斥或閘31與決策電路2電性連接，且第三互斥

或閘31接收I資料訊號 $RDT\_I$ 及Q資料訊號 $RDT\_Q$ ，進行互斥或(XOR)運算，以輸出一相位控制訊號 $PC$ 。第一多工器32與延遲電路1及決策電路2電性連接，且第一多工器32依據決策電路2所輸出之Q資料訊號 $RDT\_Q$ 之邏輯狀態通過蝴蝶結四相移鍵控訊號 $BQPSK$ 或延遲電路1所輸出之第一延遲訊號 $SI$ ，以輸出一第一處理訊號 $PR1$ 。第二多工器33與第三互斥或閘31及第一多工器32電性連接，且第二多工器33依據第三互斥或閘31所輸出之相位控制訊號 $PC$ 之邏輯狀態反轉第一多工器32所輸出之第一處理訊號 $PR1$ 之相位，以輸出一第二處理訊號 $PR2$ 。反或閘35與第二多工器33及決策電路2電性連接，且反或閘35接收第二處理訊號 $PR2$ 及轉態訊號 $PT$ ，進行反或(NOR)運算，以輸出一相位時脈 $PRCK$ ，其中相位時脈 $PRCK$ 即作為一回復時脈 $RCK$ ，或再經由一突波去除器去除相位時脈 $PRCK$ 中之突波，以輸出回復時脈 $RCK$ ，但不以此為限。由圖11所示回復時脈 $RCK$ 之脈波相位可知，其上升緣具有穩定之週期，讓後級的數位電路取出正確的資料。

【0027】本領域中具有通常知識者應可辨認許多本發明之變化、修改以及置換等。舉例而言，上述第一多工器或第二多工器，可被置換為一互斥或閘、一類比乘法器、一混波器或一吉伯單元等，但不以此為限。

【0028】應當注意的是，於上述諸實施例所描述之部分特徵為選擇性的，且可依據不同的電路設計與應用來使用。雖然這些特徵分別陳述於不同之實施例中，例如圖3所示之相位旋轉電路3、圖4所示之第一突波去除器25及第二突波去除器26、以及圖8所示之第三突波去除器4，但其可分開或結合應用。

【0029】綜合上述，本發明之蝴蝶結四相移鍵控解調變器，其是利用一延遲電路(即延遲線)以延遲一蝴蝶結四相移鍵控訊號，將其與未延遲的蝴蝶結四相移鍵控訊號混合，以解調輸出一組IQ資料訊號。同時利用一相位旋轉電路，藉由IQ資料訊號以解出一回復時脈。



【0030】請參照圖8所示之一實施例，進一步說明蝴蝶結四相移鍵控解調變器在特定延遲時間範圍內均可實施： $TD = TD1 + TD2$ ， $0.125T \leq TD1 \leq 0.375T$ ， $0.125T \leq TD2 < 0.5T$ ，且 $0.375T < TD1 + TD2 < 0.625T$ ，其中 $TD1$ 為第一延遲時間， $TD2$ 為第二延遲時間， $TD$ 為總計延遲時間，且 $T$ 為蝴蝶結四相移鍵控訊號之載波週期。首先，請一併參照圖12至13，顯示延遲電路之總計延遲時間 $TD = 0.376T$ 之時序圖，以例示說明 $0.375T < TD$ 之實施態樣。請參照圖12，以例示說明第一延遲時間等於其下限值 $TD1 = 0.125T$ 且第二延遲時間 $TD2 = 0.251T$ 之時序圖。同理，請參照圖13，以例示說明第二延遲時間等於其下限值 $TD2 = 0.125T$ 且第一延遲時間 $TD1 = 0.251T$ 之時序圖。由圖12及圖13所示之時序圖可知，蝴蝶結四相移鍵控解調變器所還原之I資料訊號 $RDT_I$ 及Q資料訊號 $RDT_Q$ 與未經調變前之原始資料訊號 $DT$ 為彼此相同。

【0031】依此類推，請一併參照圖14及圖15，顯示延遲電路之總計延遲時間 $TD = 0.624T$ 之時序圖，以例示說明 $TD < 0.625T$ 之實施態樣。請參照圖14，以例示說明第一延遲時間等於其下限值 $TD1 = 0.125T$ 且第二延遲時間逼近其上限值 $TD2 = 0.499T$ 之時序圖。同理，請參照圖15，以例示說明第一延遲時間等於其上限值 $TD1 = 0.375T$ 且第二延遲時間 $TD2 = 0.249T$ 之時序圖。由圖14及圖15所示之時序圖可知，蝴蝶結四相移鍵控解調變器所還原之I資料訊號 $RDT_I$ 及Q資料訊號 $RDT_Q$ 與未經調變前之原始資料訊號 $DT$ 為彼此相同。需說明的是，一般而言，轉態訊號在每一載波週期中僅產生一脈波訊號，惟在極端實施例下，例如圖12至15所示之第A週期以及第B週期中，轉態訊號會在同一週期內產生兩個脈波訊號，但仍只有其中一個脈波可以取得資料變化。其中，圖12及圖13是以第二脈波取得資料變化，而圖14及圖15是以第一脈波取得資料變化。上述取值動作時刻的差異是因為實際實施的蝴蝶結四相移鍵控解調變器電路會因為電路自身的影響使延遲時間略有不同，所以取得資料變化的脈波也不同。

【0032】於一實施例中，蝴蝶結四相移鍵控解調變器中延遲電路之第一延遲時間及第二延遲時間是由一延遲鎖定迴路(Delay-Locked Loop, DLL)來鎖定，且蝴蝶結四相移鍵控解調變器之延遲電路作為延遲鎖定迴路之延遲線。

【0033】於一實施例中，請一併繼續參照圖16至圖18，一蝴蝶結四相移鍵控解調變器包含一延遲電路1、一決策電路2、一相位旋轉電路3、一相位偵測器5、一第一控制器6以及一控制時脈產生器7。其中，延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。如圖17所示，時脈控制產生器7包含一第二控制器71以及一反及閘72，用以輸出一控制時脈訊號*CCKI*至第一控制器6。其中，第二控制器71，接收回復時脈*RCK*，計數回復時脈*RCK*歷經*N*個週期後，使所輸出的第一控制訊號*NI*變為零，如圖18之時序圖所示。反及閘72與第二控制器71電性連接，且反及閘72接收第一控制訊號*NI*及回復時脈*RCK*，加以進行反及(NAND)運算，以輸出一控制時脈訊號*CCKI*至第一控制器6。因此，第一控制器6利用蝴蝶結四相移鍵控訊號*BQPSK*中前面一段*N*位元的訓練資料(training sequence)來鎖定延遲電路1，其中*N*為自然數。如果第一控制器6之調整範圍是五位元，若是以逐漸逼近收尋法(Successive approximation)，最多五個週期就能達到鎖定，鎖定後將延遲鎖定迴路關閉。於一實施例中，控制時脈產生器7之第二控制器71當*N*個週期後就會將延遲電路回到開迴路，藉此達到對抗製程變異之效果。請一併參照圖16及圖18，第一控制器6僅在一開始的幾個週期追鎖，之後就不動作。其他電路操作原理已如前述，此即不再贅述。

【0034】須說明的是，於圖16所示之實施例中，其中延遲鎖定迴路之控制器係採用前景式校正，藉由蝴蝶結四相移鍵控訊號*BQPSK*中前面一小段訓練資料以鎖定延遲電路為具有正確之延遲時間。但本發明之另一實施例之蝴蝶結四相移鍵控解調變器，其延遲鎖定迴路之控制器亦可採用背景式校正，即資料開

第 13 頁，共 18 頁(發明說明書)

始傳輸後，延遲鎖定迴路仍會持續鎖定延遲電路為具有正確之延遲時間，進一步說明其操作原理及技術效果如下。

【0035】於一實施例中，請一併參照圖19至圖22，一蝴蝶結四相移鍵控解調變器包含一延遲電路1、一決策電路2、一相位旋轉電路3、一致能窗口電路8、一非同步相位偵測器9以及一第三控制器10。其中，延遲電路1、決策電路2以及相位旋轉電路3各元件間之連接關係及其操作原理，已如前述，在此不再贅述。致能窗口電路8與決策電路2及相位旋轉電路3電性連接，且致能窗口電路8依據轉態訊號 $PT$ 之邏輯狀態輸出一致能窗口訊號 $EW$ 。非同步相位偵測器9與致能窗口電路8及延遲電路1電性連接，且非同步相位偵測器9依據致能窗口訊號 $EW$ 之邏輯狀態輸出一第二比較訊號 $PD2$ 以及一非同步控制時脈訊號 $CCK2$ 。第三控制器10與非同步相位偵測器9及延遲電路1電性連接，且第三控制器10依據第二比較訊號 $PD2$ ，控制第一延遲時間 $TD1$ 及第二延遲時間 $TD2$ 。在資料開始傳送後，仍以背景式執行鎖定，藉此達到對抗製程、電壓和溫度變異，以及提高電路可靠度之技術效果。

【0036】可以理解的是，因為蝴蝶結四相移鍵控訊號 $BQPSK$ 在不同資料之間轉換時(例如 $10 \rightarrow 11$ ， $11 \rightarrow 01$ 等)會產生90度的相位翻轉，使傳統的相位偵測器錯誤追鎖。因此，圖19所示實施例之蝴蝶結四相移鍵控解調變器更可透過致能窗口電路8及非同步相位偵測器9來控制鎖定過程，每當蝴蝶結四相移鍵控訊號 $BQPSK$ 之相位改變時則不讓第三控制器10改變控制碼，藉此防止錯誤鎖定。亦即，每當資料轉換時，致能窗口電路8即產生一致能窗口訊號 $EW$ 。當致能窗口訊號為邏輯1，則非同步相位偵測器9即被重置(Reset)，且非同步相位偵測器9將不產生非同步控制時脈訊號 $CCK2$ ，因此第三控制器10不會改變狀態，藉此防止錯誤鎖定；當沒有資料轉換時，非同步相位偵測器9持續追蹤蝴蝶結四相移鍵控訊號 $BQPSK$ 和第二延遲反相訊號 $\overline{S2}$ 的下降緣是否對齊，以背景式執行鎖定。

【0037】總體而言，本發明至少具有以下優點：

1. 絕對穩定。延遲電路是開迴路，沒有穩定度的問題。
2. 高資料率。由於上述電路架構絕對穩定，其資料率最高可達蝴蝶結四相移鍵控訊號之最快傳送速度。
3. 低功耗。相較於傳統的四相移鍵控解調變器，本發明不需使用耗電的類比數位轉換器和正交振盪器。
4. 電路架構簡易。簡易之電路架構於數位或類比電路皆可實施。
5. 低供應電壓。在無線功率傳輸系統，接收端電路所需的供應電壓準位越低，越容易增加傳輸距離，以提升應用範圍。若以數位電路實現，可降低供應電壓，更能同時大幅減低動態功率消耗和靜態功率消耗。
6. 小面積。電路佈局可不需要低頻濾波器，減少被動元件使用。
7. 回復時脈工作週期可為50%。蝴蝶結四相移鍵控解調變器所輸出之載波時脈可以供其他電路使用，對於雙邊緣觸發的數位電路、DRAM等電路，50%的工作週期是很重要的。
8. 對抗製程、電壓及溫度變異(PVT)的能力。延遲電路可以利用延遲鎖定迴路控制，當鎖定時，能對抗PVT變異，提升電路可靠度。

【0038】綜合上述，本發明之蝴蝶結四相移鍵控解調變器，其是利用一延遲電路以延遲一蝴蝶結四相移鍵控訊號，將其與未延遲的蝴蝶結四相移鍵控訊號混合，以輸出一組IQ資料訊號，同時利用一相位旋轉電路，藉由該組IQ資料訊號以解出一回復時脈。延遲電路是開迴路，因此無需額外複雜之電路解決穩定度。由於上述電路架構絕對穩定，其資料率最高可達蝴蝶結四相移鍵控訊號之最快傳送速度，可大幅減少功率消耗，且於數位或類比電路皆可實施。此外，

搭配延遲鎖定迴路藉由前景式或背景式執行鎖定，可以達到對抗製程、電壓和溫度變異，以及提高電路可靠度之技術效果。

【0039】 以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

### 【符號說明】

#### 【0040】

1	延遲電路
10	第三控制器
11	第一延遲單元
12	第二延遲單元
2	決策電路
21	第一互斥或閘
22	第二互斥或閘
23	第一正反器
24	第二正反器
25	第一突波去除器
26	第二突波去除器
3	相位旋轉電路
31	第三互斥或閘
32	第一多工器

33	第二多工器
34	或閘
35	反或閘
4	第三突波去除器
5	相位偵測器
6	第一控制器
7	控制時脈產生器
71	第二控制器
72	反及閘
8	致能窗口電路
9	非同步相位偵測器
<i>CCK1</i>	控制時脈訊號
<i>CCK2</i>	非同步控制時脈訊號
<i>DC1</i>	第一外差訊號
<i>DC2</i>	第二外差訊號
<i>DT</i>	原始資料訊號
<i>DI</i>	資料資訊訊號
<i>EW</i>	致能窗口訊號
<i>NI</i>	第一控制訊號
<i>BQPSK</i>	蝴蝶結四相移鍵控訊號
<i>PC</i>	相位控制訊號
<i>PDI</i>	第一比較訊號
<i>PD2</i>	第二比較訊號
<i>PR1</i>	第一處理訊號

<i>PR2</i>	第二處理訊號
<i>PRCK</i>	相位時脈
<i>PT</i>	轉態訊號
<i>RCK</i>	回復時脈
<i>RDT_I</i>	I資料訊號
<i>RDT_Q</i>	Q資料訊號
<i>S1</i>	第一延遲訊號
<i>S2</i>	第二延遲訊號
$\overline{S2}$	第二延遲反相訊號
<i>T</i>	蝴蝶結四相移鍵控訊號之載波週期
<i>TD</i>	總計延遲時間
<i>TD1</i>	第一延遲時間
<i>TD2</i>	第二延遲時間

## 【發明申請專利範圍】

【第1項】 一種蝴蝶結四相移鍵控解調變器，包含：

一延遲電路，用以接收一蝴蝶結四相移鍵控訊號，並使該蝴蝶結四相移鍵控訊號延遲一第一延遲時間，以輸出一第一延遲訊號；以及使該蝴蝶結四相移鍵控訊號延遲一總計延遲時間，以輸出一第二延遲訊號或一第二延遲反相訊號，其中第二延遲反相訊號與第二延遲訊號彼此反相；以及

一決策電路，與該延遲電路電性連接，用以混合該蝴蝶結四相移鍵控訊號及該第二延遲訊號或該第二延遲反相訊號以產生一第一外差訊號，並依據該第一外差訊號取樣該蝴蝶結四相移鍵控訊號，以輸出該蝴蝶結四相移鍵控訊號中之一I資料訊號；以及混合該第一延遲訊號及該蝴蝶結四相移鍵控訊號以產生一第二外差訊號，並依據該第一外差訊號取樣該第二外差訊號，以輸出該蝴蝶結四相移鍵控訊號中之一Q資料訊號。

【第2項】 如請求項1所述之蝴蝶結四相移鍵控解調變器，其中該第一延遲時間及該總計延遲時間符合以下之關係式：

$$0.125T \leq TD1 \leq 0.375T, 0.375T < TD < 0.625T, \text{ 且 } 0.125T \leq TD - TD1 < 0.5T,$$

其中 $TD$ 為該總計延遲時間， $TD1$ 為該第一延遲時間， $T$ 為該蝴蝶結四相移鍵控訊號之載波週期。

【第3項】 如請求項1所述之蝴蝶結四相移鍵控解調變器，其中該決策電路包含：



一第一互斥或閘，與該延遲電路電性連接，用以混合該蝴蝶結四相移鍵控訊號及該第二延遲訊號，以輸出該第一外差訊號，該第一外差訊號的布林函數為：

$DC1 = BQPSK \oplus S2$ ，其中 $DC1$ 為該第一外差訊號， $BQPSK$ 為該蝴蝶結四相移鍵控訊號， $S2$ 為該第二延遲訊號；

一第二互斥或閘，與該延遲電路電性連接，用以混合該蝴蝶結四相移鍵控訊號及該第一延遲訊號，以輸出該第二外差訊號，該第二外差訊號的布林函數為：

$DC2 = BQPSK \oplus S1$ ，其中 $DC2$ 為該第二外差訊號， $BQPSK$ 為該蝴蝶結四相移鍵控訊號， $S1$ 為該第一延遲訊號；

一第一正反器，與該第一互斥或閘電性連接，用以依據該第一外差訊號的上升緣取樣該蝴蝶結四相移鍵控訊號，以輸出該蝴蝶結四相移鍵控訊號中之該I資料訊號；以及

一第二正反器，與該第一互斥或閘及該第二互斥或閘電性連接，用以依據該第一外差訊號的下降緣取樣該第二外差訊號，以輸出該蝴蝶結四相移鍵控訊號中之該Q資料訊號。

【第4項】如請求項3所述之蝴蝶結四相移鍵控解調變器，其中該決策電路更包含：

一第一突波去除器，串聯於該第一互斥或閘及該第一正反器之間，用以去除該第一外差訊號中之突波，以輸出一轉態訊號，其中該第一正反器依據該轉態訊號的上升緣取樣該蝴蝶結四相移鍵控訊號；以及

一第二突波去除器，串聯於該第二互斥或閘以及該第二正反器之間，用以去除該第二外差訊號中之突波，以輸出一資料資訊

訊號，其中該第二正反器依據該轉態訊號的下降緣取樣該資料資訊訊號。

【第5項】如請求項1所述之蝴蝶結四相移鍵控解調變器，其中該決策電路包含：

一第三互斥或閘，與該延遲電路電性連接，用以混合該蝴蝶結四相移鍵控訊號及該第二延遲反相訊號，以輸出該第三外差訊號；該第三外差訊號的布林函數為：

$DC3 = BQPSK \oplus \overline{S2}$ ，其中 $DC3$ 為該第三外差訊號， $BQPSK$ 為該蝴蝶結四相移鍵控訊號， $\overline{S2}$ 為該第二延遲反相訊號，且第二延遲反相訊號 $\overline{S2}$ 與第二延遲訊號 $S2$ 彼此反相；

一第二互斥或閘，與該延遲電路電性連接，用以混合該蝴蝶結四相移鍵控訊號及該第一延遲訊號，以輸出該第二外差訊號；該第二外差訊號的布林函數為：

$DC2 = BQPSK \oplus S1$ ，其中 $DC2$ 為該第二外差訊號， $BQPSK$ 為該蝴蝶結四相移鍵控訊號， $S1$ 為該第一延遲訊號；

一第一正反器，與該第一互斥或閘電性連接，用以依據該第一外差訊號的下降緣取樣該蝴蝶結四相移鍵控訊號，以輸出該蝴蝶結四相移鍵控訊號中之該I資料訊號；以及

一第二正反器，與該第一互斥或閘及該第二互斥或閘電性連接，用以依據該第一外差訊號的上升緣取樣該第二外差訊號，以輸出該蝴蝶結四相移鍵控訊號中之該Q資料訊號。

【第6項】如請求項5所述之蝴蝶結四相移鍵控解調變器，其中該決策電路更包含：

一第一突波去除器，串聯於該第一互斥或閘及該第一正反器之間，用以去除該第一外差訊號中之突波，以輸出一轉態訊號，其中該第一正反器依據該轉態訊號的下降緣取樣該蝴蝶結四相移鍵控訊號；以及

一第二突波去除器，串聯於該第二互斥或閘以及該第二正反器之間，用以去除該第二外差訊號中之突波，以輸出一資料資訊訊號，其中該第二正反器依據該轉態訊號的上升緣取樣該資料資訊訊號。

【第7項】如請求項1所述之蝴蝶結四相移鍵控解調變器，其中該延遲電路之該第一延遲時間及該總計延遲時間是以一延遲鎖定迴路來鎖定。

【第8項】如請求項7所述之蝴蝶結四相移鍵控解調變器，其中該延遲電路作為該延遲鎖定迴路之延遲線。

【第9項】如請求項7所述之蝴蝶結四相移鍵控解調變器，其中該延遲鎖定迴路包含：

一相位偵測器，用以偵測該蝴蝶結四相移鍵控訊號與該第二延遲訊號間之相位差，以輸出一比較訊號；以及

一第一控制器，與該相位偵測器以及該延遲電路電性連接，用以依據該比較訊號，控制該第一延遲時間及該總計延遲時間。

【第10項】如請求項7所述之蝴蝶結四相移鍵控解調變器，其中該延遲鎖定迴路更包含：

一控制時脈產生器，與該第一控制器電性連接，其包含：

一第二控制器，用以接收該回復時脈，並輸出一第一控制訊號；以及

一反及閘，與該第二控制器電性連接，用以接收該第一控制訊號及該回復時脈，進行反及運算，以輸出一控制時脈訊號至該第一控制器。

【第11項】如請求項1所述之蝴蝶結四相移鍵控解調變器，更包含：

一相位旋轉電路，與該延遲電路及該決策電路電性連接，用以依據該決策電路所輸出之該I資料訊號及該Q資料訊號運算該第一延遲訊號、該第二延遲訊號及該蝴蝶結四相移鍵控訊號至少其中之二，以輸出一相位時脈，其中該相位時脈作為一回復時脈。

【第12項】如請求項11所述之蝴蝶結四相移鍵控解調變器，其中該第一延遲時間及該第二延遲時間符合以下之關係式：

$$0.125T \leq TD1 \leq 0.375T, 0.375T < TD < 0.625T, \text{ 且 } 0.125T \leq TD - TD1 < 0.5T,$$

其中 $TD$ 為該總計延遲時間， $TD1$ 為該第一延遲時間， $T$ 為該蝴蝶結四相移鍵控訊號之載波週期。

【第13項】如請求項11所述之蝴蝶結四相移鍵控解調變器，其中該相位旋轉電路包含：

一第四互斥或閘，與該決策電路電性連接，用以接收該I資料訊號及該Q資料訊號，進行互斥或運算，以輸出一相位控制訊號；

一第一多工器，與該延遲電路及該決策電路電性連接，用以依據該決策電路所輸出之該Q資料訊號之邏輯狀態通過該延遲電路所輸出之該第一延遲訊號或該第二延遲訊號，以輸出一第一處理訊號；以及

一第二多工器，與該第四互斥或閘及該第一多工器電性連接，用以依據該第四互斥或閘所輸出之該相位控制訊號反轉該第一多工器所輸出之該第一處理訊號之相位，以輸出一第二處理訊

第5頁，共8頁(發明申請專利範圍)

號，其中該第二處理訊號作為該相位時脈，該相位旋轉電路的布林函數為：

$$RCK = \overline{(S2 \cdot \overline{RDT\_Q} + S1 \cdot RDT\_Q)} \oplus (RDT\_I \oplus RDT\_Q)$$

其中  $RCK$  為該相位時脈， $S2$  為該第二延遲訊號， $\overline{RDT\_Q}$  為該  $Q$  資料訊號的反相訊號， $S1$  為該第一延遲訊號， $RDT\_Q$  為該  $Q$  資料訊號， $RDT\_I$  為該  $I$  資料訊號。

【第14項】如請求項13所述之蝴蝶結四相移鍵控解調變器，其中該相位旋轉電路更包含：

一或閘，與該第二多工器及該決策電路電性連接，用以接收該第二處理訊號及該第一外差訊號，進行或運算，以輸出該相位時脈，該相位旋轉電路的布林函數為：

$$RCK = \overline{(S2 \cdot \overline{RDT\_Q} + S1 \cdot RDT\_Q)} \oplus (RDT\_I \oplus RDT\_Q) + DCI$$

其中  $RCK$  為該相位時脈， $S2$  為該第二延遲訊號， $\overline{RDT\_Q}$  為該  $Q$  資料訊號的反相訊號， $S1$  為該第一延遲訊號， $RDT\_Q$  為該  $Q$  資料訊號， $RDT\_I$  為該  $I$  資料訊號， $DCI$  為該第一外差訊號。

【第15項】如請求項11所述之蝴蝶結四相移鍵控解調變器，其中該相位旋轉電路包含：

一第四互斥或閘，與該決策電路電性連接，用以接收該  $I$  資料訊號及該  $Q$  資料訊號，進行互斥或運算，以輸出一相位控制訊號；

一第一多工器，與該延遲電路及該決策電路電性連接，用以依據該決策電路所輸出之該  $Q$  資料訊號之邏輯狀態通過該蝴蝶結四相移鍵控訊號或該延遲電路所輸出之該第一延遲訊號，以輸出一第一處理訊號；

一第二多工器，與該第四互斥或閘及該第一多工器電性連接，用以依據該第四互斥或閘所輸出之該相位控制訊號反轉該第一多工器所輸出之該第一處理訊號之相位，以輸出一第二處理訊號；以及

一反或閘，與該第二多工器及該決策電路電性連接，用以接收該第二處理訊號及該第一外差訊號，進行反或運算，以輸出該相位時脈，該相位旋轉電路的布林函數為：

$$RCK = \overline{[(SI \cdot \overline{RDT\_Q} + BQPSK \cdot RDT\_Q) \oplus (RDT\_I \oplus RDT\_Q)] + DCI}$$

其中RCK為該相位時脈，SI為該第一延遲訊號， $\overline{RDT\_Q}$ 為該Q資料訊號的反相訊號，BQPSK為該蝴蝶結四相移鍵控訊號，RDT\_Q為該Q資料訊號，RDT\_I為該I資料訊號，DCI為該第一外差訊號。

【第16項】如請求項11所述之蝴蝶結四相移鍵控解調變器，更包含：

一第三突波去除器，串連於該相位旋轉電路之輸出端，用以去除該相位時脈中之突波，以輸出該回復時脈。

【第17項】如請求項11所述之蝴蝶結四相移鍵控解調變器，其中該延遲電路之該第一延遲時間及該總計延遲時間是以一延遲鎖定迴路來鎖定。

【第18項】如請求項17所述之蝴蝶結四相移鍵控解調變器，其中該延遲電路作為該延遲鎖定迴路之延遲線。

【第19項】如請求項18所述之蝴蝶結四相移鍵控解調變器，其中該決策電路更包含一第一突波去除器，用以去除該第一外差訊號中之突波，以輸出一轉態訊號；且該延遲鎖定迴路包含：

一 致能窗口電路，與該決策電路及該相位旋轉電路電性連接，用以依據該轉態訊號之邏輯狀態輸出一致能窗口訊號；

一 非同步相位偵測器，與該致能窗口電路及該延遲電路電性連接，用以依據該致能窗口訊號之邏輯狀態輸出一第二比較訊號以及一非同步控制時脈訊號；以及

一 第三控制器，與該非同步相位偵測器及該延遲電路電性連接，用以依據該第二比較訊號，控制該第一延遲時間及該總計延遲時間。

【發明圖式】

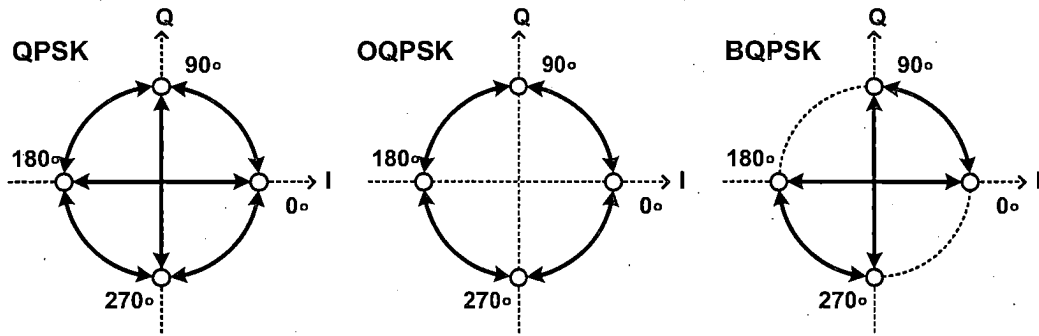


圖 1

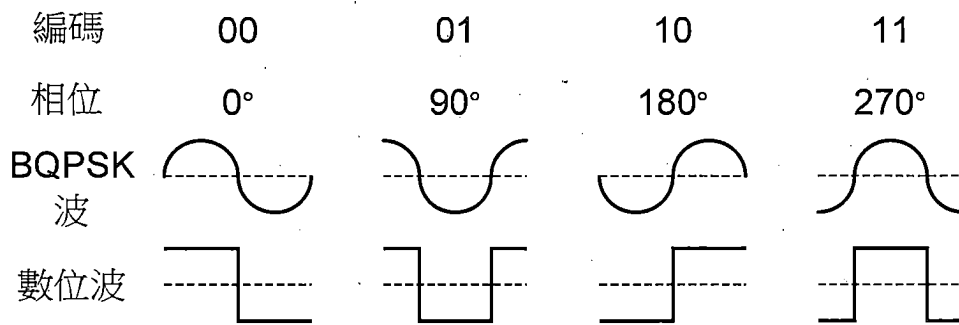


圖 2



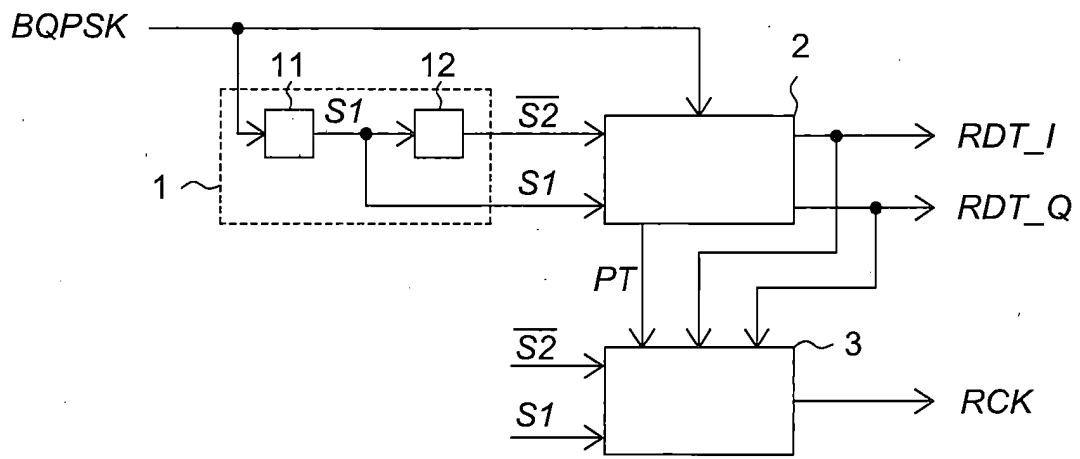


圖3

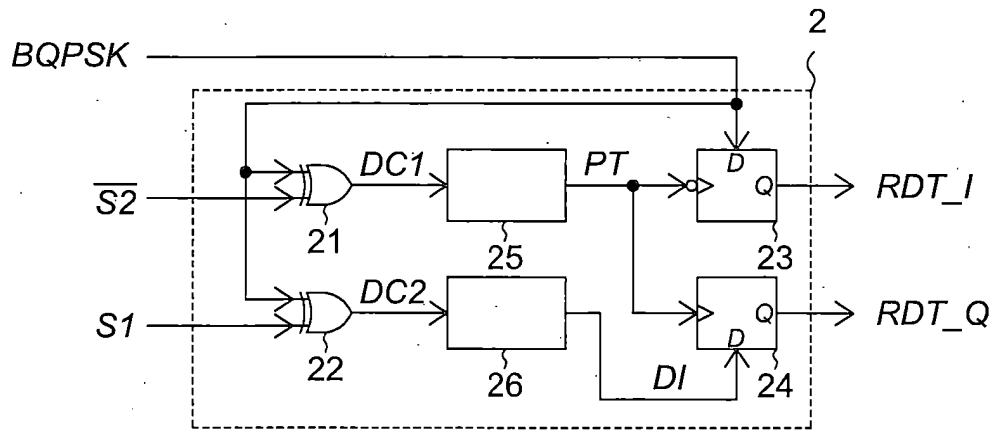


圖4

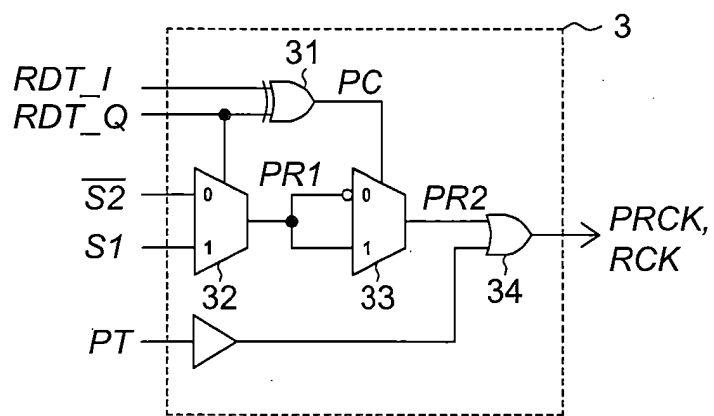


圖5

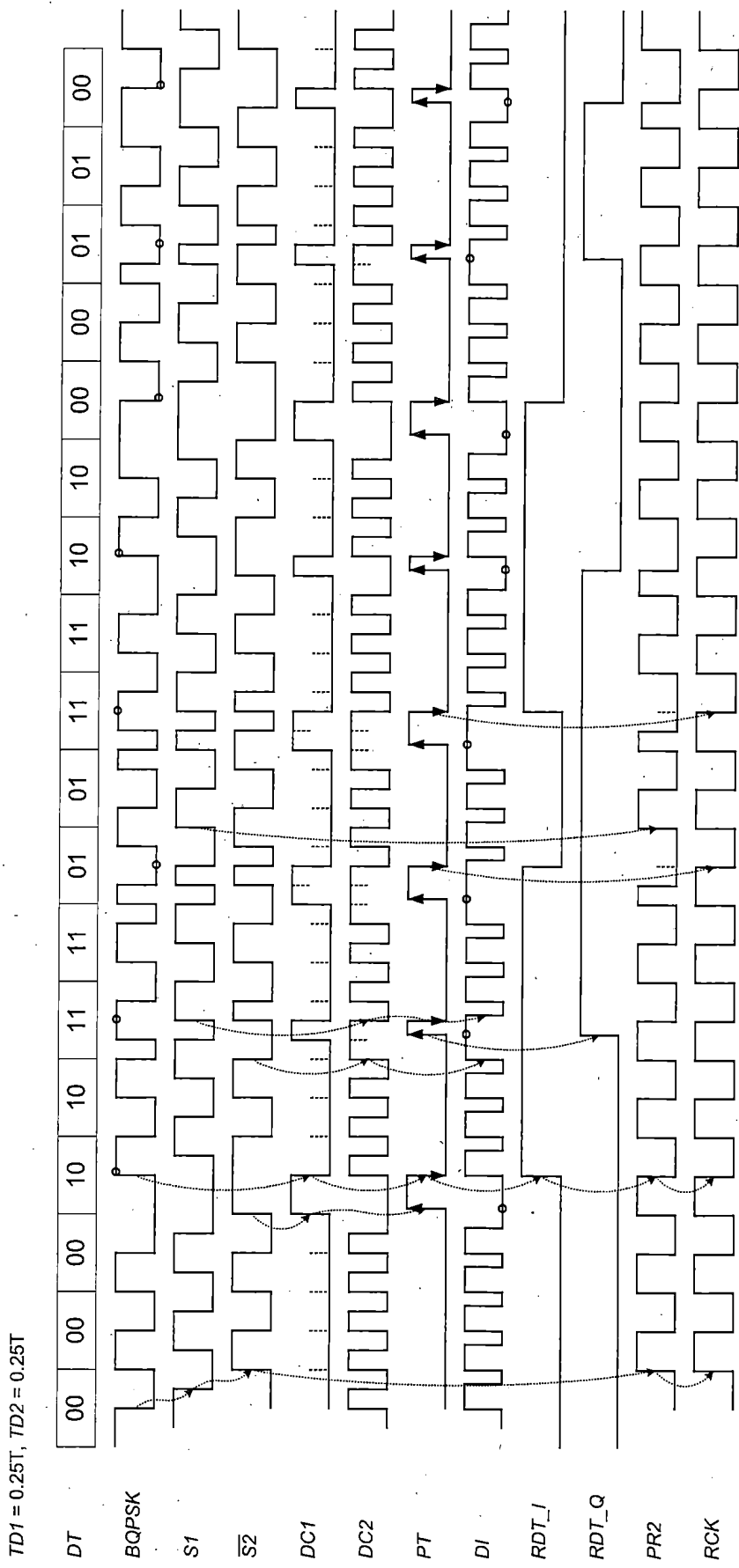


圖 6

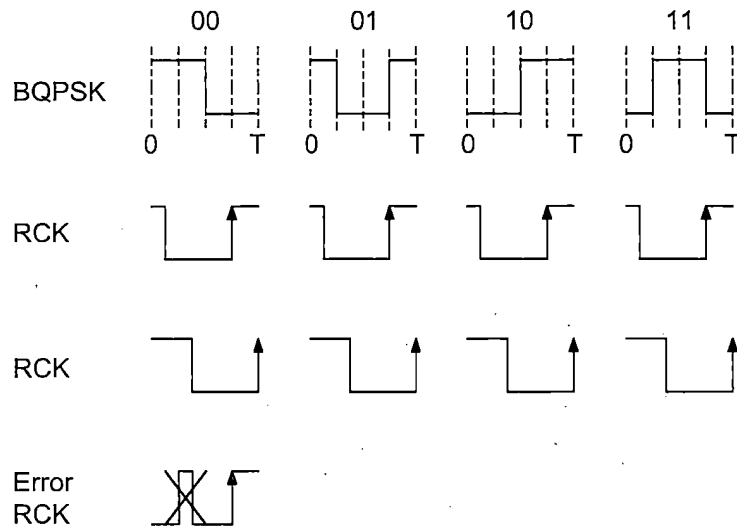


圖7

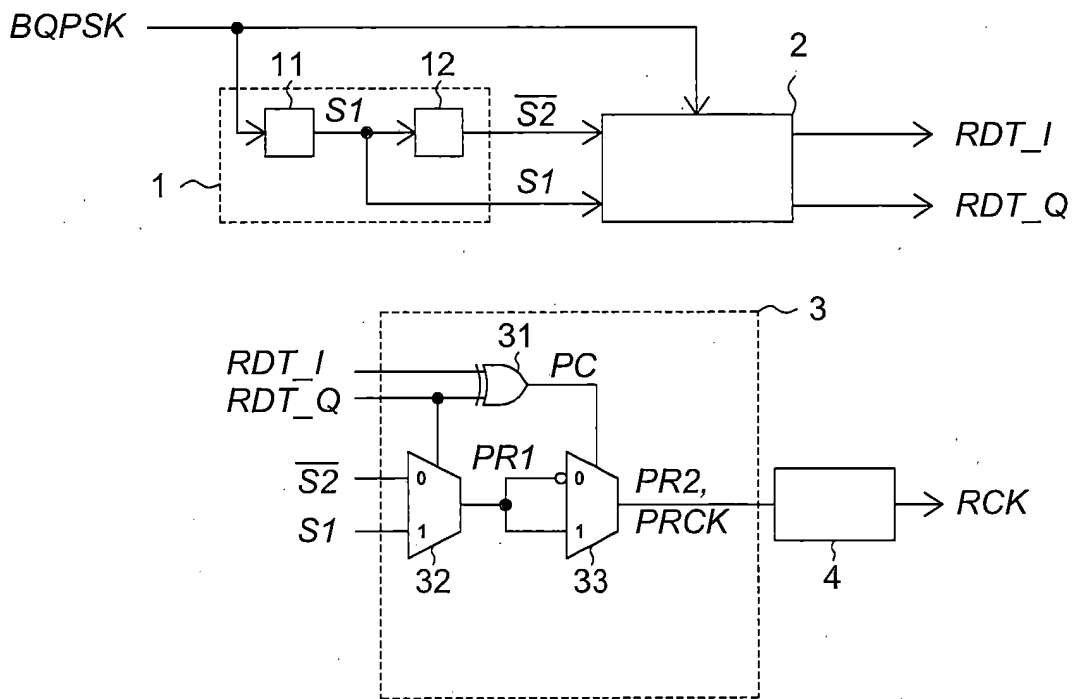


圖8

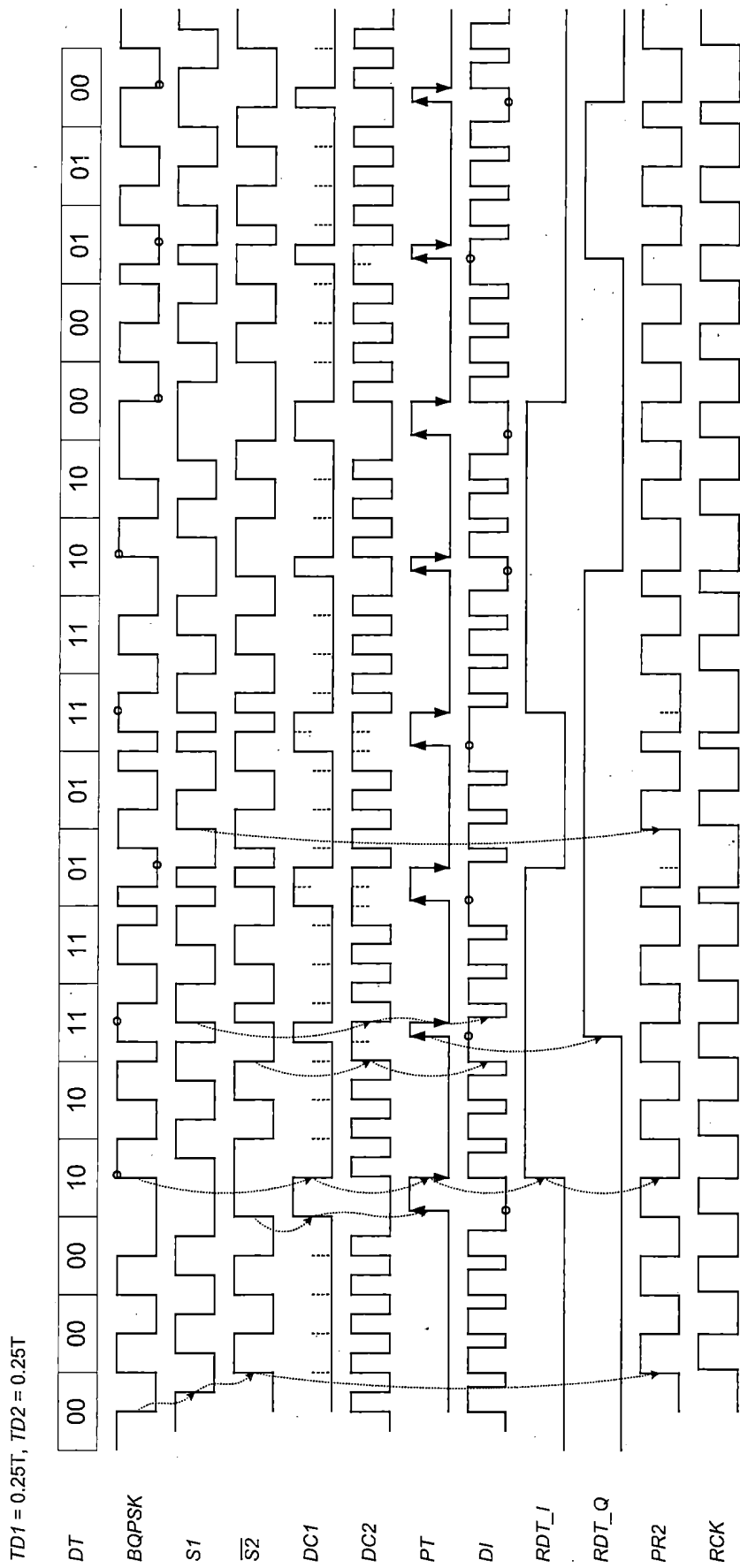


圖9

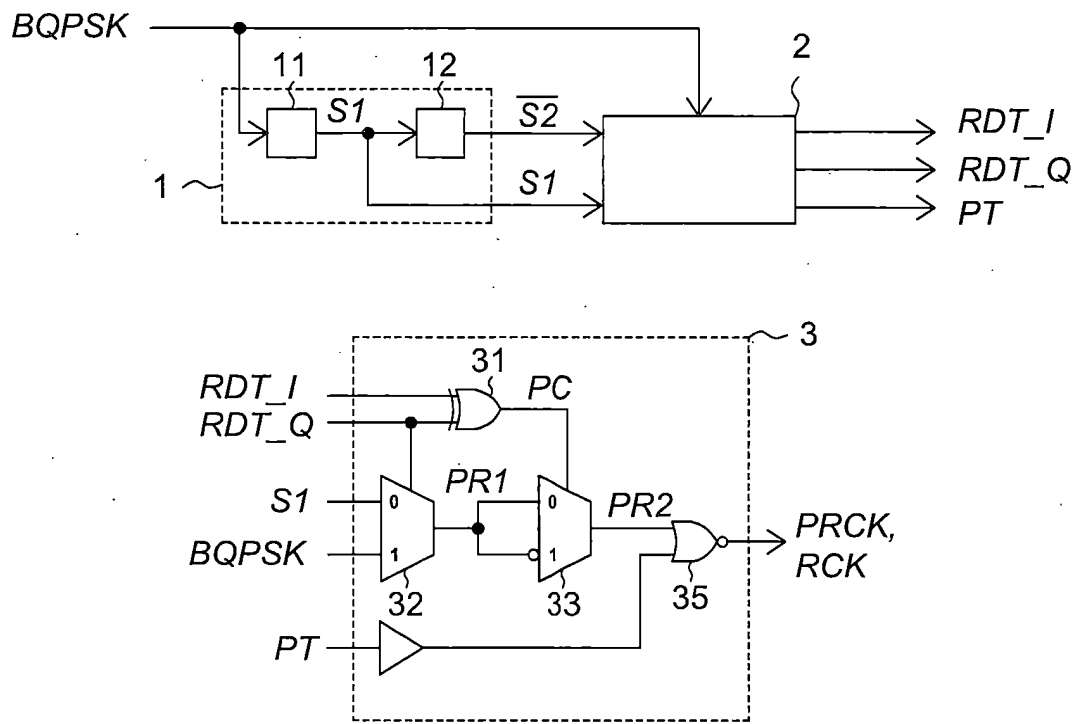


圖10

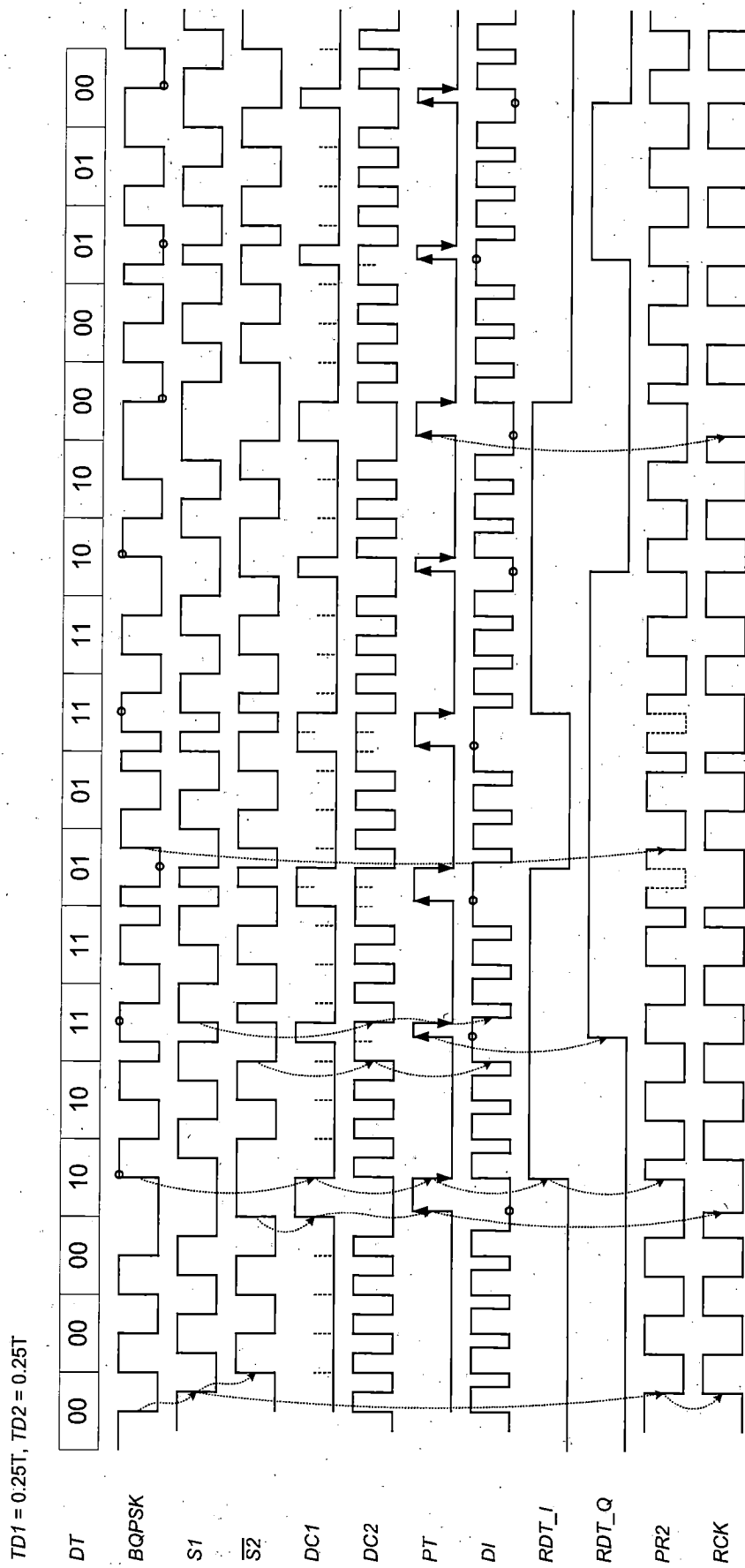


圖 11

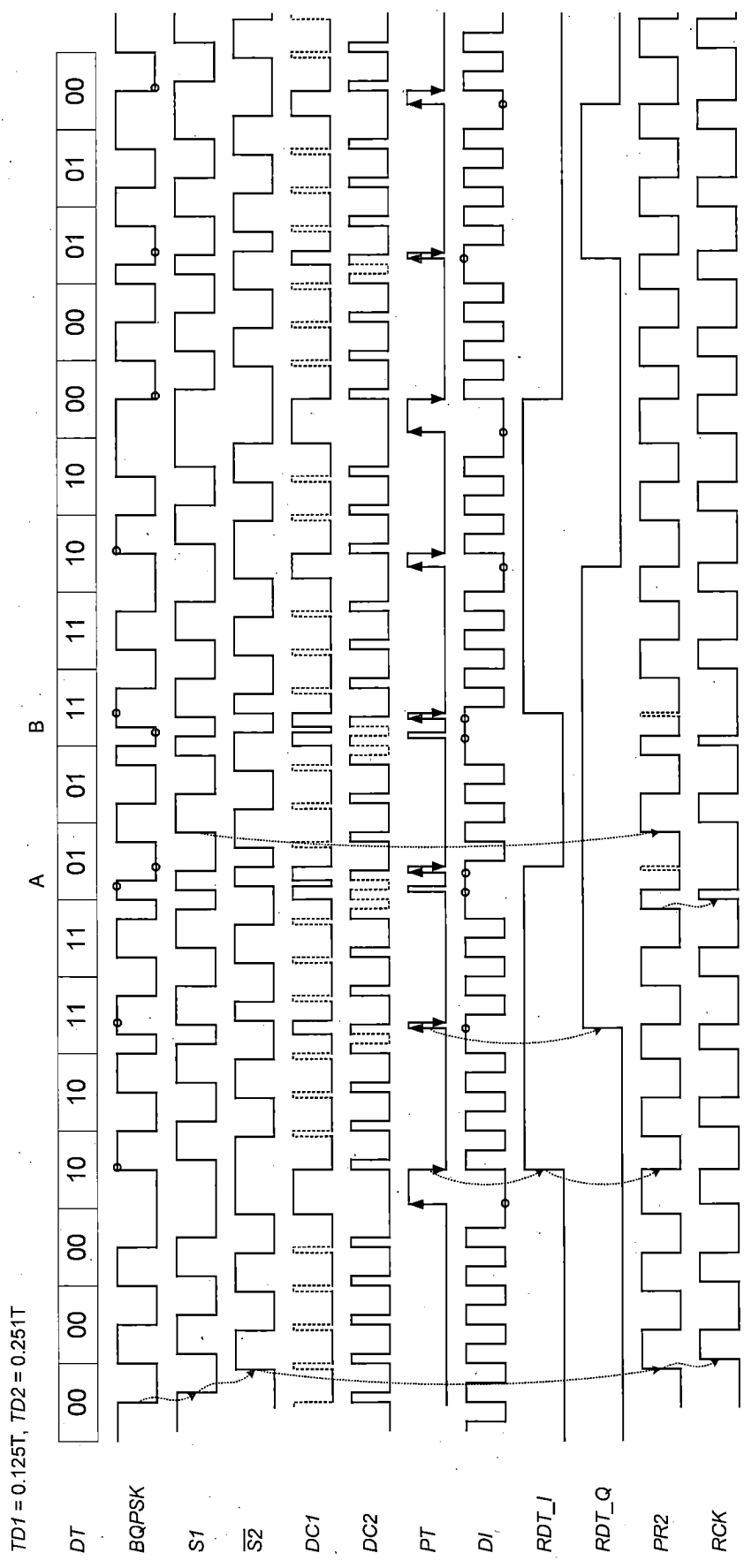


圖 12



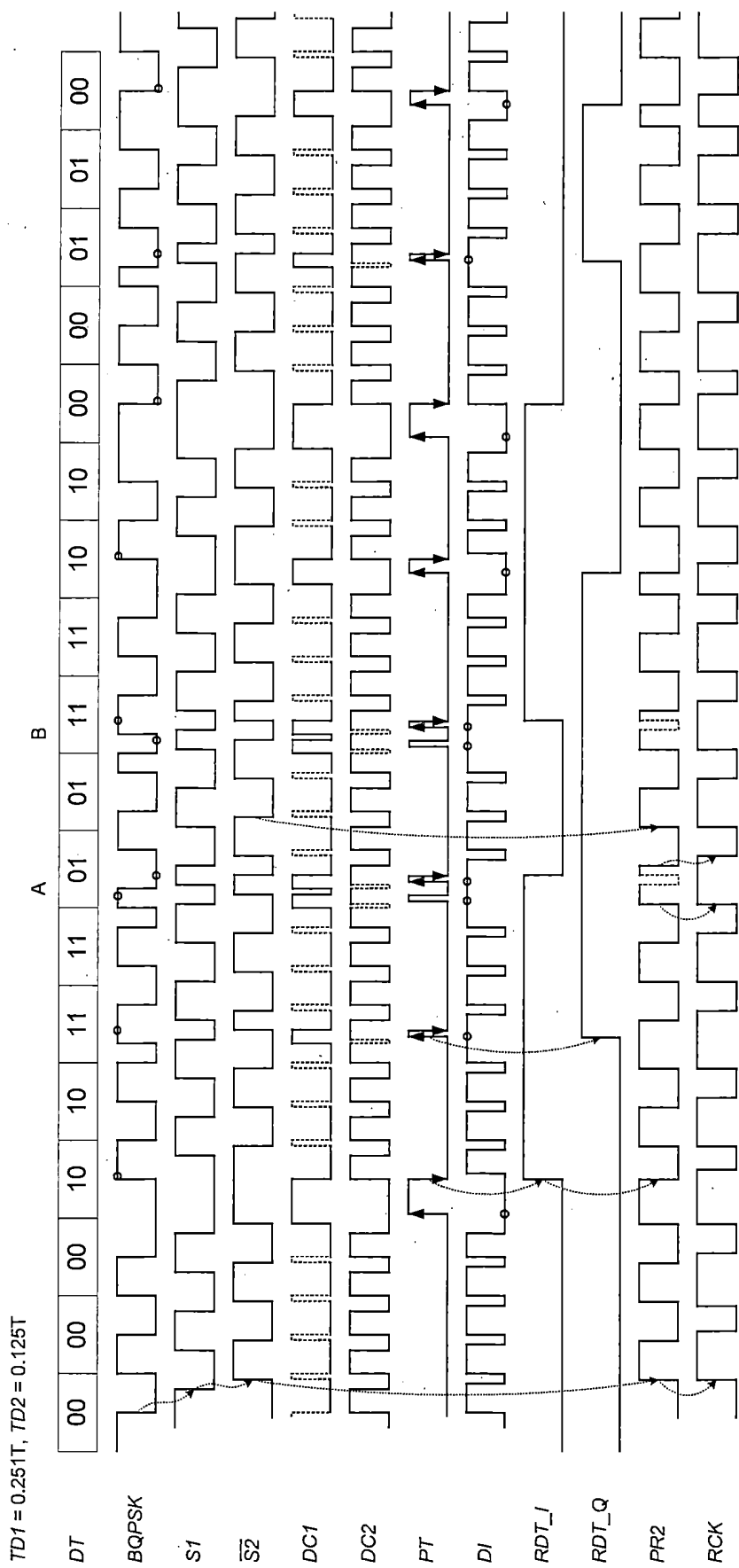


圖 13

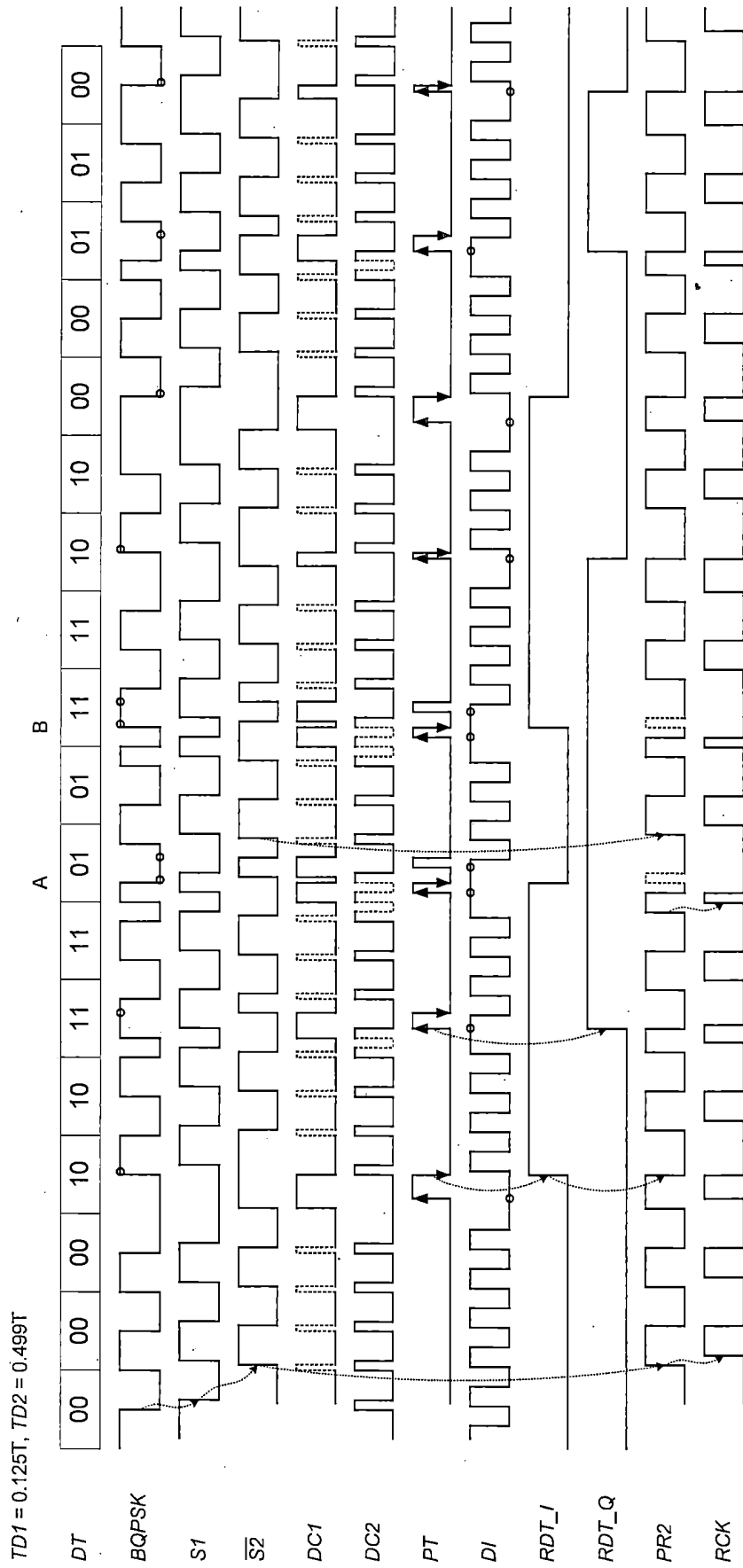


圖 14

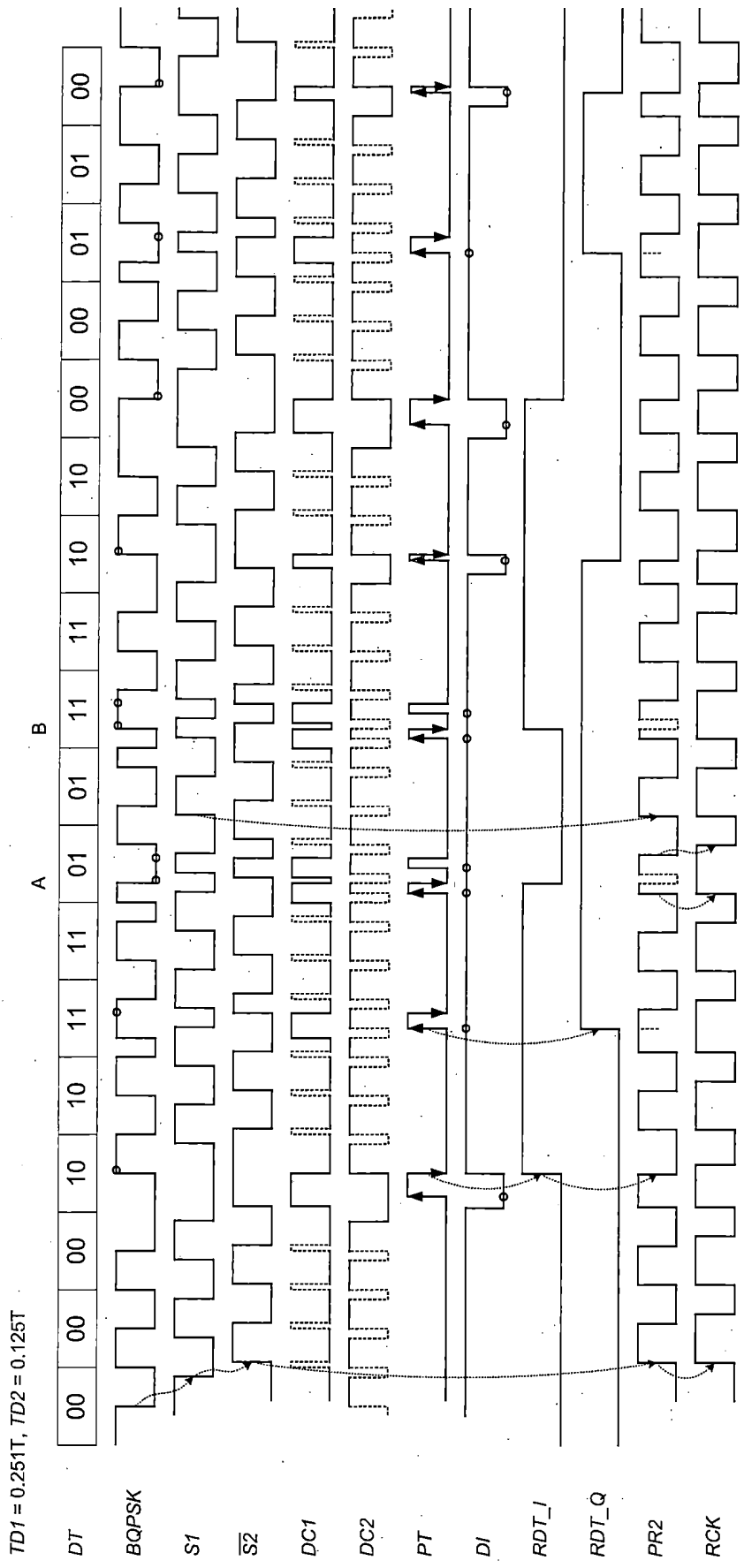


圖 15

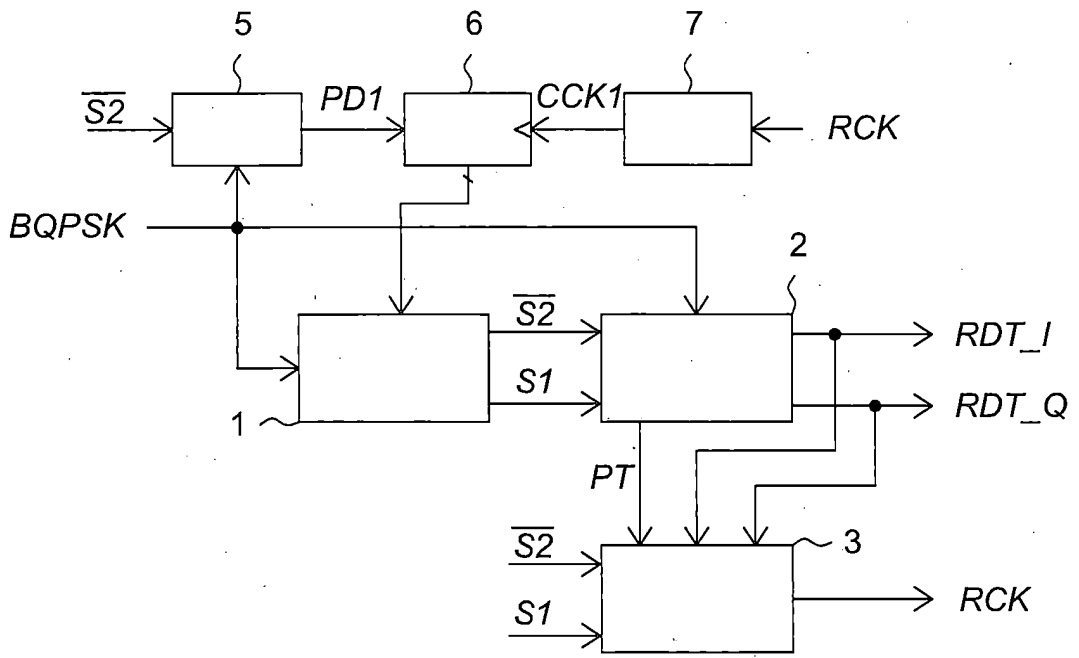


圖16

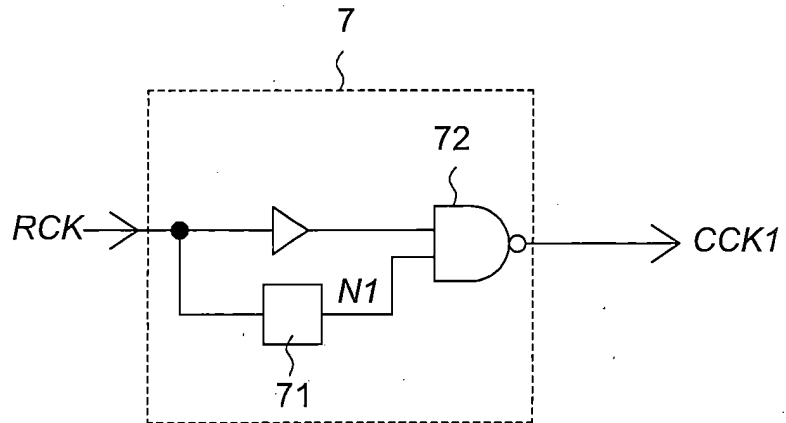


圖17

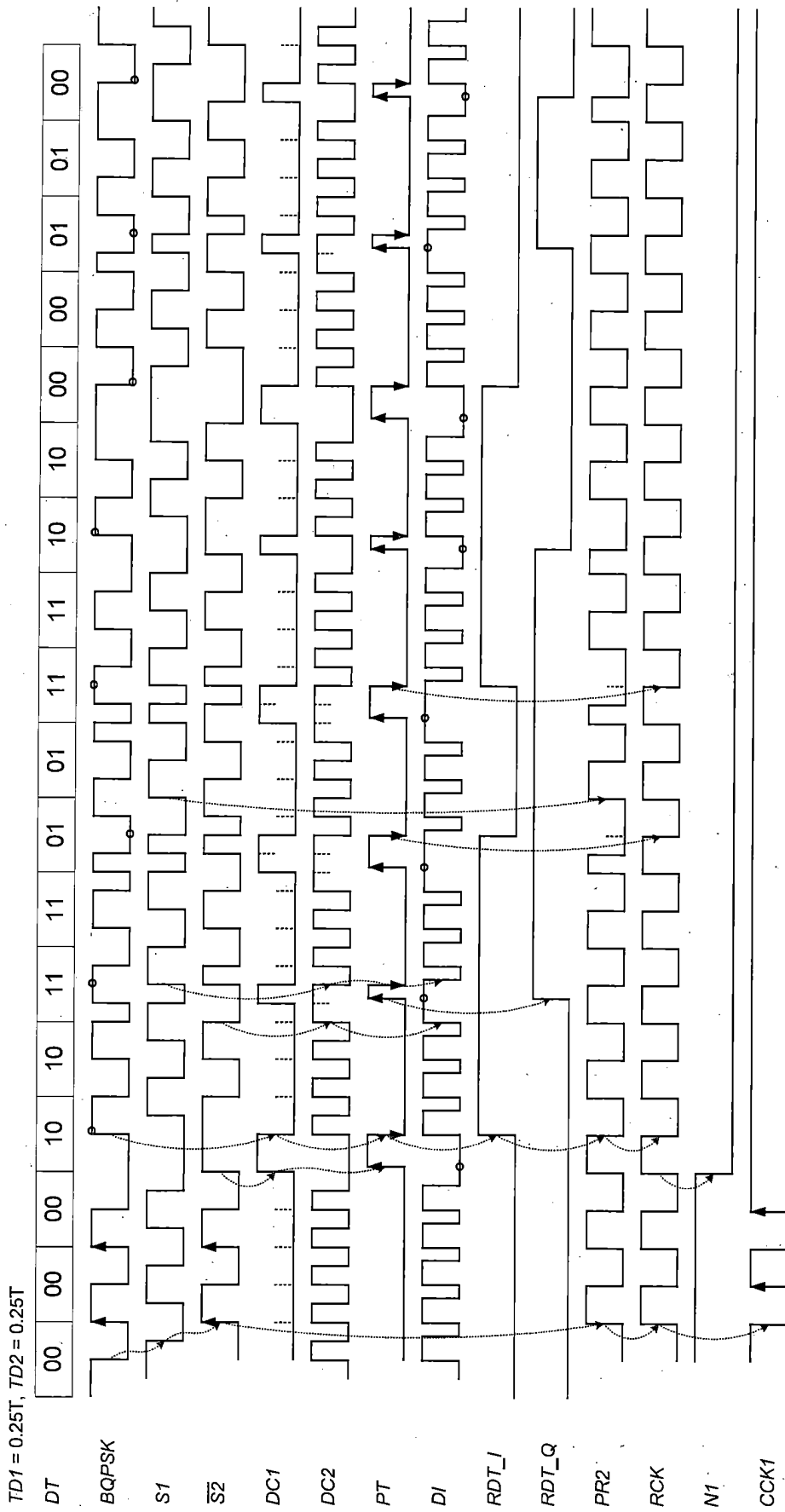


圖 18

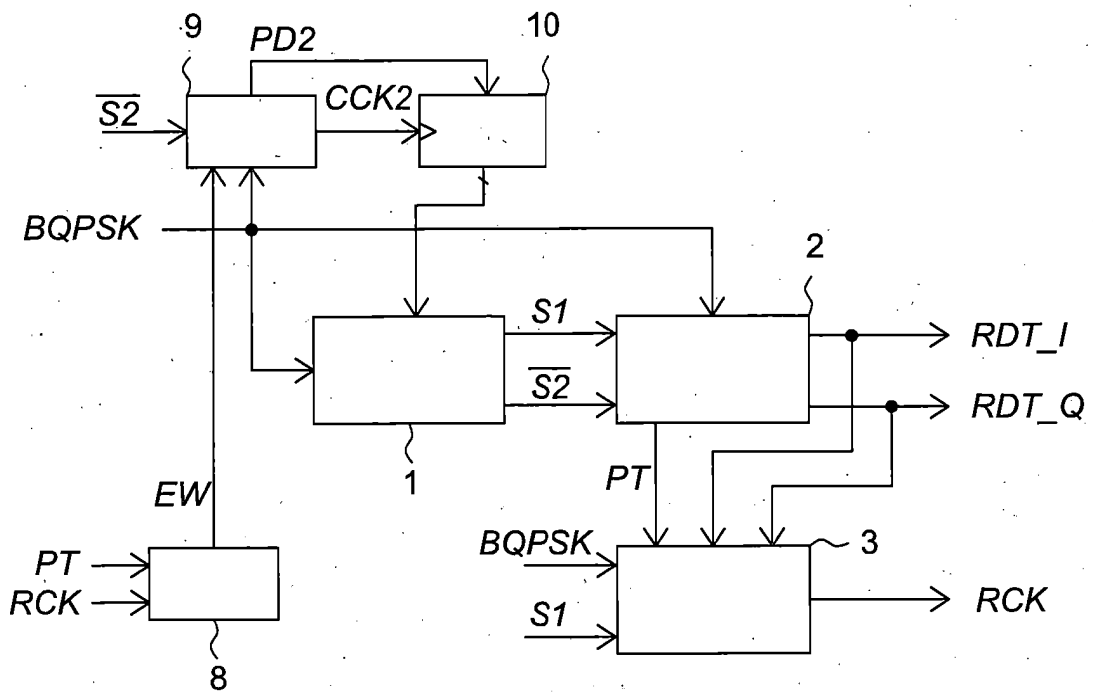


圖19

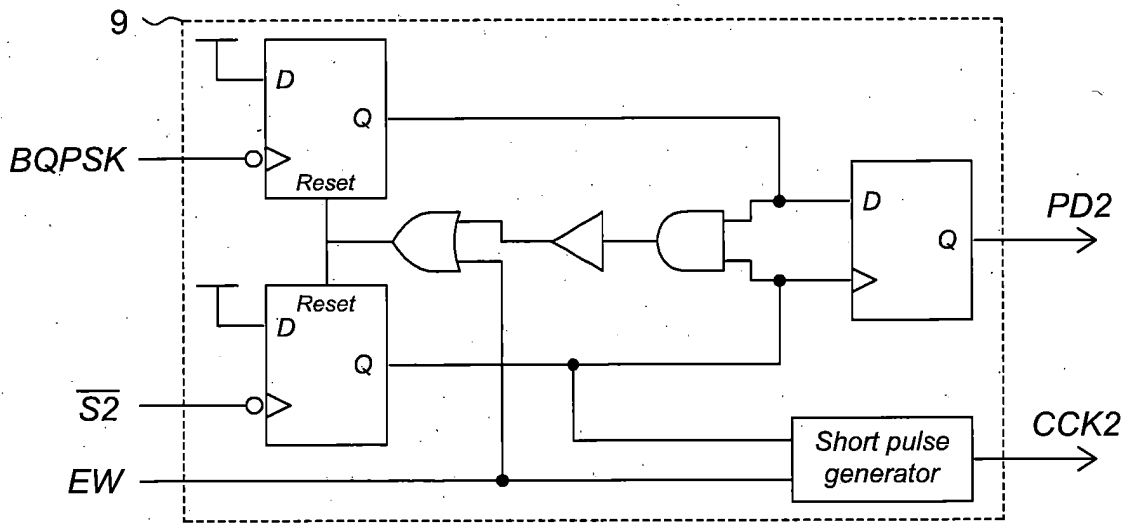


圖20

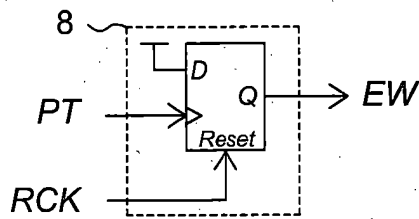


圖21

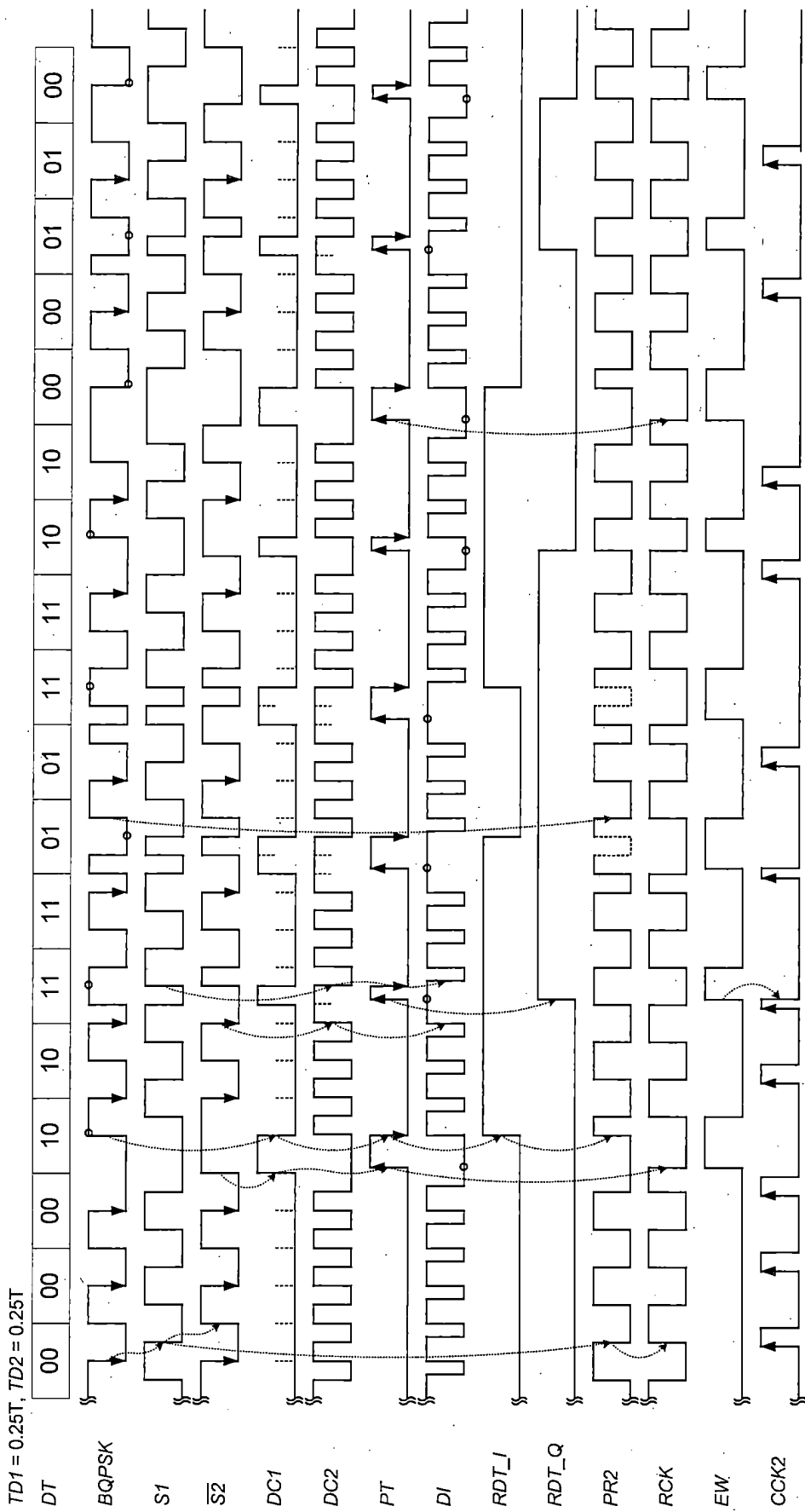


圖 22