



(21) 申請案號：105118616

(22) 申請日：中華民國 105 (2016) 年 06 月 14 日

(51) Int. Cl. : **G01R29/26 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：陳巍仁 CHEN, WEI-ZEN (TW)；郭柏毅 KUO, PO-I (TW)

(74) 代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：15 項 圖式數：10 共 19 頁

(54) 名稱

相位雜訊量測電路

PHASE NOISE MEASUREMENT CIRCUIT

(57) 摘要

一種相位雜訊量測電路，其是利用數位相位轉換器產生 N 個相位時脈訊號，並選擇 N 個相位時脈訊號其中之一，與待量測之一震盪訊號相比較，再透過積分器與比較器之處理，以產生一相位雜訊訊號。其中 N 個相位時脈訊號彼此間具有相同之頻率但不同之相位，而相位雜訊訊號為震盪訊號中相位雜訊經量化後之一數位訊號，且數位訊號包含雜訊頻譜成分以及雜訊功率大小，以供後續量測。

A phase noise measurement circuit is provided, using a digital phase converter to generate N phase clock signals, and selecting one of N phase clock signals to be compared with a resonant signal which is to be measured. Through an integrator and comparator a phase noise signal is generated. Wherein N phase clock signals have the same frequency but different phases with each other, and the phase noise signal is a digital signal with quantization from the phase noise of the resonant signal. The phase noise signal comprises a noise frequency spectrum and a power level for subsequent measurements.

指定代表圖：

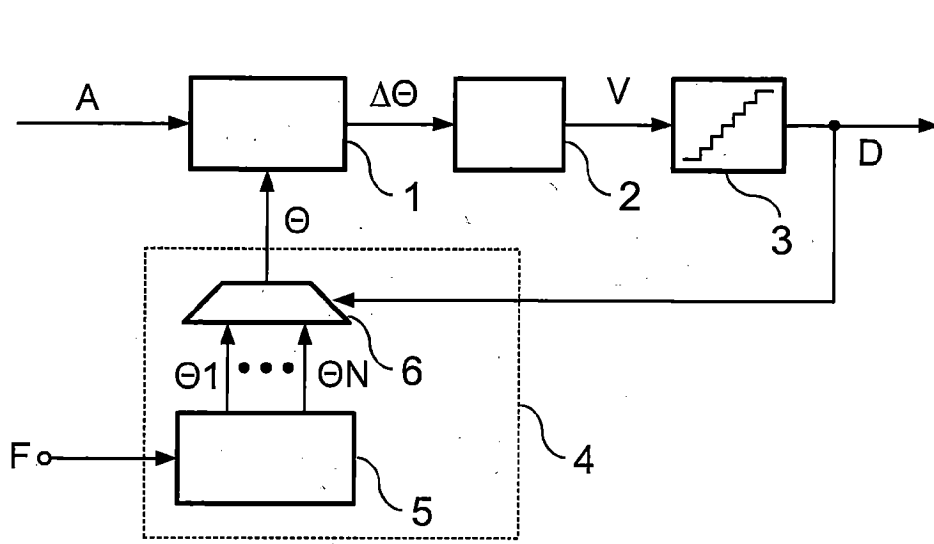


圖 1

符號簡單說明：

- 1 . . . 相位偵測器
- 2 . . . 積分器
- 3 . . . 比較器
- 4 . . . 數位相位轉換器
- 5 . . . 時脈產生器
- 6 . . . 多工器
- A . . . 振盪訊號
- Θ 、 Θ_1 、 Θ_N . . . 相位時脈訊號
- $\Delta\Theta$. . . 相位差訊號
- D . . . 相位雜訊訊號
- F . . . 參考時脈訊號
- V . . . 電壓訊號



201743066

申請日: 105. 6. 14

IPC分類:

【發明摘要】

【中文發明名稱】相位雜訊量測電路

G01R 29/26

【英文發明名稱】Phase Noise Measurement Circuit

【中文】

一種相位雜訊量測電路，其是利用數位相位轉換器產生N個相位時脈訊號，並選擇N個相位時脈訊號其中之一，與待量測之一震盪訊號相比較，再透過積分器與比較器之處理，以產生一相位雜訊訊號。其中N個相位時脈訊號彼此間具有相同之頻率但不同之相位，而相位雜訊訊號為震盪訊號中相位雜訊經量化後之一數位訊號，且數位訊號包含雜訊頻譜成分以及雜訊功率大小，以供後續量測。

【英文】

A phase noise measurement circuit is provided, using a digital phase converter to generate N phase clock signals, and selecting one of N phase clock signals to be compared with a resonant signal which is to be measured. Through an integrator and comparator a phase noise signal is generated. Wherein N phase clock signals have the same frequency but different phases with each other, and the phase noise signal is a digital signal with quantization from the phase noise of the resonant signal. The phase noise signal comprises a noise frequency spectrum and a power level for subsequent measurements.

【指定代表圖】圖1

【代表圖之符號簡單說明】

1

相位偵測器

2	積分器
3	比較器
4	數位相位轉換器
5	時脈產生器
6	多工器
A	振盪訊號
θ 、 θ_1 、 θ_N	相位時脈訊號
$\Delta\theta$	相位差訊號
D	相位雜訊訊號
F	參考時脈訊號
V	電壓訊號

【發明說明書】

【中文發明名稱】 相位雜訊量測電路

【英文發明名稱】 Phase Noise Measurement Circuit

【技術領域】

【0001】 本發明是有關一種量測電路，特別是一種相位雜訊量測電路。

【先前技術】

【0002】 相位雜訊往往是電路設計或電路校正過程所需面對之議題。舉例而言，相位雜訊是鎖相迴路系統的一性能指標，一般僅能透過頻譜分析儀或示波器量測取得其結果，惟其量測成本昂貴且費時，而無法內建於單晶片系統內。

【0003】 綜上所述，如何提供一種快速量測且整合於單晶片系統之相位雜訊量測電路便是目前極需努力的目標。

【發明內容】

【0004】 本發明提供一種相位雜訊量測電路，其是利用數位相位轉換器產生N個相位時脈訊號，並選擇N個相位時脈訊號其中之一，與待量測之一振盪訊號相比較，再透過積分器與比較器之處理，以產生一相位雜訊訊號。其中N個相位時脈訊號彼此間具有相同之頻率但不同之相位，而相位雜訊訊號為振盪訊號中相位雜訊經量化後之一數位訊號，且數位訊號包含雜訊頻譜成分以及雜訊功率大小，以供後續應用。

【0005】 本發明一實施例之相位雜訊量測電路包含一相位偵測器、一積分器、一比較器、以及一數位相位轉換器。相位偵測器比較一振盪訊號與一相位

時脈訊號，以產生一相位差訊號。積分器與相位偵測器電性連接，且積分器積分該相位差訊號，以產生一電壓訊號。比較器與積分器電性連接，且比較器依據電壓訊號，產生一相位雜訊訊號。數位相位轉換器與比較器以及相位偵測器電性連接，且數位相位轉換器產生不同相位之N個相位時脈訊號，並依據相位雜訊訊號，選擇N個相位時脈訊號其中之一輸出至相位偵測器。

【0006】 以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0007】

圖1為一示意圖，顯示本發明一實施例之相位雜訊量測電路。

圖2為一示意圖，顯示本發明一實施例之數位相位轉換器。

圖3為一示意圖，顯示本發明另一實施例之相位雜訊量測電路。

圖4為一示意圖，顯示本發明一實施例之一階三角積分調變器。

圖5為一示意圖，顯示本發明另一實施例之二階三角積分調變器。

圖6為一示意圖，顯示本發明再一實施例之N階三角積分調變器。

圖7為一示意圖，顯示本發明一實施例之CIFF三角積分調變器。

圖8為一示意圖，顯示本發明一實施例之CIFF三角積分調變器。

圖9為一示意圖，顯示本發明一實施例之CIFB三角積分調變器。

圖10為一示意圖，顯示本發明一實施例之CRFB三角積分調變器。

【實施方式】

【0008】 以下將詳述本發明之各實施例，並配合圖式作為例示。除了這些詳細說明之外，本發明亦可廣泛地施行於其它的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本發明之範圍內，並以申請專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的瞭解，提供了許多特定細節；然而，本發明可能在省略部分或全部特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免對本發明形成不必要之限制。圖式中相同或類似之元件將以相同或類似符號來表示。特別注意的是，圖式僅為示意之用，並非代表元件實際之尺寸或數量，有些細節可能未完全繪出，以求圖式之簡潔。

【0009】 請參照圖1，本發明一實施例之相位雜訊量測電路包含一相位偵測器1、一積分器2、一比較器3、以及一數位相位轉換器4。於一實施例中，相位雜訊量測電路是整合於一單晶片系統。相位偵測器1比較一振盪訊號A與一相位時脈訊號 Θ ，以產生一相位差訊號 $\Delta\Theta$ 。於一實施例中，振盪訊號A是由一鎖相迴路電路所輸出，且相位雜訊量測電路與鎖相迴路電路一同整合於一單晶片系統。需說明的是，相位時脈訊號 Θ 之雜訊強度小於振盪訊號A之雜訊強度，以提高量測準確度。

【0010】 積分器2與相位偵測器1電性連接，且積分器2積分相位差訊號 $\Delta\Theta$ ，以產生一電壓訊號V。比較器3與積分器2電性連接，且比較器3依據電壓訊號V，產生一相位雜訊訊號D。相位雜訊訊號D為振盪訊號A中相位雜訊經量化後之一數位訊號，且數位訊號包含雜訊頻譜成分以及雜訊功率大小之相關資訊。相位雜訊訊號D經訊號處理後，可分析雜訊頻譜成份及雜訊功率大小，並達到優異的量測結果。

【0011】 於一實施例中，相位雜訊之頻率是介於1k Hz至100MHz之間。較佳者，相位雜訊之頻率介於1 kHz至1 MHz，利用市售邏輯分析儀16822A實際量

測待測之振盪訊號所得之相位雜訊與利用本發明之相位雜訊量測電路所得之相位雜訊作比較驗證，可觀察到二者之相位雜訊，在1 kHz至1 MHz的區間內，皆可完全重疊。惟邏輯分析儀16822A受限於記憶體的限制，最低僅能量測至1 kHz之相位雜訊；而大於1 MHz的相位雜訊，則因受三角積分調變($\Delta\Sigma$)的雜訊成形(Noise shaping)所覆蓋，但可透過濾波的方式，將其量化雜訊濾除，而觀察到二者之相位雜訊從1 kHz至10MHz完全重疊，並對頻譜分析儀及量測電路結果進行積分，從1 kHz至100MHz的RMS jitter，分別為1.46 ps和1.39 ps，其RMS jitter的誤差不到5%，由此可證明本發明之相位雜訊量測電路是可據以實施且準確有效的技術方案。

【0012】數位相位轉換器4與比較器3以及相位偵測器1電性連接，且數位相位轉換器4產生不同相位之N個相位時脈訊號 Θ_1 至 Θ_N ，並依據相位雜訊訊號D，選擇N個相位時脈訊號其中之一輸出至相位偵測器1，其中N為正整數。於一實施例中，相位時脈訊號的個數(即N值)與相位雜訊訊號D之階數相等。可以理解的是，相位時脈訊號的個數大於相位雜訊訊號D之階數亦可實現本發明。

【0013】請繼續參照圖1，於一實施例中，數位相位轉換器4包含一時脈產生器5以及一多工器6。時脈產生器5接收一參考時脈訊號F，並輸出不同相位之N個相位時脈訊號 Θ_1 至 Θ_N 。於一實施例中，振盪訊號A是由一鎖相迴路電路所輸出，且鎖相迴路電路與時脈產生器5共用參考時脈訊號F。一般而言，參考時脈訊號可利用石英振盪器加以實現，其雜訊性能介於-140 dBc/Hz至-150dBc/Hz之間，遠低於積體電路可能實現的雜訊水平，效能毫無疑慮。因此，本發明之相位雜訊量測電路無需額外之參考時脈訊號，且無需擔心振盪訊號與相位時脈訊號間之頻率誤差問題。於另一實施例中，時脈產生器5包含一延遲鎖相迴路(DLL)電路，因此相位時脈訊號 Θ 之雜訊強度可小於振盪訊號A之雜訊強度。

【0014】接續上述說明，多工器6與時脈產生器5、比較器3以及相位偵測器1電性連接。多工器6接收相位雜訊訊號D以及N個相位時脈訊號 Θ_1 至 Θ_N ，並依據相位雜訊訊號D，選擇N個相位時脈訊號 Θ_1 至 Θ_N 其中之一輸出至相位偵測器1。

【0015】請參照圖2，於一實施例中，時脈產生器5包含一多相位產生器51，其具有N級延遲單元。多相位產生器51接收參考時脈訊號F，並輸出具有不同延遲時間之N個相位時脈訊號 Θ_1 至 Θ_N 。於另一實施例中，時脈產生器5包含一算數邏輯單元52，其與多相位產生器51電性連接。算數邏輯單元52依據參考時脈訊號F以及一參考相位時脈訊號 Θ_M ，計算出一相對延遲時間，並輸出相對應之一延遲時間訊號C至多相位產生器51。其中多相位產生器51依據延遲時間訊號C，使每一相位時脈訊號 Θ_1 至 Θ_N 之延遲時間符合設定值。

【0016】於一實施例中，參考相位時脈訊號 Θ_M 是由多相位產生器51將參考時脈訊號F延遲N+1級所輸出之一最大相位時脈訊號。於另一實施例中，參考相位時脈訊號 Θ_M 可為N個相位時脈訊號 Θ_1 至 Θ_N 其中之一。可以理解的是，多相位產生器主要是用來產生一組N個相位時脈訊號它們彼此間具有相同頻率且均勻的相位差，因此藉由算數邏輯單元52量測N個相位時脈訊號中任一者之延遲時間，即可使相位產生器51同步校正所有N個相位時脈訊號。

【0017】需注意的是，若待測之振盪訊號經過一延遲單元或多級延遲單元，則待測之振盪訊號已含有非原始之相位雜訊量。為避免此現象，本發明之電路架構是利用多相位產生器將參考時脈訊號做多相位輸出，藉此產生相位之領先落後效果，並透過選擇多相位參考時脈的方式，來保持待測之振盪訊號為原相位雜訊量，而無須在待測之振盪訊號路徑上額外產生延遲，因此在電路實現上可避免雙路徑延遲所產生的準確度與匹配度困難。

【0018】此外，本發明之一實施例已成功完成硬體驗證，以整合於具有頻率 5GHz 之鎖相迴路晶片系統的相位雜訊量測電路為例，其可測得的 1MHz 頻帶內雜訊靈敏度達 -120 dBc/Hz，解析度達 0.5 ps，與頻譜分析儀相較，其時域誤差 < 5%。其中時序產生器僅占 0.05 mm²，其餘量測電路面積僅占 0.03 mm²，在量產測試上與需要昂貴的頻譜分析儀及測試機台相較，本發明之相位雜訊量測電路的測試成本相當低，極具實用價值。

【0019】請參照圖3，於一實施例中，比較器3包含一三角積分($\Delta \Sigma$)調變器，亦即相位雜訊量測電路可等效為三角積分調變系統。可以理解的是，三角積分調變系統包含但不限於權重前饋控制串聯積分調變器(CIFF)、分散式回授串聯積分調變器(CIFB)、分散式前饋串聯共振調變器(CRFF)或分散式回授串聯共振調變器(CRFB)，具有通常知識者可根據三角積分調變機制，進行階數提升及架構變化，以求更佳的量測效能，相關實施例說明如下，但不以此為限。

【0020】請參照圖4，於一實施例中，比較器3為一階三角積分調變器，其將電壓訊號V與回授電壓V β 1相減，輸入至積分器31進行積分，再由多位元比較器32將積分後的電壓訊號轉為數位之相位雜訊訊號D。

【0021】請參照圖5，於一實施例中，比較器3為二階三角積分調變器，其將電壓訊號V與回授電壓V β 1相減，輸入至積分器311進行積分，其積分值與回授電壓V β 2相減，再輸入至積分器312進行積分，最後由多位元比較器32將積分後的電壓訊號轉為數位之相位雜訊訊號D。同理，請參照圖6，於一實施例中，比較器3為N階三角積分調變器，其將電壓訊號V與回授電壓V β 1相減，輸入至積分器311進行積分，其積分值與回授電壓V β 2相減，再輸入至積分器312進行積分，共經L個積分器311、312、...、31L處理，最後由多位元比較器32將積分器31L所輸出之電壓訊號轉為數位之相位雜訊訊號D。

【0022】請參照圖7，於一實施例中，比較器3為權重前饋控制串聯積分調變器(CIFF，chain of integrators with weighted feedforward summation)，其將電壓訊號V與回授電壓 $V\beta_1$ 相減，輸入積分器311、312進行兩次積分，多位元比較器32將電壓訊號V1、第一級積分器311之電壓訊號V2、第二級積分器312之電壓訊號V3加總後的電壓訊號轉為數位之相位雜訊訊號D。較佳者，請參照圖8，比較器3為修正後的權重前饋控制串聯積分調變器(modified CIFF，modified chain of integrators with weighted feedforward summation)，其電路行為與CIFF調變器相似，惟進行兩次積分後的電壓訊號V3，會再回授至第一級積分器311之輸入端。

【0023】請參照圖9，於一實施例中，比較器3為分散式回授串聯積分調變器(CIFB，cascade of integrators with distributed feedback and distributed coupling)，其中各級積分器311、312、...、31L的輸入端分別對輸入電壓V、前級輸出以及回授電壓進行加總，積分後傳至下級電路，多位元比較器的輸入也同樣對輸入電壓、前級輸出以及回授電壓 $V\beta_1$ 、 $V\beta_2$ 、...、 $V\beta_L$ 進行加總，並由多位元比較器32將此電壓訊號轉為數位之相位雜訊訊號D。

【0024】請參照圖10，於一實施例中，比較器3為分散式回授串聯共振調變器(CRFB，cascade of resonators with distributed feedback and input)，其電路行為與CIFB調變器相似，惟進行兩次積分後的電壓訊號V3，會再回授至第一級積分器311之輸入端。

【0025】本發明之相位雜訊量測電路可應用於鎖相迴路晶片系統中，將相位雜訊轉為數位訊號，可分析雜訊頻譜成份及雜訊功率大小，以提供資訊給予電路測試及電路校正使用。此外，本發明之相位雜訊量測電路具有下列技術特點及其功效：

1. 實現一種簡易的相位雜訊量測技術可整合至單晶片系統中，不需昂貴的儀器設備，以大幅降低晶片測試成本。

2. 利用高解析度多相位時脈產生器 (high resolution multi-phase clock generator)，可結合數位控制電路，得到不同之時間延遲輸出，以達到高解析度及多相位輸出。

3. 不同於時脈抖動(jitter)量測法，本發明將相位雜訊轉為數位訊號，經訊號處理後，可分析雜訊頻譜成份及雜訊功率大小，並達到優異的量測結果，以供電路測試及電路校正使用。。

【0026】 綜合上述，本發明之相位雜訊量測電路是利用數位相位轉換器產生N個相位時脈訊號，並選擇其中之一相位時脈訊號，與待量測之一振盪訊號相比較，再透過積分器與比較器之處理，以產生一相位雜訊訊號。其中N個相位時脈訊號彼此間具有相同之頻率但不同之相位，而相位雜訊訊號為雜訊量化後之一數位訊號，且數位訊號包含雜訊頻譜成分以及雜訊功率大小之相關資訊。相位雜訊訊號D經訊號處理後，可供分析振盪訊號之雜訊頻譜成份及雜訊功率大小，並達到優異的量測結果。此外，相位雜訊量測電路可等效為三角積分調變系統，藉由三角積分調變機制，進行階數提升及架構變化，以求更佳的量測效能。

【0027】 以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0028】

1

相位偵測器

2、31、311、312、31L	積分器
3	比較器
32	多位元比較器
4	數位相位轉換器
5	時脈產生器
51	多相位產生器
52	算數邏輯單元
6	多工器
A	振盪訊號
θ 、 θ_1 、 θ_N	相位時脈訊號
$\Delta\theta$	相位差訊號
C	延遲時間訊號
D	相位雜訊訊號
F	參考時脈訊號
V、V1、V2、V3	電壓訊號
V β 1、V β 2、V β L	回授電壓

【發明申請專利範圍】

【第1項】 一種相位雜訊量測電路，包含：

一相位偵測器，用以比較一振盪訊號與一相位時脈訊號，以產生一相位差訊號；

一積分器，與該相位偵測器電性連接，用以積分該相位差訊號，以產生一電壓訊號；

一比較器，與該積分器電性連接，用以依據該電壓訊號，產生一相位雜訊訊號；以及

一數位相位轉換器，與該比較器以及該相位偵測器電性連接，用以產生不同相位之N個相位時脈訊號，並依據該相位雜訊訊號，選擇該N個相位時脈訊號其中之一輸出至該相位偵測器，其中N為正整數。

【第2項】 如請求項1所述之相位雜訊量測電路，其中該數位相位轉換器包含：

一時脈產生器，用以接收一參考時脈訊號，並輸出不同相位之該N個相位時脈訊號；以及

一多工器，與該時脈產生器、該比較器以及該相位偵測器電性連接，用以接收該相位雜訊訊號以及該N個相位時脈訊號，並依據該相位雜訊訊號，選擇該N個相位時脈訊號其中之一輸出至該相位偵測器。

【第3項】 如請求項2所述之相位雜訊量測電路，其中該時脈產生器包含一延遲鎖相迴路(DLL)電路。

【第4項】 如請求項2所述之相位雜訊量測電路，其中該時脈產生器包含：

一多相位產生器，具有N級延遲單元，用以接收該參考時脈訊號，並輸出具有不同延遲時間之該N個相位時脈訊號。

【第5項】如請求項4所述之相位雜訊量測電路，其中該時脈產生器包含：

一算數邏輯單元，與該多相位產生器電性連接，用以依據該參考時脈訊號以及一參考相位時脈訊號，計算出一相對延遲時間，並輸出相對應之一延遲時間訊號至該多相位產生器，其中該多相位產生器依據該延遲時間訊號，使每一該相位時脈訊號之一延遲時間符合設定值。

【第6項】如請求項5所述之相位雜訊量測電路，其中該參考相位時脈訊號包含該N個相位時脈訊號其中之一。

【第7項】如請求項5所述之相位雜訊量測電路，其中該參考相位時脈訊號是延遲N+1級之一最大相位時脈訊號。

【第8項】如請求項2所述之相位雜訊量測電路，其中該振盪訊號是由一鎖相迴路電路所輸出，且該鎖相迴路電路與該時脈產生器共用該參考時脈訊號。

【第9項】如請求項1所述之相位雜訊量測電路，其中該振盪訊號是由一鎖相迴路電路所輸出。

【第10項】如請求項1所述之相位雜訊量測電路，其中該相位雜訊之頻率介於1k Hz至100MHz。

【第11項】如請求項1所述之相位雜訊量測電路，其中該相位時脈訊號之雜訊強度小於該振盪訊號之雜訊強度。

【第12項】如請求項1所述之相位雜訊量測電路，其中該比較器包含多位元比較器。

【第13項】如請求項1所述之相位雜訊量測電路，其中該比較器包含一階三角積分調變器($\Delta \Sigma$ 調變器)、多階三角積分調變器、權重前饋控制串聯積分調變器(CIFF)、分散式回授串聯積分調變器(CIFB)、分散式前饋串聯共振調變器(CRFF)或分散式回授串聯共振調變器(CRFB)。

【第14項】如請求項1所述之相位雜訊量測電路，其中該相位雜訊訊號之階數等於N階。

【第15項】如請求項1所述之相位雜訊量測電路，其是整合於一單晶片系統。

【發明圖式】

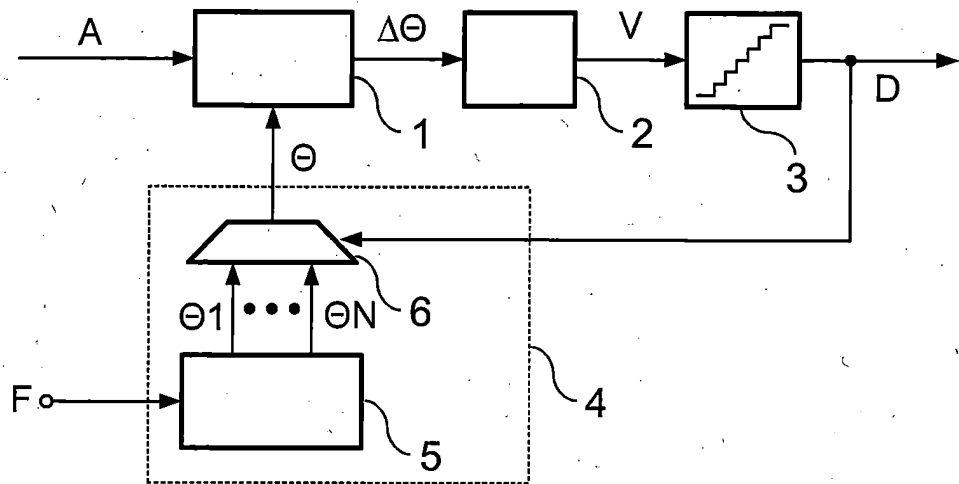


圖 1

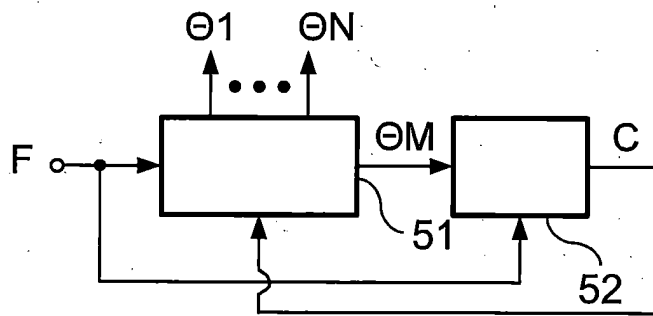


圖 2

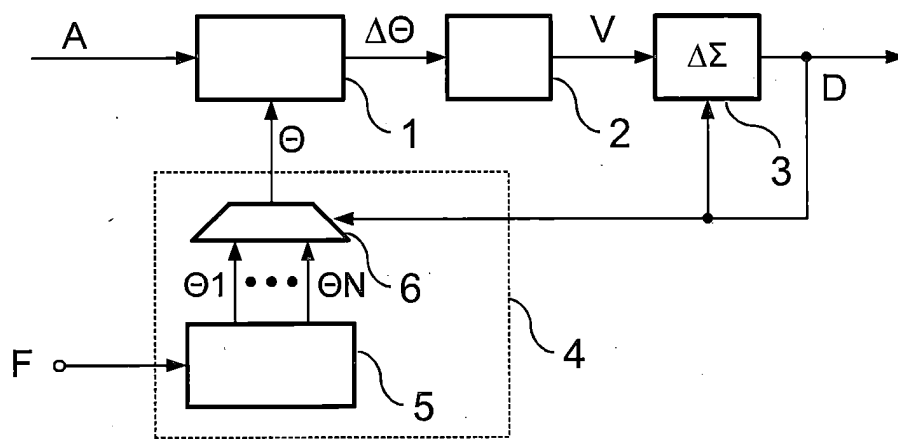


圖 3

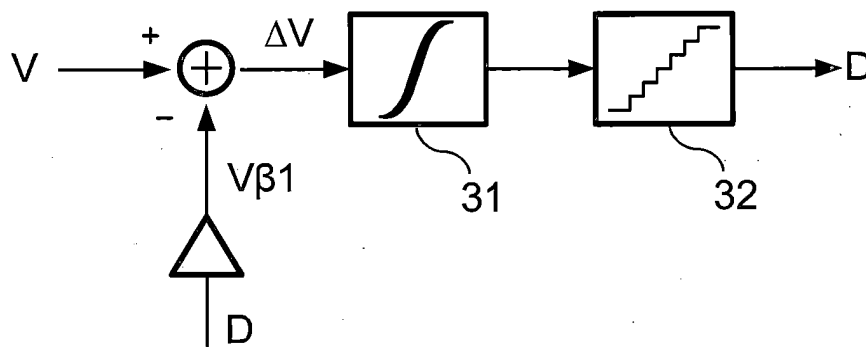


圖 4

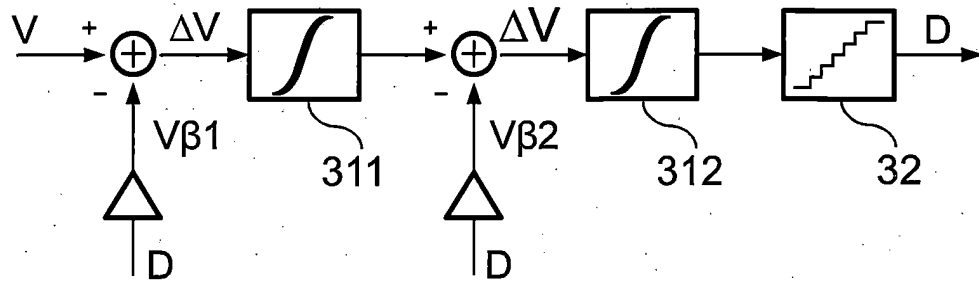


圖 5

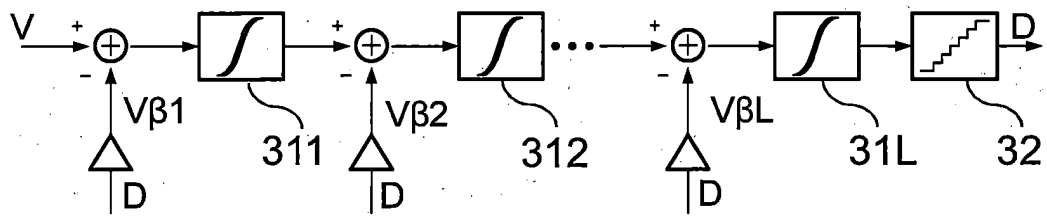


圖 6

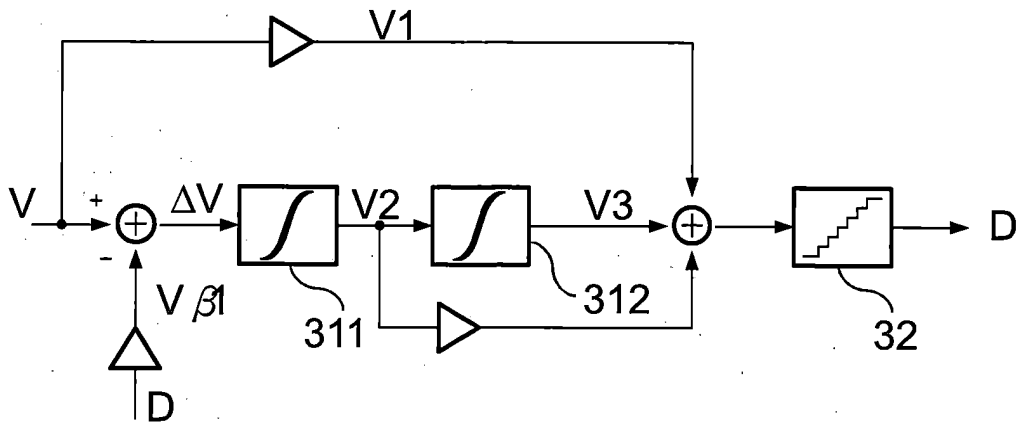


圖 7

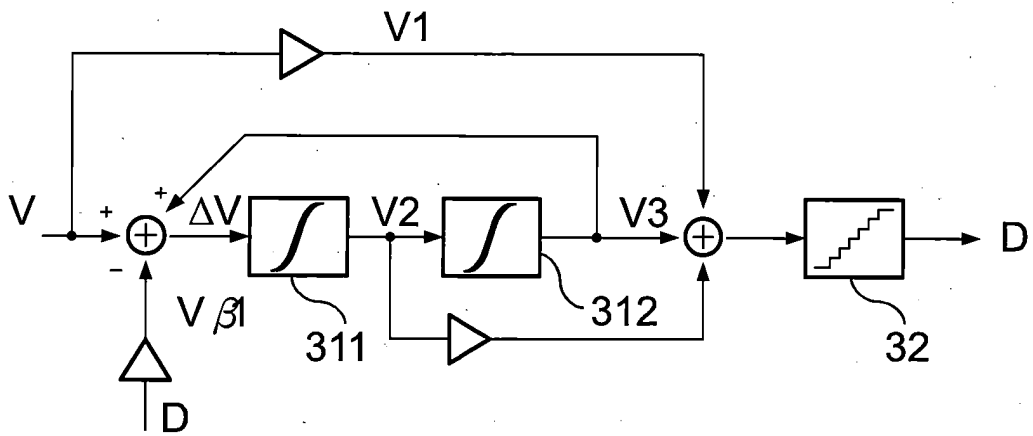


圖 8

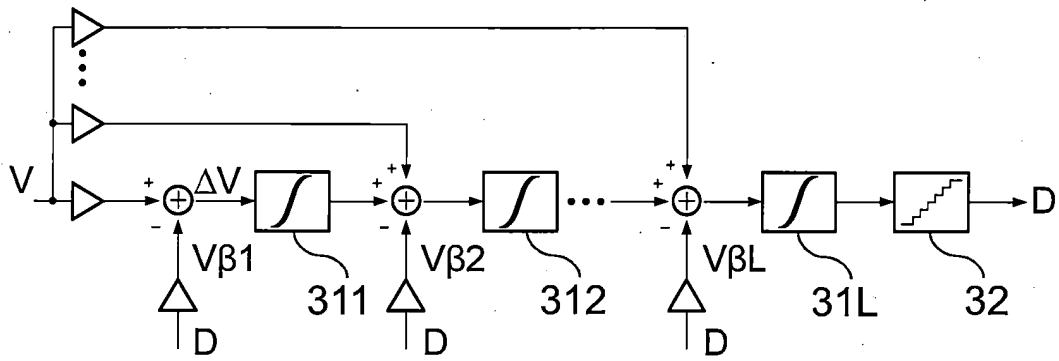


圖 9

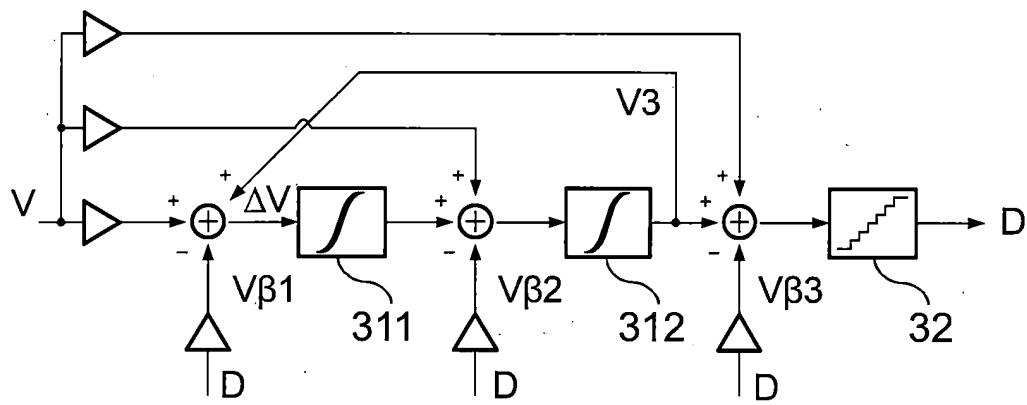


圖 10