



(21)申請案號：106106469 (22)申請日：中華民國 106 (2017) 年 02 月 24 日

(51)Int. Cl. : **H01L21/28 (2006.01)**

(30)優先權：2016/03/25 美國 62/313,682

2016/07/20 美國 15/214,777

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：簡昭欣 CHIEN, CHAO HSIN (TW)；劉繼文 LIU, CHI WEN (TW)；周承翰 CHOU,  
CHEN HAN (TW)

(74)代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：1 項 圖式數：8 共 40 頁

(54)名稱

半導體裝置及其製作方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

半導體裝置包含鰭片式場效電晶體裝置，且此鰭片式場效電晶體裝置包含延伸於第一方向中與從基材層突伸出之鰭片式結構。鰭片式結構包含形成於基材層上之主體應力層與設置於主體應力層上之通道層。氧化層形成於基材層上，且突伸遠離通道層。源極-汲極(source-drain；SD)應力結構設置於氧化層上之通道層的側壁上。包含有閘極電極層與閘極介電層之閘極堆疊覆蓋部分之通道層，且延伸於與第一方向垂直之第二方向中。

A semiconductor device including a Fin FET device includes a fin structure extending in a first direction and protruding from a substrate layer. The fin structure includes a bulk stressor layer formed on the substrate layer and a channel layer disposed over the bulk stressor layer. An oxide layer is formed on the substrate layer extending away from the channel layer. A source-drain (SD) stressor structure is disposed on sidewalls of the channel layer over the oxide layer. A gate stack including a gate electrode layer and a gate dielectric layer covers a portion of the channel layer and extends in a second direction perpendicular to the first direction.

指定代表圖：

符號簡單說明：

100 . . . 流程圖

S101/S102/S103/S104/  
S105/S106/

S107 . . . 操作

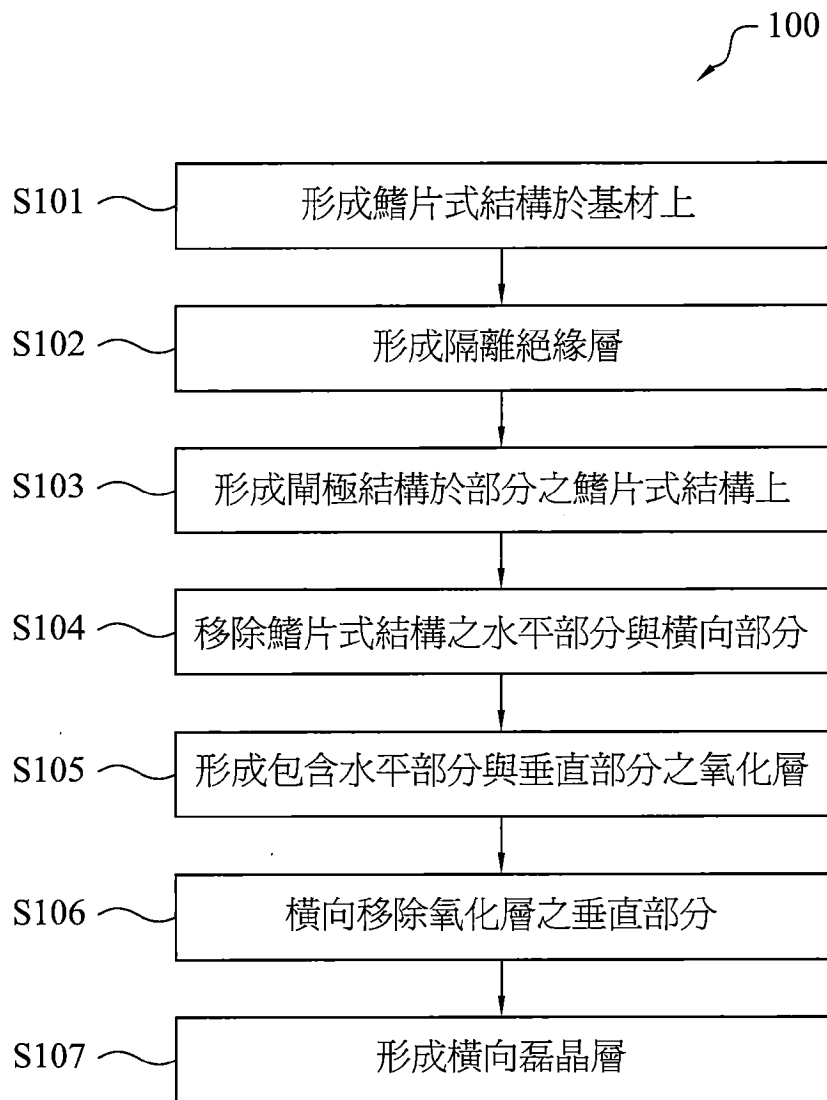


圖 1

**【發明摘要】****【中文發明名稱】** 半導體裝置及其製作方法**【英文發明名稱】** SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF**【中文】**

半導體裝置包含鰭片式場效電晶體裝置，且此鰭片式場效電晶體裝置包含延伸於第一方向中與從基材層突伸出之鰭片式結構。鰭片式結構包含形成於基材層上之主體應力層與設置於主體應力層上之通道層。氧化層形成於基材層上，且突伸遠離通道層。源極-汲極(source-drain; SD)應力結構設置於氧化層上之通道層的側壁上。包含有閘極電極層與閘極介電層之閘極堆疊覆蓋部分之通道層，且延伸於與第一方向垂直之第二方向中。

**【英文】**

A semiconductor device including a Fin FET device includes a fin structure extending in a first direction and protruding from a substrate layer. The fin structure includes a bulk stressor layer formed on the substrate layer and a channel layer disposed over the bulk stressor layer. An oxide layer is formed on the substrate layer extending away from the channel layer. A source-drain (SD) stressor

structure is disposed on sidewalls of the channel layer over the oxide layer. A gate stack including a gate electrode layer and a gate dielectric layer covers a portion of the channel layer and extends in a second direction perpendicular to the first direction.

【指定代表圖】：〔圖1〕。

【代表圖之符號簡單說明】

100：流程圖

S101/S102/S103/S104/S105/S106/S107：操作

【特徵化學式】

## 【發明說明書】

【中文發明名稱】半導體裝置及其製作方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】 本揭露係有關一種半導體積體電路，且特別是提供一種具有周邊全接觸結構之半導體裝置與其製作方法。

### 【先前技術】

【0002】 為了尋求更高之裝置密度、更高之性能與較低之成本，半導體工程已提升至奈米技術製程節點，來自製程與設計兩者之挑戰已導致三維設計之發展，例如：鰭片式場效電晶體(Fin Field-Effect Transistors；Fin FETs)。於Fin FET中，閘極電極係相鄰於通道區域之兩側表面，且具有插入於兩者之間的閘極介電層。於Fin FET之通道的頂表面上，被動層形成於閘極電極層與閘極介電層之間。於三閘極Fin FET(Tri-gate Fin FET；T-Fin FET)中，額外之被動層未形成，閘極結構圍繞鰭片於三個表面上，且電晶體實質上具有控制電流通過鰭片或通道區域之三個閘極。超出14 nm之技術節點，磊晶源極或汲極結構對於鰭片間距尺度引發嚴重之難題。源極及/或汲極之表面電阻與接觸電阻扮演著重要的角色，當裝置面積進階時。可有效解決因面積縮小所致之阻抗降低的解決方法係被需求。

**【發明內容】**

**【0003】** 根據本揭露之一態樣，製作半導體裝置之方法包含形成鰭片式結構，且此鰭片式結構包含第一半導體層、設置於第一半導體層上之中間半導體層和設置於中間半導體層上之第二半導體層。隔離絕緣層係被形成，而使鰭片式結構之第二半導體層從隔離絕緣層突伸出，以形成暴露的鰭片部分，當中間半導體層與第一半導體層係嵌入至隔離絕緣層中。閘極結構形成於暴露的鰭片部分之第一部分上。暴露的鰭片部分之第二部分係被移除。第二部分包含未被閘極結構覆蓋之暴露的鰭片部分的一部分與包含中間半導體層和第一半導體層之一部分的嵌入部分。嵌入部分包含嵌入至該隔離絕緣層中之第一嵌入部分和位於該閘極結構下之第二嵌入部分，隔離絕緣層係延伸於第一方向中，閘極結構係延伸於第二方向中。第二方向係實質垂直於第一方向。氧化層形成於暴露的鰭片部分之第一部分移除後所暴露出之第一表面和第二表面上。第一表面和第二表面延伸於第一方向和第二方向中。延伸於第二方向中之部分的氧化層係被橫向地移除，且磊晶層係形成於氧化層之被橫向移除的部分中。

**【圖式簡單說明】**

**【0004】** 從以下結合所附圖式所做的詳細描述，可對本揭露之態樣有更佳的了解。需注意的是，根據業界的標準實務，

各特徵並未依比例繪示。事實上，為了使討論更為清楚，各特徵的尺寸可任意地增加或減少。

〔圖1〕係根據本揭露之一或多個實施例所繪示之周邊全接觸結構(Contact-All-Around; CAA)的三閘極鰭片式場效電晶體裝置之實施製作流程。

〔圖2A〕至〔圖2H〕係根據本揭露之一或多個實施例所顯示之各種製程所製作之CAA的三閘極鰭片式場效電晶體裝置之三維視圖。

〔圖3A〕至〔圖3F〕係根據本揭露之一或多個實施例所繪示之CAA的三閘極鰭片式場效電晶體裝置的自我對齊的氧化層和源極-汲極磊晶層之生成的實施製程步驟。

〔圖4A〕與〔圖4B〕係根據本揭露之一或多個實施例所繪示之CAA的三閘極鰭片式場效電晶體裝置的三維結構圖與剖視圖。

〔圖5A〕至〔圖5D〕係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的橫向磊晶層與源極和/或汲極接觸之生成的三維視圖。

〔圖6〕係根據本揭露之一實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的各種結構件之三維視圖。

〔圖7A〕至〔圖7D〕係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的各種參數對有效通道長度之折線圖。

〔圖8A〕與〔圖8B〕係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的三維模擬之結果。

### 【實施方式】

【0005】 以下的揭露提供了許多不同的實施例或例子，以實施發明之不同特徵。以下所描述之構件與安排的特定例子係用以簡化本揭露。當然這些僅為例子，並非用以做為限制。舉例而言，在描述中，第一特徵形成於第二特徵上方或上，可能包含第一特徵與第二特徵以直接接觸的方式形成的實施例，而也可能包含額外特徵可能形成在第一特徵與第二特徵之間的實施例，如此第一特徵與第二特徵可能不會直接接觸。此外，本揭露可能會在各例子中重複參考數字及/或文字。這樣的重複係基於簡單與清楚之目的，以其本身而言並非用以指定所討論之各實施例及/或配置之間的關係。

【0006】 另外，在此可能會使用空間相對用語，例如「向下(beneath)」、「下方(below)」、「較低(lower)」、「上方(above)」、「較高(upper)」等等，以方便描述來說明如圖式所繪示之一元件或一特徵與另一(另一些)元件或特徵之關係。除了在圖中所繪示之方向外，這些空間相對用詞意欲含括元件在使用或操作中的不同方位。設備可能以不同方式定位(旋轉90度或在其他方位上)，因此可利用同樣的方式來解釋在此所使用之空間相對描述符號。此外，「所製成(made of)」



之用語可指為「包含(comprising)」或「所組成(consisting of)」等用語。

**【0007】** 圖1係根據本揭露之一或多個實施例所繪示之周邊全接觸結構(Contact-All-Around; CAA)的三閘極鰭片式場效電晶體裝置(Tri-gate Fin Field Effect Transistor; T-Fin FET)之實施製作流程圖100。流程圖100僅繪示完整製作流程之有關部分。可了解的是，額外之操作可提供於如圖1所示的操作之前、期間與之後，而且對於此方法之額外的實施例，下述之操作的部分可被替換或省略。此些操作/製程之次序可被掉換。

**【0008】** 於圖1之操作S101中，鰭片式結構210係形成於基材上。首先，如圖2A所示，半導體材料200之堆疊層係形成於基材上。形成於基材上之半導體材料的堆疊層包含第一半導體層202、中間半導體層204與第二半導體層206。

**【0009】** 舉例而言，基材(未以從第一半導體層202分離之方式顯示)係具有雜質濃度的範圍實質係從 $1 \times 10^{15} \text{ cm}^{-3}$ 至 $3 \times 10^{15} \text{ cm}^{-3}$ 的p型矽基材，在一些實施例中。於其他實施例中，基材係具有雜質濃度的範圍實質係從 $1 \times 10^{15} \text{ cm}^{-3}$ 至 $3 \times 10^{15} \text{ cm}^{-3}$ 的n型矽基材。矽基材具有(100)之上表面，在一些實施例中。

**【0010】** 額外地，基材可包含另一元素半導體，例如：鍺；包含IV-IV族化合物半導體之化合物半導體，例如：碳化矽與矽鍺；包含III-V族化合物半導體之化合物半導體，例如：GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、

AlGaN、AlInAs、AlGaAs、GaInAs、GaInP 及 / 或 GaInAsP，或者上述材料之任意組合。在一或多個實施例中，基材係絕緣體覆矽(Silicon on Insulator；SOI)基材之矽層。非結晶基材，如非晶矽或非晶碳化矽，或者絕緣材料，如氧化矽，亦可作為基材。基材可包含已適當摻雜雜質(例如，p型或n型導電材料)之各個區域。

【0011】 第一半導體層202可為佈植雜質之基材的部分。舉例而言，離子佈植係被進行，以避免擊穿效應(Punch-Through Effect)。對於n型鰭片式場效電晶體(Field Effect Transistor；FET)，摻雜劑可為BF<sub>2</sub>，且對於P型鰭片式FET，摻雜劑可為磷化物。第一半導體層202變為鰭片式FET之井層，在一些實施例中。

【0012】 在一些實施例中，第一半導體層202係磊晶生長於基材上。磊晶層(即第一半導體層202)可以原位摻雜及 / 或離子佈植摻雜。

【0013】 中間半導體層204，亦可稱為主體應力源(Bulk Stressor)，係磊晶生成於第一半導體層202之表面上，且第二半導體層206係磊晶生成於中間半導體層204上，在一些實施例中。

【0014】 在一些實施例中，中間半導體層204可例如為Ge或Si<sub>(1-x)</sub>Ge<sub>x</sub>，且x之範圍實質係從0.1至0.9。在某些實施例中，Si<sub>(1-x)</sub>Ge<sub>x</sub>係作為中間半導體層204。於本揭露中，Si<sub>(1-x)</sub>Ge<sub>x</sub>可簡寫為SiGe。SiGe層(即中間半導體層204)之厚度的範圍實質係從10 nm至100 nm，在一些實施例中。

在某些實施例中，SiGe層之厚度的範圍實質係從1 nm至20 nm，或2 nm至10 nm，在其他實施例中。

【0015】 SiGe層之磊晶生長可利用SiH<sub>4</sub>及/或SiH<sub>2</sub>Cl<sub>2</sub>與GeH<sub>4</sub>作為來源氣體，並於實質為500°C至700°C之溫度和實質為10 Torr至100 Torr(實質為133 Pa至1333 Pa)之壓力下進行。

【0016】 第二半導體層206可例如為矽或Si<sub>(1-y)</sub>Ge<sub>y</sub>，且y小於x。在此實施例中，第二半導體層206為矽。在一些實施例中，此矽第二半導體層206具有範圍實質係20 nm至200 nm之厚度。在某些實施例中，此矽第二半導體層206之厚度的範圍實質係50 nm至100 nm。此矽層之磊晶生成可利用SiH<sub>4</sub>及/或SiH<sub>2</sub>Cl<sub>2</sub>作為來源氣體，並於實質為500°C至700°C之溫度和實質為10 Torr至100 Torr(實質為133 Pa至1333 Pa)之壓力下進行。

【0017】 於生成之後，半導體材料200之堆疊層係利用適當之遮罩圖案化，以移除部分之堆疊層，而生成圖2B之鰭片式結構210。部分之堆疊層的移除可藉由使用乾式蝕刻方法及/或濕式蝕刻方法之溝渠蝕刻進行。

【0018】 於圖1之操作S102中，隔離絕緣層214係形成於鰭片式結構210上，如圖2C和圖2D所示。首先，隔離絕緣材料212形成於鰭片式結構210上，如圖2C所示。隔離絕緣材料包含一或多層之絕緣材料，例如：氧化矽、氮氧化矽或氮化矽，且藉由低壓化學汽相沉積(Low Pressure Chemical Vapor Deposition; LPCVD)、電漿化學汽相

沉積(Chemical Vapor Deposition ; CVD)或可流動式CVD形成。於可流動式CVD中，可流動之介電材料取代氧化矽被沉積。如其名稱所示，於沉積製程之期間，可流動之介電材料可流動，以藉由高深寬比填滿空隙或空間。通常，各種化學材料係添加至含矽前驅物中，以容許沉積膜流動。在一些實施例中，氫氫化物之鍵結係被添加。可流動介電材料前驅物之具體例，特別是可流動之氧化矽前驅物，包含矽酸鹽化合物、矽氧烷化合物、甲基倍半矽氧烷化合物(Methyl Silsesquioxane ; MSQ)、氫倍半矽氧烷化合物(Hydrogen Silsesquioxane ; HSQ)、MSQ/HSQ、全氫矽氮烷(perhydrosilazane ; TCPS)、全氫聚矽氮烷(perhydro-polysilazane ; PSZ)、四乙氧基矽烷(tetraethyl orthosilicate ; TEOS)，或者矽烷基胺化合物，例如：三矽烷胺(trisilylamine ; TSA)。此些可流動之氧化矽材料係形成於多操作製程中。於可流動膜沉積後，可流動膜係被交聯且退火，以移除不需要之元素，而生成氧化矽。當不需要之元素移除時，可流動膜密化(densifies)且收縮。在一些實施例中，數個退火製程被實施。可流動膜係被交聯且退火超過一次。可流動膜可以硼及/或磷摻雜。隔離絕緣層214係藉由旋轉塗佈於玻璃(Spin-on Glass ; SOG)、SiO<sub>2</sub>、SiON、SiOCN及/或氟摻雜矽玻璃(Fluorine-doped Silicate Glass ; FSG)上之一或多層來形成，在一些實施例中。

【0019】 於形成隔離絕緣材料212後，熱製程，例如：退火製程，可被進行，以改善隔離絕緣材料212之品質。熱製程可於平坦化操作之前或之後進行。於平坦化操作中，隔離絕緣材料212之厚度係減少，舉例而言，平坦化操作包含化學機械研磨(Chemical Mechanical Polishing ; CMP)方法及/或回蝕製程，而暴露出部分之鰭片式結構210，如圖2D所示。於平坦化操作之期間，隔離絕緣材料212之頂部分係被移除。再者，藉由回蝕製程，於鰭片式結構210之突伸部分的側邊上之隔離絕緣材料212的厚度係減少，以形成隔離絕緣層214。

【0020】 於圖1之操作S103中，閘極結構220形成於鰭片式結構210之一部分上，如圖2E所示。閘極結構220形成於鰭片式結構210之通道層216上。閘極結構220突伸於Y方向，且包含閘極介電層224和電極層222。在一些實施例中，閘極結構220形成於一或多個鰭片式結構上。

【0021】 閘極介電材料與電極材料形成於隔離絕緣層214和通道層216上，接著進行圖案化操作，以獲得包含閘極電極層222與閘極介電層224之閘極結構220。在此實施例中，閘極電極層222為多晶矽。在一些實施例中，多晶矽層之圖案化係利用包含氮化矽層與氧化層之硬遮罩進行。閘極介電材料可為藉由CVD、物理汽相沉積(Physical Vapor Deposition ; PVD)、原子層沉積(Atomic Layer Deposition ; ALD)、電子束蒸鍍或其他適當製程所形成之矽。

【0022】 在一或多個實施例中，後閘極(Gate-last)技術(閘極置換技術)係被實施。於後閘極技術中，形成於前述操作之閘極電極層222與閘極介電層224分別為虛設電極層與虛設閘極介電層，且隨之係被移除。

【0023】 在一些實施例中，閘極介電層224包含一或多層之氧化矽、氮化矽、氮氧化矽或高k值介電材料。高k值介電材料包含金屬氧化物。作為高k值介電材料之金屬氧化物的具體例包含Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu及/或上述金屬之混合的氧化物。在一些實施例中，閘極介電層224之厚度的範圍實質係1 nm至5 nm。在一些實施例中，閘極介電層224包含二氧化矽所製作之介面層。在一些實施例中，閘極電極層222包含單一層或多層結構。

【0024】 再者，閘極電極層222可為具有均勻或非均勻摻雜之摻雜多晶矽。在一些額外之實施例中，閘極電極層222包含金屬，例如：Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi、其他工作函數與基材材料匹配之導電材料，或上述材料之任意組合。閘極電極層222之電極層可利用適當之製程形成，例如：ALD、CVD、PVD、電鍍或上述方法之組合。閘極電極層之寬度(於X方向)的範圍實質係30 nm至60 nm，在一些實施例中。

【0025】 於圖1之操作S104中，鰭片式結構210之水平部分與橫向部分係被移除，如圖2E所示。移除製程之更詳

細描述顯示於圖3A和圖3B之剖視圖中。圖3A之閘極結構220下之水平(如於X-Y平面中)部分230與垂直(如Z方向)部分228之移除係藉由等向蝕刻進行，如濕式蝕刻。在一或多個實施例中，部分228之厚度t1實質為10 nm至12 nm。在一些實施例中，電漿蝕刻，如氧氣電漿，可被使用。在一實施例中，氧氣電漿蝕刻可例如為對帶有電荷之 $O^{2-}$ 或 $O^{1-}$ 施加連接偏壓電極之偏壓的氧氣電漿離子蝕刻，以控制離子化氧氣電漿之方向。

**【0026】** 於圖1之操作S105中，包含水平部分232與垂直部分310之氧化層係被形成，如圖2F與圖3C所示。圖2F僅顯示氧化層之水平部分232。氧化層包含氧化矽，如二氧化矽。在一實施例中，氧化層之水平部分232，亦代表自我對齊的氧化層，係利用高密度電漿CVD(High Density Plasma CVD; HDPCVD)形成，且垂直部分310係沉積製程所導致之多餘層，而須被移除。於自我對齊的沉積製程中，不需要遮罩且氧化矽係沉積於整個暴露之表面上，如圖3C所示。在一些實施例中，等向蝕刻係用以移除側壁隔離層。在一實施例中，如需要的話，雖然選擇性蝕刻對於此結構不具有效率，但並非氧化層沉積目標之多餘的氧化矽沉積係選擇性地從一些表面移除。

**【0027】** 圖3D係相同於圖3C。圖3D顯示水平部分232與垂直部分310，且圖3D僅係為了方便說明而重製。在一些實施例中，HDPCVD係用以容許沿著各方向不同沉積速率之調整。舉例而言，HDPCVD可藉由調整操作之物理參數

(例如，藉由電場控制電漿)，達到近乎非等向沉積，而不是調整操作之化學參數(例如，反應氣體)，其中調整操作之化學參數係用以近似等向沉積。在一些實施例中，側壁上之隔離層(即垂直部分310)的厚度實質為25%至35%之基材400表面上之隔離層(即水平部分232)的厚度。因此，清潔製程(如濕式清潔製程)包含蝕刻劑之使用，例如：氫氟酸(HF)或稀釋之氫氟酸(Diluted Hydrofluoric acid; DHF)，可有效地移除沉積於側壁上之隔離層(即垂直部分310)的全部或部份，而遺留部分之隔離層(即水平部分232)於基材400之表面上。

**【0028】** 在圖1之操作S106中，垂直部分310係橫向地移除，如圖3E所示。氧化層之垂直部分310可藉由例如濕式蝕刻製程橫向地移除，且濕式蝕刻製程亦減少水平部分232之厚度，至所欲之高度，例如：介於5 nm至10 nm之間。

**【0029】** 於圖1之操作S107中，橫向磊晶層240係形成，如圖2F和圖3F所示。橫向磊晶層240可藉由選擇性地磊晶生成製程形成。橫向磊晶層240亦被稱為源極及/或汲極磊晶層或源極及/或汲極應力源(Stressor)。源極及/或汲極磊晶層可為矽基化合物，例如：矽-磷化合物或矽鍺。在一些應用例中，源極及/或汲極磊晶層為鍺化合物，例如：鍺錫化合物(GeSn)。源極及/或汲極磊晶層240之厚度 $t_2$ 的範圍實質為10 nm至12 nm。在某些實施例中，其他厚度可被使用。



【0030】 回到圖2，接續CAA的三閘極鰭片式FET裝置之形成，層間介電(Interlayer Dielectric；ILD)層250形成於隔離氧化層(即隔離絕緣層214)與自我對齊的氧化層(即水平部分232)上。ILD層250之具體材料包含二氧化矽、氮氧化矽或碳氧化矽。圖2G之結構接著通過平坦化操作，例如：CMP與閘極接觸形成。

【0031】 ILD層250係被圖案化，以移除部份之ILD層250，往下至自我對齊的氧化層(即隔離絕緣層214)，而形成作為CAA的三閘極鰭片式FET裝置之源極和汲極接觸金屬262與264之孔洞，如圖2H所示。這些孔洞係以源極與汲極接觸金屬填滿，例如：包含Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi、其他具有適當工作函數之導電材料或上述之任意組合的材料。於本揭露之內容中，上述之CAA代表取代鑽石狀源極及/或汲極應力結構的源極及/或汲極接觸金屬，而不是包覆圍繞鑽石狀源極及/或汲極應力結構的源極及/或汲極接觸金屬。上述之製程概念可融合至現行鰭片式FET之製作流程中，且可施行於技術節點之數目中，例如：10 nm、7 nm和5 nm技術節點。

【0032】 圖4A和圖4B係根據本揭露之一或多個實施例所繪示之CAA的三閘極鰭片式場效電晶體裝置的三維結構與剖視圖410。圖4A之三維結構沿著線段X剖切之剖視圖如圖4B所示，且其係相似於圖2H之結構。如剖視圖410所示，CAA的三閘極鰭片式FET裝置包含基材400、主體應力層(中間半導體層204)、自我對齊的氧化層(水平部分232)、

源極-汲極磊晶層(SD epitaxial layer)240、第一半導體層202、閘極結構220、ILD層250和源極及/或汲極接觸金屬262與264。如上所解釋，第一半導體層可為佈植雜質之基材400的一部分。閘極結構220包含閘極介電層224與閘極電極層222。

**【0033】** SD磊晶層240可具有大於1之深寬比( $z/x$ )，且與剖視圖410(如於Z-X平面中)一致。在一些實施例中，SD磊晶層240之深寬比係小於1。在一或多個實施例中，自我對齊的氧化層(水平部分232)延伸於Y方向中，且係部分或完全位於SD磊晶層240下。在一或多個實施例中，SD磊晶層240於Y方向之厚度係小於或大於ILD層250於Y方向之厚度。

**【0034】** 於源極及/或汲極接觸金屬262與264下之自我對齊的氧化層(水平部分232)替換示範之鑽石狀磊晶源極/汲極。此替換改善源極及/或汲極阻抗，減輕短通道之難題，並降低源極及/或汲極之接面漏電流，例如：降低至 $1 \times 10^{-10}$  A。對於示範之鑽石狀磊晶源極/汲極，源極及/或汲極尺寸係取決於磊晶鑽石狀之形狀，且其亦減少鱗片間距。再者，從工程之觀點，源極及/或汲極組抗隨著裝置面積減少而增加。此題材技術提出降低鱗片間距，例如：對於15 nm之技術節點而言，小於40 nm，而導致高積體密度。此題材技術改善源極及/或汲極阻抗，以藉由從源極/汲極接觸金屬降低漏電流，達到較高之裝置效能。

【0035】 圖5A至圖5D係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的橫向磊晶層與源極和/或汲極接觸之生成的三維視圖。圖5A顯示CAA的三閘極鰭片式FET結構500A，且CAA的三閘極鰭片式FET結構500A包含位於第一半導體層510上之氧化層520，以及對源極及/或汲極之磊晶構成橫向蝕刻之開口530。圖5B顯示CAA的三閘極鰭片式FET結構500B，其中源極及/或汲極之磊晶構成532形成於圖5A之開口530中。於下一步驟中，如圖5C中之CAA的三閘極鰭片式FET結構500C所示，源極及/或汲極接觸金屬之一者262係被形成。於最後之步驟中，如圖5D中之CAA的三閘極鰭片式FET結構500D所示，源極及/或汲極接觸金屬之剩餘一者264係被形成。圖5C與圖5D中之源極及/或汲極接觸金屬係相似於示範之鑽石狀磊晶源極/汲極所使用之源極及/或汲極接觸金屬。

【0036】 圖6係根據本揭露之一實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置600的各種結構件之三維視圖。此些結構件係相似於圖4B之剖視圖410中所示之結構件。CAA的三閘極鰭片式FET裝置600包含第一半導體層202、自我對齊的氧化層(水平部分232)、源極及/或汲極磊晶層240、ILD層250與形成於通道上之閘極結構220。自我對齊的氧化層(水平部分232)係形成於第一半導體層202與源極及/或汲極接觸金屬262和264之間。源極及/或汲極磊

晶層240係橫向地形成於半導體層202之通道部分與源極及/或汲極接觸金屬262和264之間。

【0037】 如前述更詳盡之說明，閘極結構220係先形成於暴露之鱗片式結構210上，於隔離絕緣層214形成之後，如圖2E所示。接續，如圖3A和圖3B所示，於閘極結構220下之水平(如於X-Y平面中)部分230與垂直(如Z方向)部分228係藉由蝕刻製程移除，例如：濕式蝕刻或電漿蝕刻，如氧氣電漿。在一或多個實施例中，氧氣電漿蝕刻可例如為使用帶有電荷之 $O^{2-}$ 或 $O^{1-}$ ，以控制離子化氧氣電漿之方向。於圖3A和圖3B之水平部分230與垂直部分228之移除後，自我對齊的氧化層(水平部分232)係利用例如CVD沉積製程形成，如HDPCVD製程，以沉積氧化矽。自我對齊的氧化物之形成製程導致氧化矽(垂直部分310；圖3C)沉積於通道之側壁上，如圖3C所示。氧化矽(垂直部分310)之移除於閘極結構220之下與氧化層(水平部分232)之上生成供磊晶層240之形成的位置。橫向磊晶層240可藉由選擇性磊晶成長製程形成。橫向磊晶層240亦稱為源極及/或汲極磊晶層或源極及/或汲極應力源，且橫向磊晶層240可為矽基化合物，例如：矽-磷化合物或矽鍺。在一些應用實施例中，源極及/或汲極磊晶層係鍺化合物，例如：鍺錫化合物(GeSn)。源極及/或汲極磊晶層之厚度的範圍係實質為10 nm至12 nm。源極及/或汲極接觸金屬262與264係被形成。如圖2H所示，於ILD層250中之孔洞往下蝕刻至自我對齊的氧化層(水平部分232)之頂表面。

【0038】 圖7A至圖7D係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的各種參數對有效通道長度之折線圖。圖7A與圖7C之圖式包含顯示示範之鰭片式FET、三閘極鰭片式FET與CAA的三閘極鰭片式FET中之鰭片式FET的臨界電壓( $V_{th}$ )對通道有效長度之變化的圖式，舉例而言，源極電壓( $V_D$ )之數值為0.05 V與0.8 V。圖7B之圖式包含顯示示範之鰭片式FET、三閘極鰭片式FET與CAA的三閘極鰭片式FET中之鰭片式FET的 $V_{th}$ 下降對通道有效長度之變化的圖式，舉例而言，源極電壓之數值為0.8 V。圖7D之圖式包含顯示示範之鰭片式FET、三閘極鰭片式FET與CAA的三閘極鰭片式FET中之鰭片式FET的汲極引致能障下降(Drain-Induced Barrier Lowering; DIBL)對通道有效長度之變化的圖式。分析其結果，其指出CAA的三閘極鰭片式FET達到鰭片式FET上之 $V_{th}$ 下降的改善，其中鰭片式FET包含自我對齊的氧化層但缺乏源極及/或汲極磊晶。再者，於CAA的三閘極鰭片式FET中之鑽石狀源極及/或汲極應力源係被完整接觸之金屬所取代，而有益於鰭片間距尺度。

【0039】 圖8A與圖8B係根據本揭露之一或多個實施例所顯示之CAA的三閘極鰭片式場效電晶體裝置的三維模擬之結果。圖8A之圖式顯示示範之鰭片式FET與CAA的三閘極鰭片式FET中之串聯電阻( $R_T$ )對有效通道長度。其結果顯示，相較於具有鑽石狀之源極及/或汲極應力源810的示範例，周邊全接觸結構具有較少之全阻抗(如約20%)與較少之

源極及/或汲極阻抗(如約85%)。金屬源極及/或汲極區域(即接觸金屬264)可增大電流且降低源極/汲極阻抗( $R_{SD}$ )，因為CAA的三閘極鰭片式FET中之金屬替換鑽石狀結構(如源極及/或汲極應力源810)之高摻雜矽。於源極及/或汲極接觸金屬下之埋入氧化層(如圖6之自我對齊的氧化層)可避免源極與汲極至基材的接面漏電流。

**【0040】** 熟習此技藝者應了解到，並非所有優點須已於此討論，對於所有實施例或例子，沒有特定之優點係必須的，且其他實施例或例子可提供不同之優點。

**【0041】** 根據本揭露之一態樣，製作半導體裝置之方法包含形成鰭片式結構，且此鰭片式結構包含第一半導體層、設置於第一半導體層上之中間半導體層和設置於中間半導體層上之第二半導體層。隔離絕緣層係被形成，而使鰭片式結構之第二半導體層從隔離絕緣層突伸出，以形成暴露的鰭片部分，當中間半導體層與第一半導體層係嵌入至隔離絕緣層中。閘極結構形成於暴露的鰭片部分之第一部分上。暴露的鰭片部分之第二部分係被移除。第二部分包含未被閘極結構覆蓋之暴露的鰭片部分的一部分與包含中間半導體層和第一半導體層之一部分的嵌入部分。嵌入部分包含嵌入至該隔離絕緣層中之第一嵌入部分和位於該閘極結構下之第二嵌入部分，隔離絕緣層係延伸於第一方向中，閘極結構係延伸於第二方向中。第二方向係實質垂直於第一方向。氧化層形成於暴露的鰭片部分之第一部分移除後所暴露出之第一表面和第二表面上。第一表面和第二表面延伸於第一方向和

第二方向中。延伸於第二方向中之部分的氧化層係被橫向地移除，且磊晶層係形成於氧化層之被橫向移除的部分中。

**【0042】** 根據本揭露之另一態樣，製作半導體裝置之方法包含藉由圖案化多層結構來形成鰭片式結構，此多層結構包含第一半導體層，且第一半導體層包含基材、主體應力層與第二半導體層。隔離氧化層係被形成，以覆蓋鰭片式結構。隔離氧化層係圖案化，以暴露出鰭片式結構之第二半導體層。閘極結構係形成於暴露之第二半導體層的中間部分上。未被閘極結構覆蓋之暴露的第二半導體層之殘留部分係被移除。於暴露之第二半導體層被移除之殘留部分下部分之主體應力層，以及閘極結構下之橫向部分係被移除。自我對齊的氧化層係被形成，且自我對齊的氧化層覆蓋在部分之主體應力層與閘極結構下之橫向部分被移除後所暴露出之第一表面和第二表面。第一表面與第二表面延伸於第一方向與第二方向中，且第二方向係實質垂直於第一方向。自我對齊的氧化層係被橫向地移除，且自我對齊的氧化層覆蓋在閘極結構下之橫向部分被移除後所暴露出之垂直表面。源極-汲極應力層係被形成，以替換被橫向移除之自我對齊的氧化層。

**【0043】** 根據本揭露之又一態樣，半導體裝置包含鰭片式FET裝置，此鰭片式FET裝置包含延伸於第一方向中之鰭片式結構，且其從基材層突伸出。鰭片式結構包含形成於基材層上之主體應力層與設置於主體應力層上之通道層。氧化層形成於基材層上，且氧化層係延伸遠離通道區域。源極-

汲極應力結構係設置於氧化層上之通道層的側壁上，且包含閘極電極層與閘極介電層之閘極堆疊係被形成。閘極堆疊覆蓋部分之通道層，且閘極堆疊延伸於與第一方向垂直之第二方向中。

**【0044】** 上述已概述數個實施例的特徵，因此熟習此技藝者可更了解本揭露之態樣。熟習此技藝者應了解到，其可輕易地利用本揭露做為基礎，來設計或潤飾其他製程與結構，以實現與在此所介紹之實施例相同之目的及/或達到相同的優點。熟習此技藝者也應了解到，這類對等架構並未脫離本揭露之精神和範圍，且熟習此技藝者可在不脫離本揭露之精神和範圍下，在此進行各種之更動、取代與修改。

#### **【符號說明】**

##### **【0045】**

S101/S102/S103/S104/S105/S106/S107：

100：流程圖

200：半導體材料

202/204/206/510：半導體層

210：鰭片式結構

212：隔離絕緣材料

214：隔離絕緣層

216：通道層

220：閘極結構

222：電極層



224：閘極介電層

228/230/232/310：部分

240：磊晶層

250：層間介電層

262/264：接觸金屬

400：基材

410：剖視圖

500A/500B/500C/500D：場效電晶體結構

520：氧化層

530：開口

532：磊晶構成

600：場效電晶體裝置

810：應力源

t1/t2：厚度

## 【發明申請專利範圍】

- 【第 1 項】一種製作半導體裝置之方法，包含：
- 形成一鰭片式結構，該鰭片式結構包含一第一半導體層、一中間半導體層和一第二半導體層；
- 形成一隔離絕緣層，以使該鰭片式結構之該第二半導體層從該隔離絕緣層突伸出，以形成一暴露的鰭片部分；
- 形成一閘極結構於該暴露的鰭片部分之一第一部分上；
- 移除該暴露的鰭片部分之一第二部分，該第二部分包含未被該閘極結構覆蓋之該暴露的鰭片部分之一部分與一嵌入部分，該嵌入部分包含該中間半導體層和該第一半導體層之一部分，其中該嵌入部分包含嵌入至該隔離絕緣層中之一第一嵌入部分和位於該閘極結構下之一第二嵌入部分，該隔離絕緣層延伸於一第一方向中，該閘極結構延伸於一第二方向中，其中該第二方向係實質垂直於該第一方向；
- 形成一氧化層在該暴露的鰭片部分之該第一部分被移除後所暴露出之一第一表面和一第二表面上，該第一表面和該第二表面延伸於該第一方向和該第二方向中；
- 橫向地移除延伸於該第二方向中之該氧化層之一部分；以及
- 形成一磊晶層於該氧化層之被橫向移除的部分中。

圖式

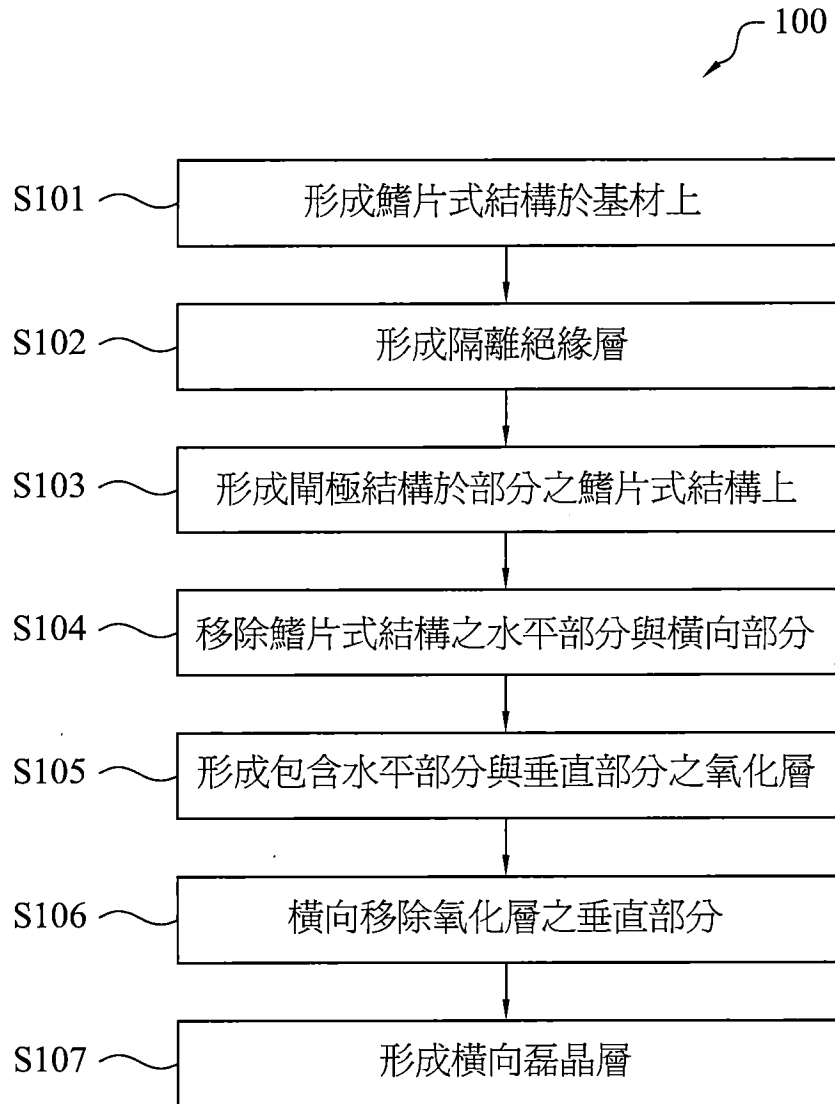


圖 1

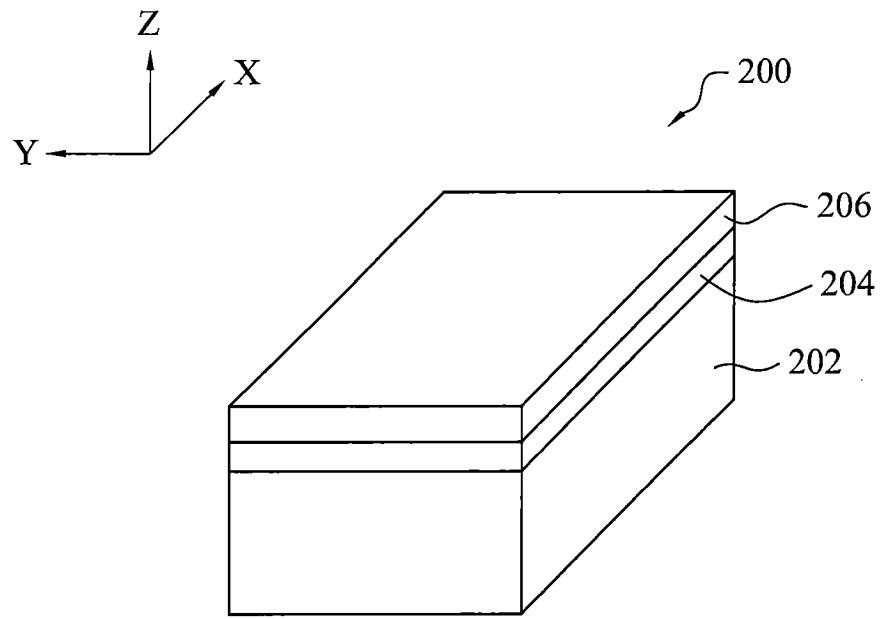


圖 2A

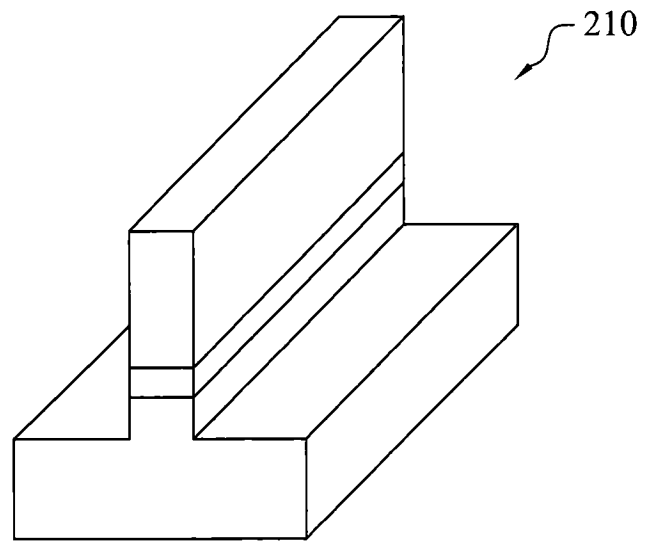


圖 2B

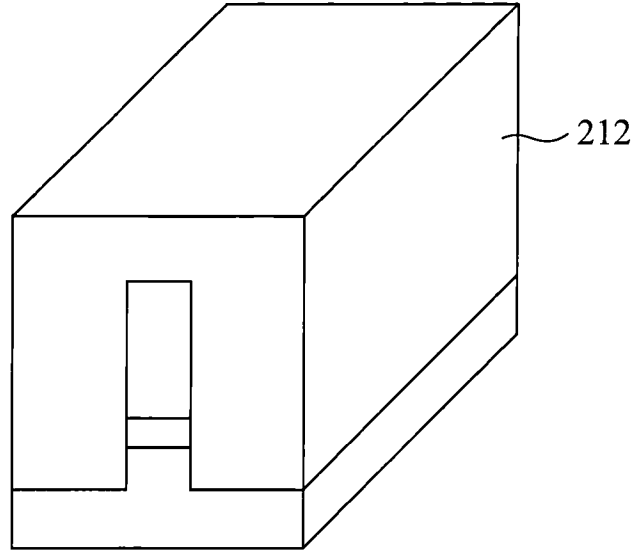


圖 2C

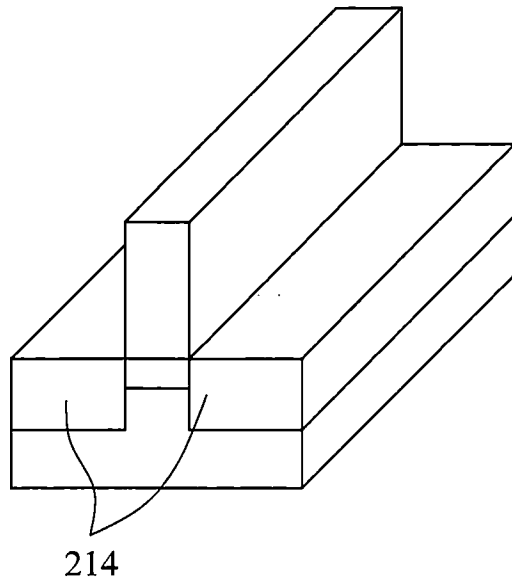


圖 2D

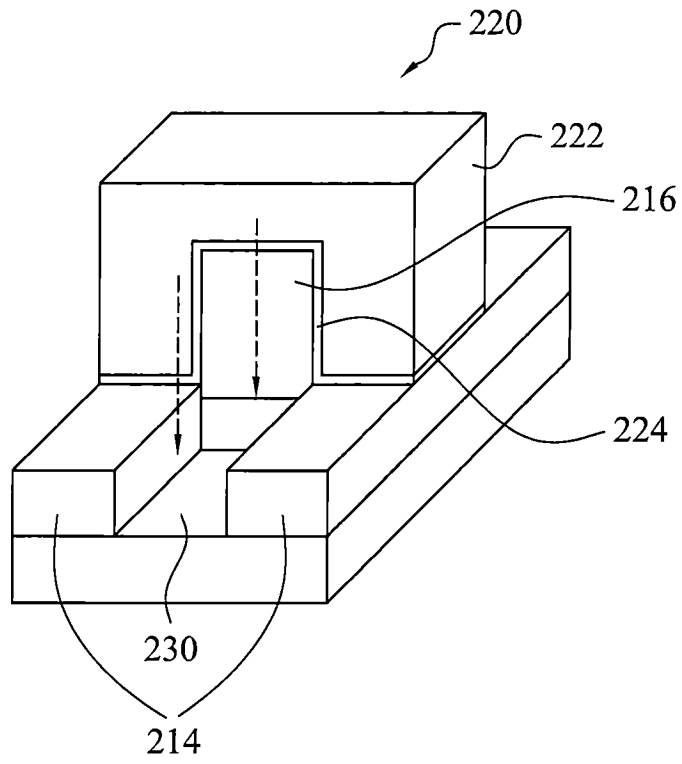


圖 2E

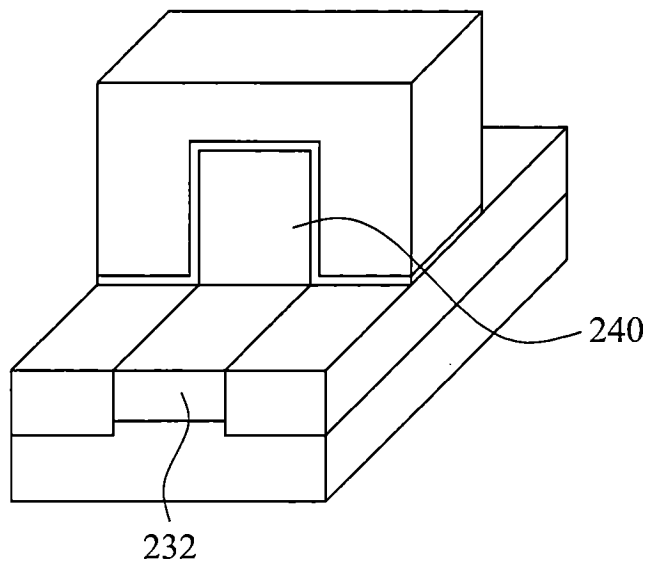


圖 2F

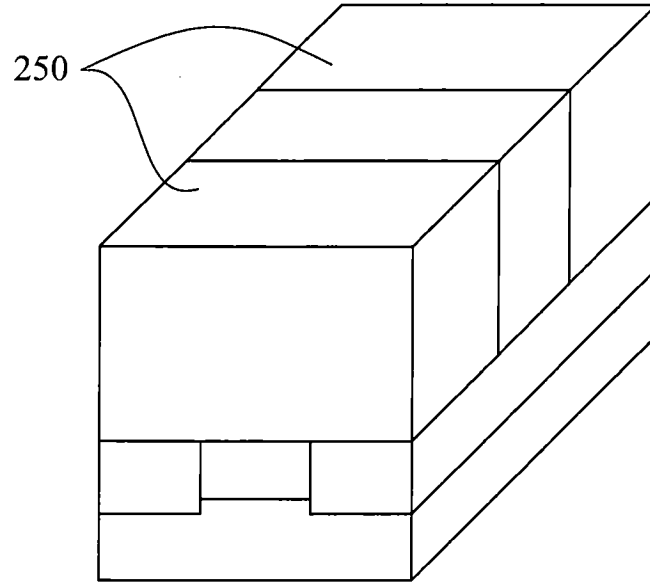


圖 2G

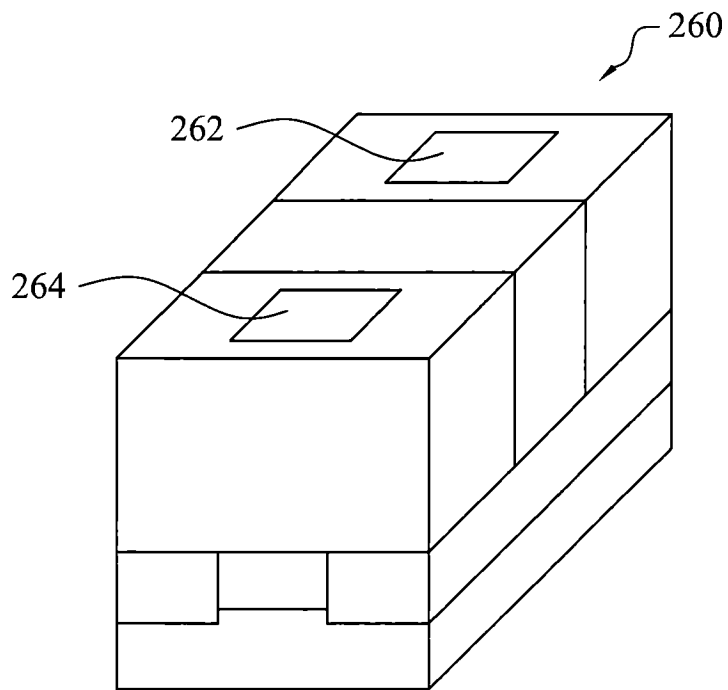


圖 2H

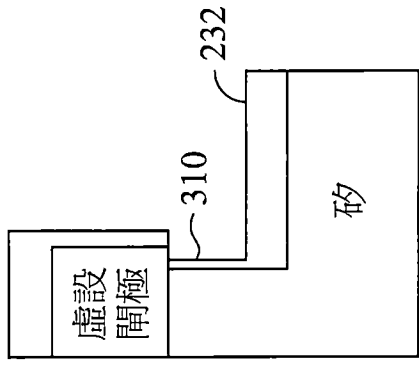


圖 3C

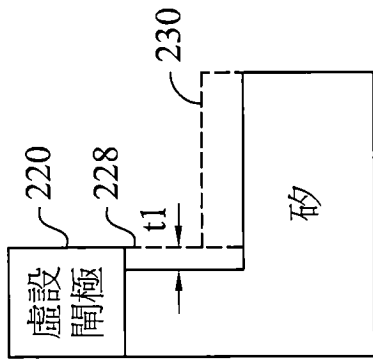
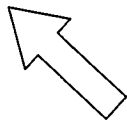


圖 3A

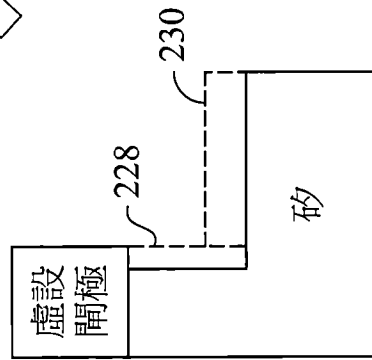
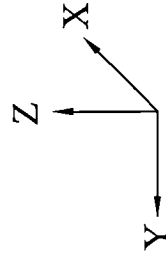


圖 3B





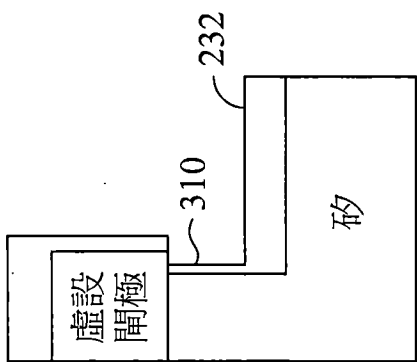


圖 3D

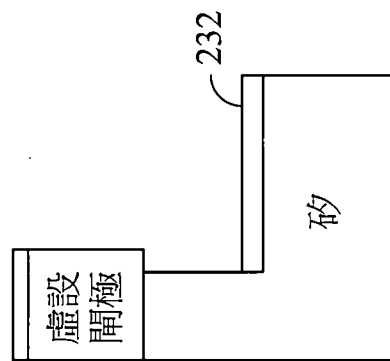
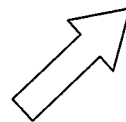


圖 3E

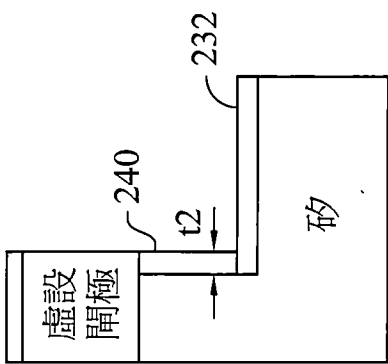
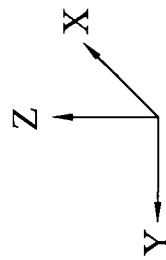
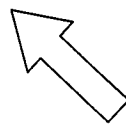


圖 3F



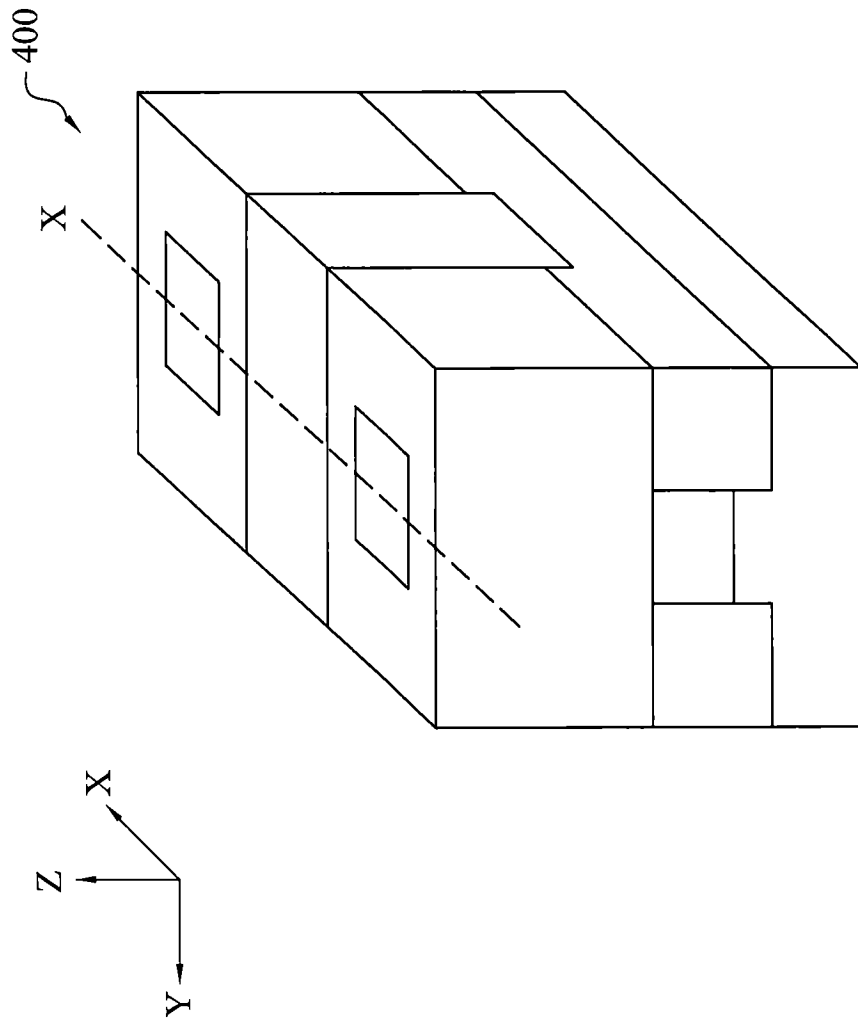


圖 4A

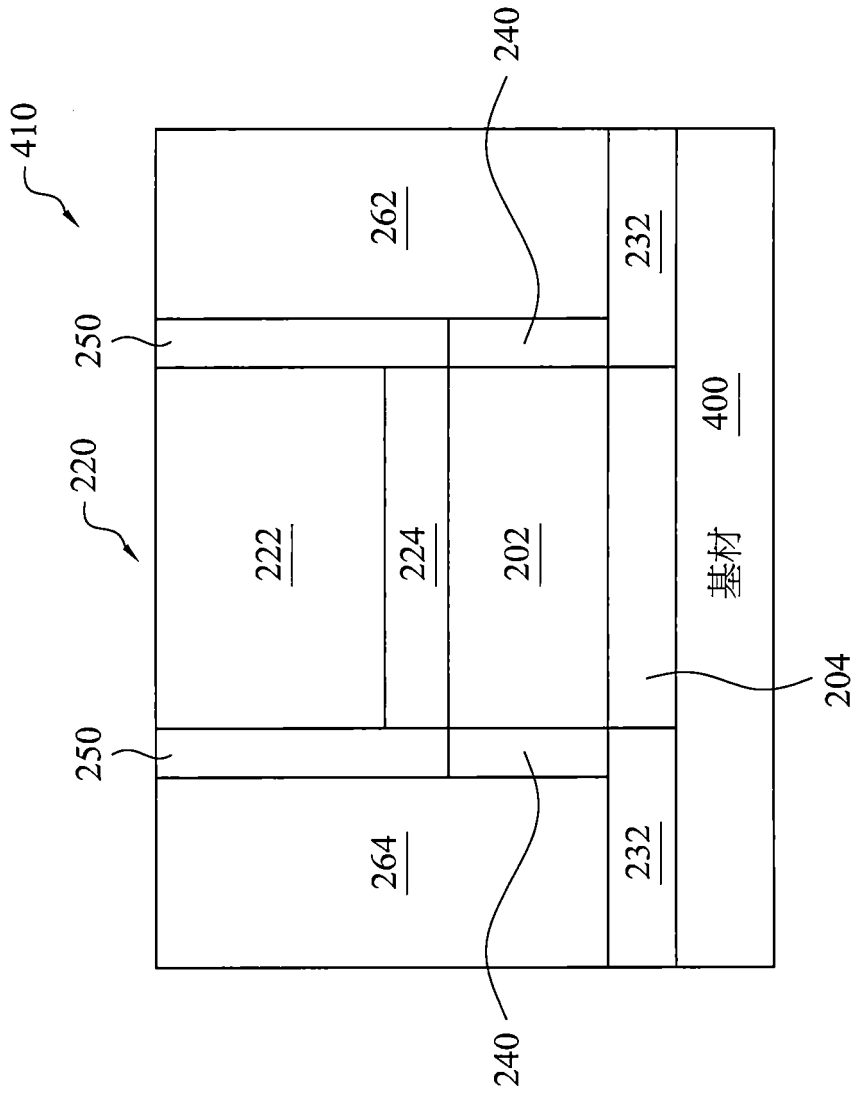


圖 4B

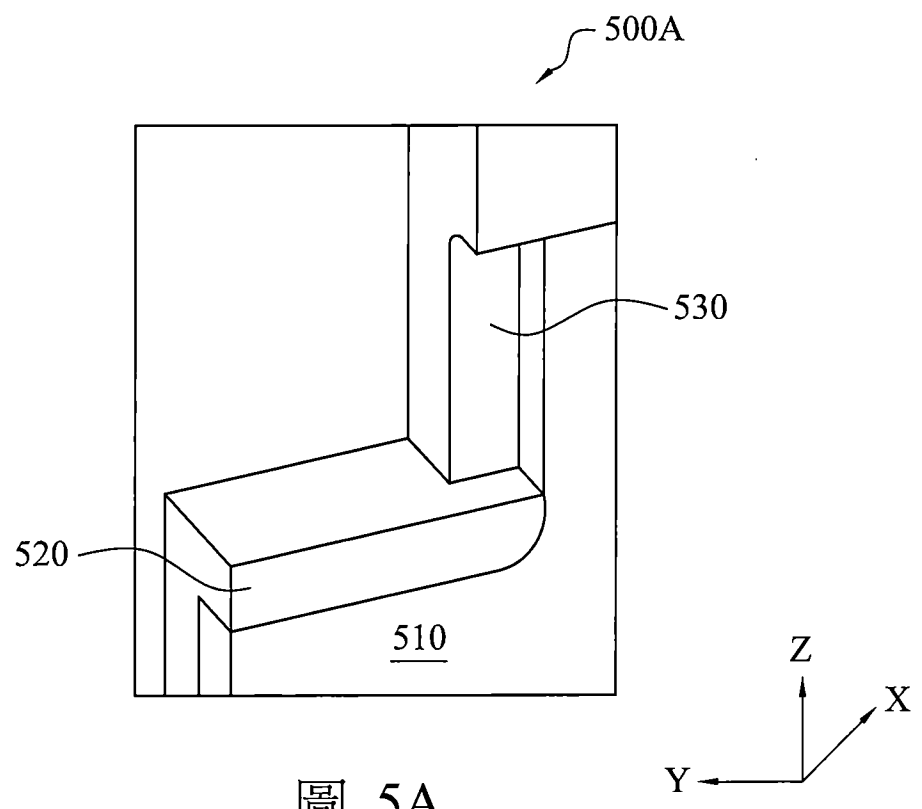


圖 5A

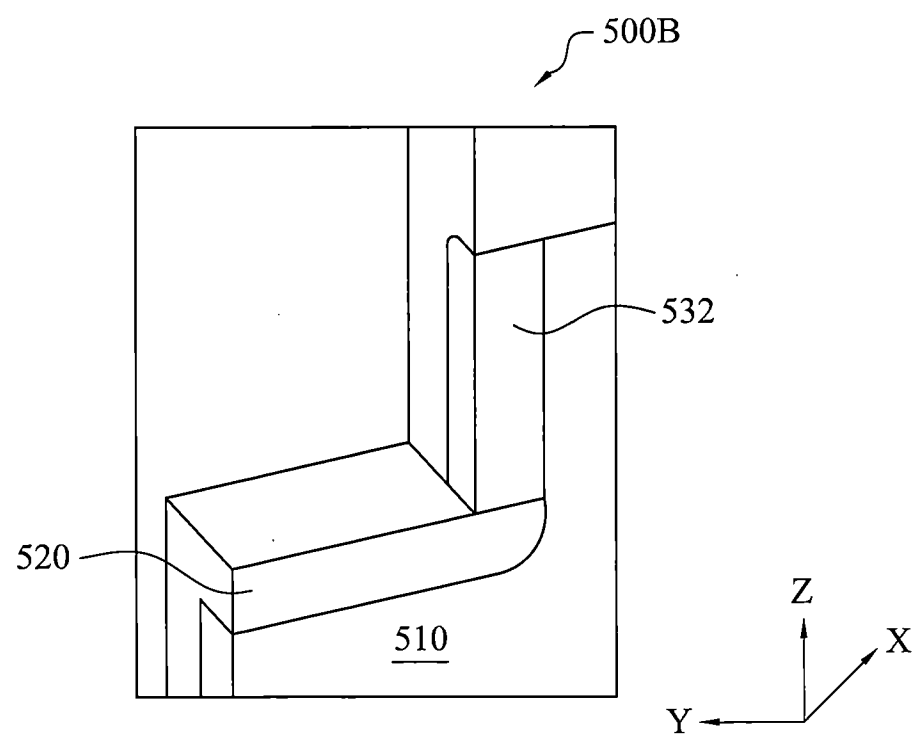


圖 5B

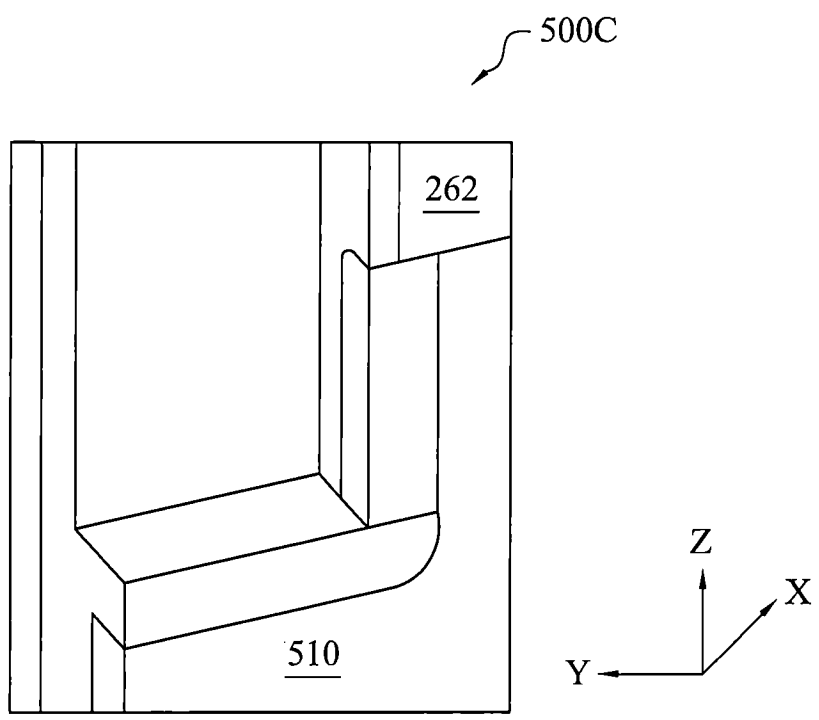


圖 5C

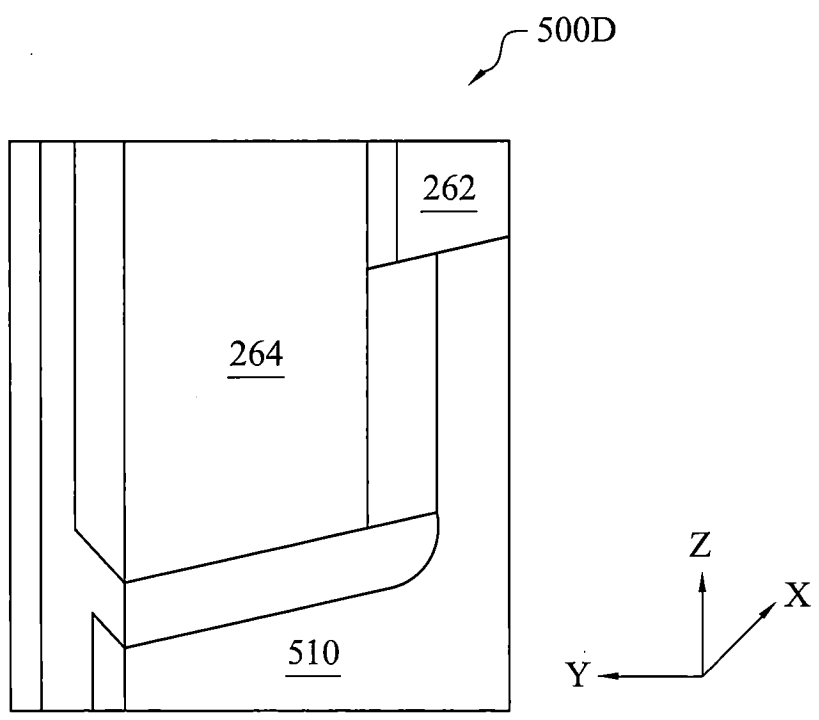


圖 5D

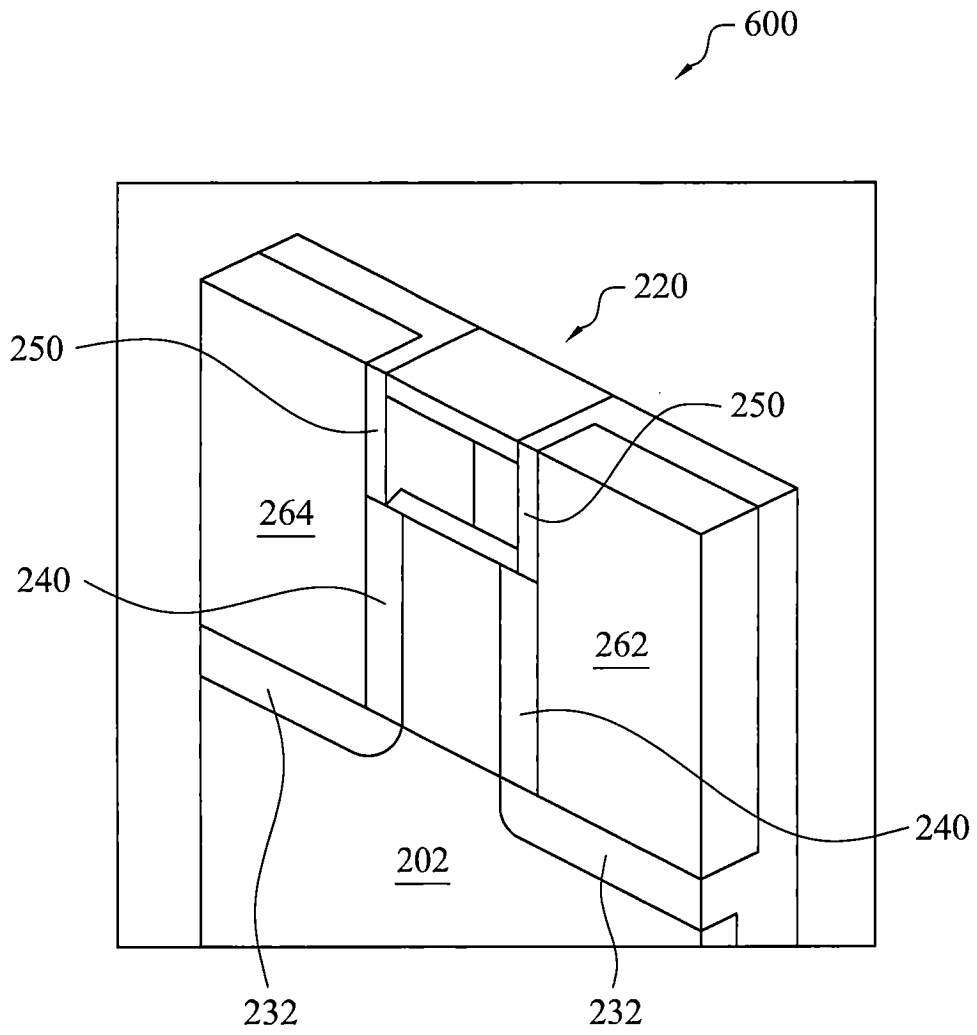


圖 6

V<sub>th</sub> 對有效長度

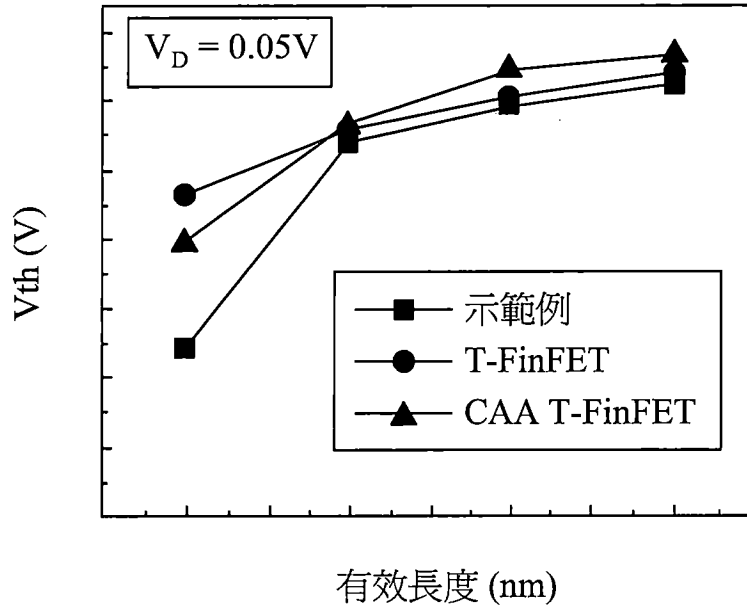


圖 7A

V<sub>th</sub> 下降對有效長度

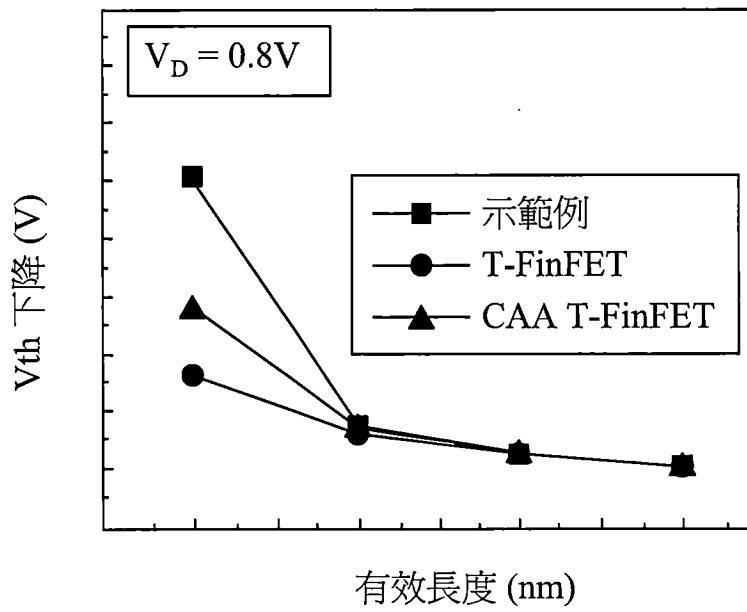


圖 7B

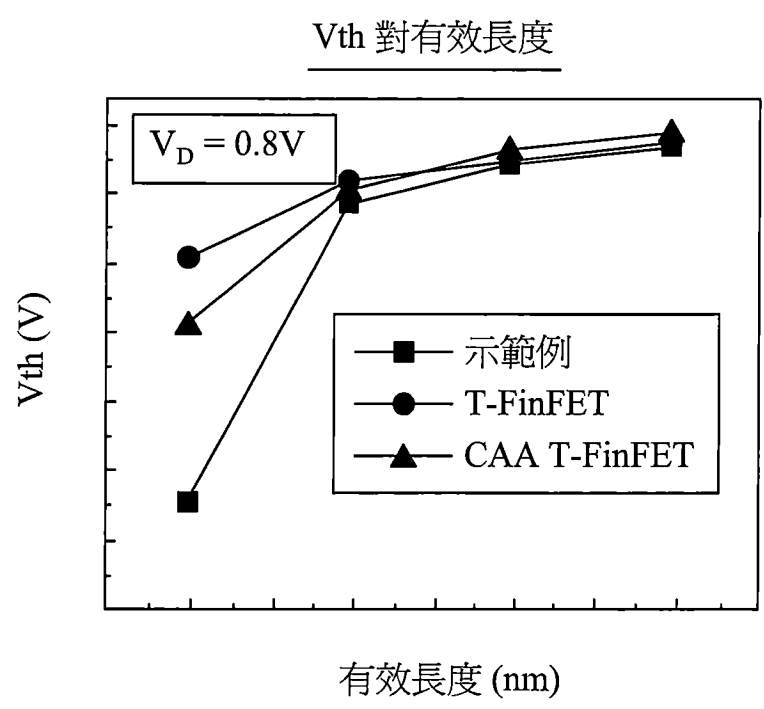


圖 7C

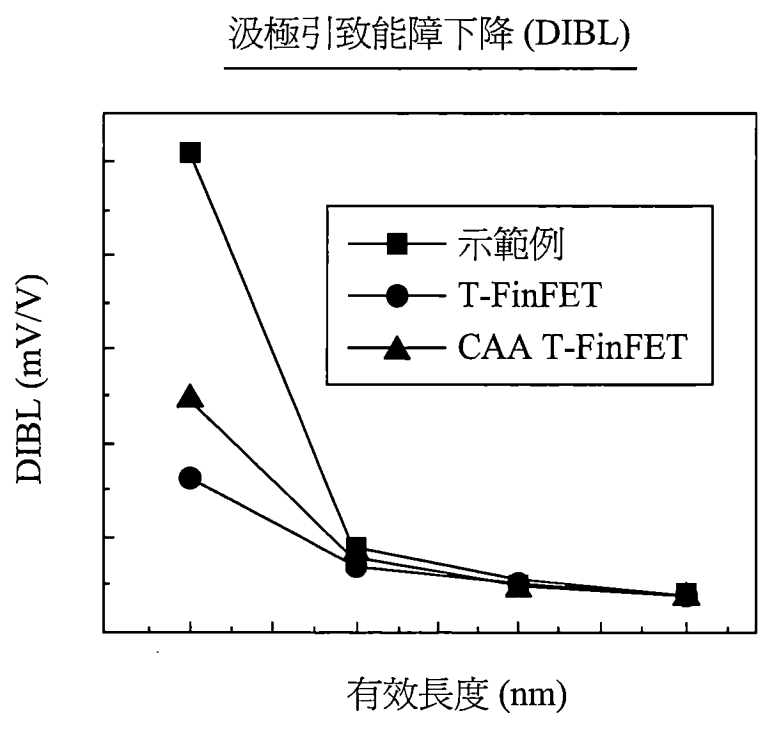


圖 7D



(串聯電阻之萃取)

$$R_T = R_{ch} \times X (\text{長度}) + 2 * R_{SD}$$

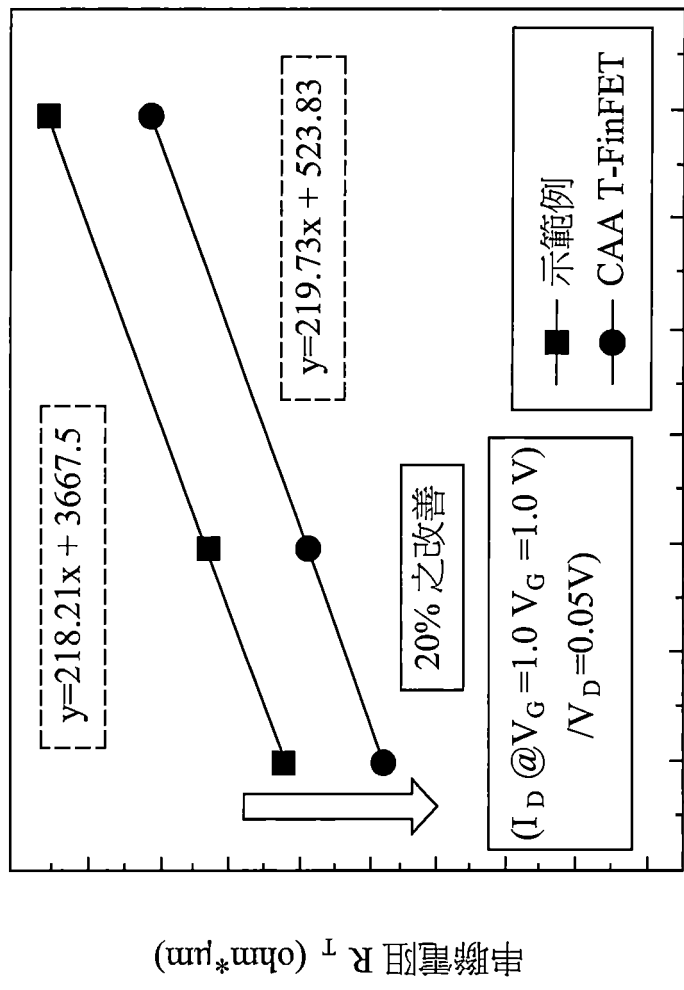


圖 8A

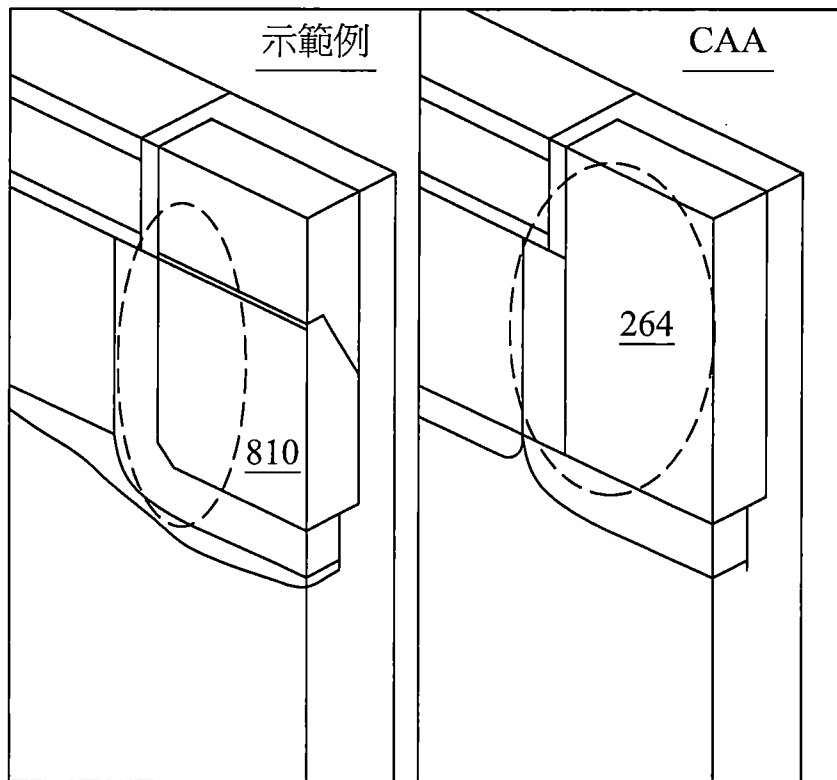


圖 8B